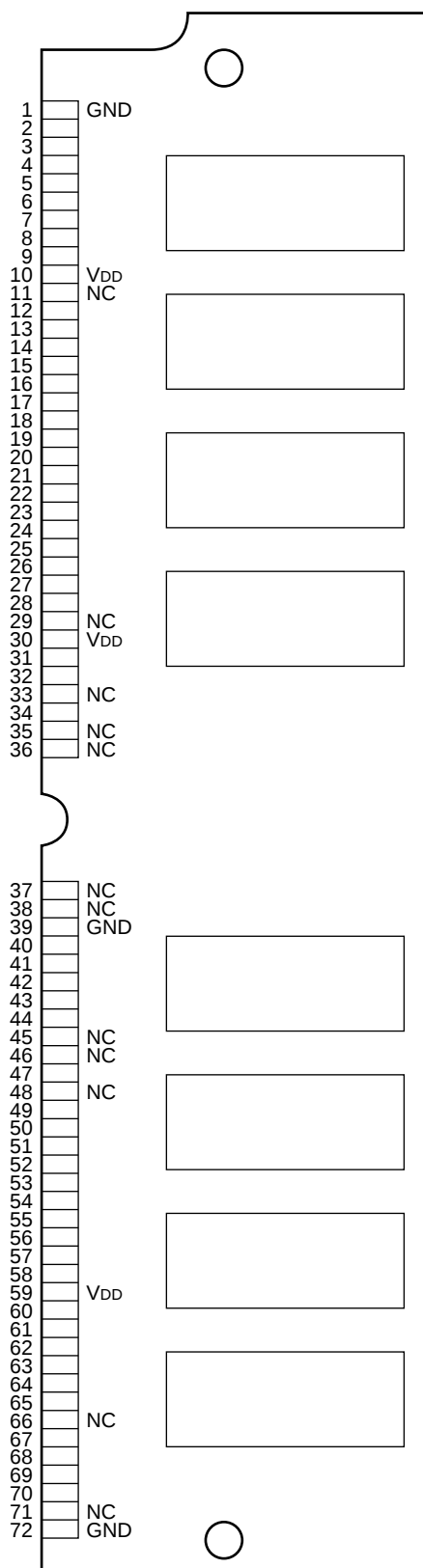


C-MOS 8 M × 32-BIT DRAM (EDO) SIMM MEMORY MODULE

—TOP VIEW—

**INPUT**

A0 - A10 : ADDRESS

CAS0 - CAS3 : COLUMN ADDRESS STROBE

PD1 - PD5 : PRESENCE DETECTS

RAS0 - RAS3 : ROW ADDRESS STROBE

 $\overline{W}$: ENABLE WRITE**OUTPUT**

DQ0 - DQ31 : DATA

PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL
1	—	GND	19	I	A10	37	—	NC	55	I/O	DQ11
2	I/O	DQ0	20	I/O	DQ4	38	—	NC	56	I/O	DQ27
3	I/O	DQ16	21	I/O	DQ20	39	—	GND	57	I/O	DQ12
4	I/O	DQ1	22	I/O	DQ5	40	I	$\overline{\text{CAS0}}$	58	I/O	DQ28
5	I/O	DQ17	23	I/O	DQ21	41	I	$\overline{\text{CAS2}}$	59	—	V _{DD}
6	I/O	DQ2	24	I/O	DQ6	42	I	$\overline{\text{CAS3}}$	60	I/O	DQ29
7	I/O	DQ18	25	I/O	DQ22	43	I	$\overline{\text{CAS1}}$	61	I/O	DQ13
8	I/O	DQ3	26	I/O	DQ7	44	I	$\overline{\text{RAS0}}$	62	I/O	DQ30
9	I/O	DQ19	27	I/O	DQ23	45	I	NC	63	I/O	DQ14
10	—	V _{DD}	28	I	A7	46	—	NC	64	I/O	DQ31
11	I	NC	29	—	NC	47	I	$\overline{\text{W}}$	65	I/O	DQ15
12	I	A0	30	—	V _{DD}	48	—	NC	66	—	NC
13	I	A1	31	I	A8	49	I/O	DQ8	67	I	PD1
14	I	A2	32	I	A9	50	I/O	DQ24	68	I	PD2
15	I	A3	33	I	NC	51	I/O	DQ9	69	I	PD3
16	I	A4	34	I	$\overline{\text{RAS2}}$	52	I/O	DQ25	70	I	PD4
17	I	A5	35	—	NC	53	I/O	DQ10	71	—	NC
18	I	A6	36	—	NC	54	I/O	DQ26	72	—	GND