

ST24C04, ST25C04 ST24W04, ST25W04

Электрически стираемые/программируемые микросхемы памяти (СППЗУ) емкостью 4 Kbit, с последовательной I2C шиной.

1 миллион циклов записи/стирания с сохранением данных до 40 лет;

Один источник питания:

- 3V - 5.5V для ST24X04 версий;

- 2.5V - 5.5V для ST25X04 версий;

Аппаратное управление записью у ST24W04 и ST25W04;

Программируемая защита записи;

Двухпроводный последовательный интерфейс полностью совместимый с I2C шиной;

Однobaйтoвая и многобайтовая запись (до 4 байтов);

Запись страницы (до 8 байтов);

Произвольные и последовательные режимы чтения байта;

Самоустанавливающийся цикл программирования;

Автоматическое приращение адреса;

ОПИСАНИЕ

Это описание микросхем СППЗУ, ST24/25C04 и ST24/25W04, емкостью 4 Кб и работающих по I2C шине. В тексте микросхемы упоминаются как ST24/25X04, где "X":

"C" для стандартной версии;

"W" для версии с аппаратным управлением записи.

Таблица 1. Наименование и назначение выводов

PRE	Возможность защиты записи
E1-E2	Выбор микросхемы
SDA	Линия данных (адреса)
SCL	Линия синхронизации
MODE	Многобайтный (страничный) режим записи (C версия)
WC	Управление записью (W версия)
V_{CC}	Напряжение питания
V_{SS}	Общий

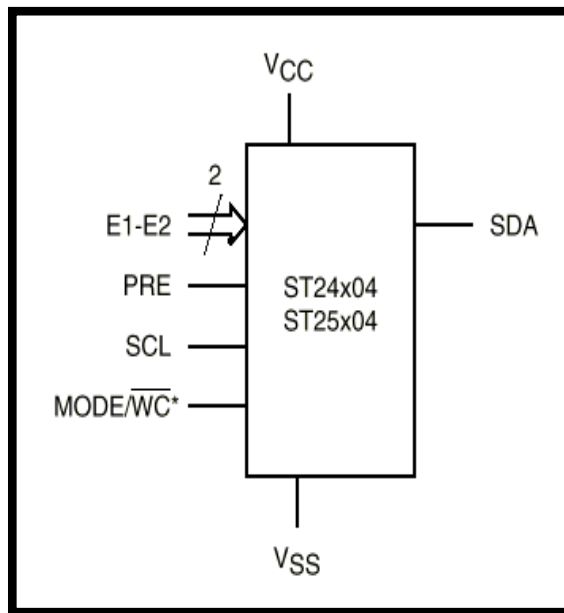
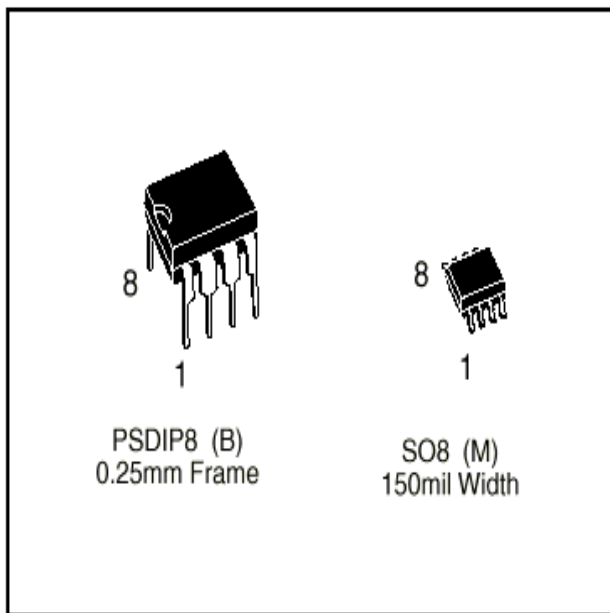


Рисунок 2А. DIP Pin корпус

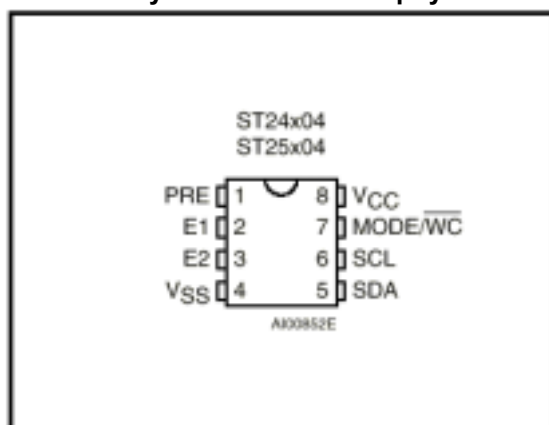


Рисунок 2В. SO Pin корпус

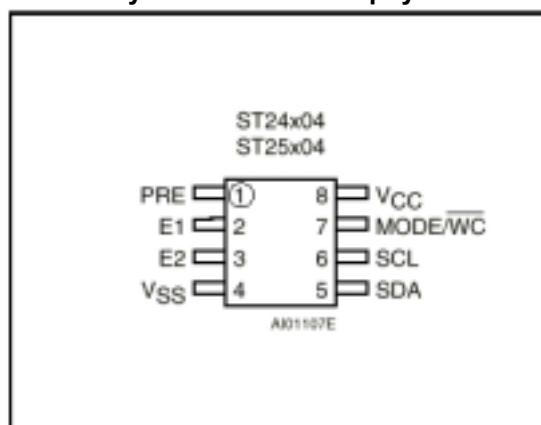


Таблица 2. Пределные режимы.

Усл. Обознач.	Параметр	Значение	
T_A	Температура окружающей среды	от –40 до 125	°C
T_{STG}	Температура хранения	От –65 до 150	°C
T_{LEAD}	Температура пайки вывода	260	°C
V_{IO}	Напряжение на выводе (внешнее)	От –0.6 до 6.5	V
V_{CC}	Напряжение питания	От –0.6 до 6.5	V
V_{ESD}	Статическое напряжение (1)	4000	V
	Статическое напряжение (2)	500	V

1. MIL-STD-883C, 3015.7 (100pF, 1500 W).

2. EIAJ IC-121 (Condition C) (200pF, 0 W).

ОПИСАНИЕ

ST24/25X04 - 4 Кб электрически стираемые/программируемые микросхемы памяти (СППЗУ), организованные как 2 блока по 256 x 8 бит. При производстве применена продвинутая технология CMOS, которая гарантирует срок службы до 1000000 циклов стирания/записи с сохранением данных до 40 лет. Микросхемы памяти совместимы с I2C стандартом - двухпроводным последовательным интерфейсом, который использует двунаправленную шину данных и последовательную синхронизацию. Микросхемы памяти имеют встроенный 4 разрядный уникальный код идентификации (1010). Это дает возможность установить на шину до 4-х одинаковых микросхем с возможностью выбора каждой индивидуально, устанавливая ее адрес подачей уровней на выводы E2, E1. Микросхемы ведут себя как подчиненные устройства. Операции чтения и записи инициализируются условием «**START**», формируемым ведущим шины - **МАСТЕРОМ**. Условие «**START**» сопровождается посылкой 7 бит, 4 из которых (**b7 - b4**) - код идентификации (код 1010), 2 бита (**b3;b2**)—индивидуальный код микросхемы, определяемый пользователем, 1 бит (**b1**) – бит выбора блока памяти, и 1 бит (**b0**) – бит выбора направления обмена (чтение/запись) и завершается посылка битом подтверждения.

Таблица 3. Код выбора устройства

	Код микросхем				Выбор кристалла		Блок	Чт/зап
Бит	7	6	5	4	3	2	1	0
Выбор м/с	1	0	1	0	E2	E1	A8	RW

Примечание: Первым передается старший бит «бит7».

Таблица 4. Режимы

Режим	RW bit	Режим MODE	Байт	Начальная Последовательн.
Текущий адрес чтения	'1'	X	1	«START», выбор м/с, RW = '1'
Произвольный адрес чтения	'0'	X	1	«START» - выбор м/с, RW = '0', адрес
	'1'			Рестарт, выбор м/с RW = '1'
Последовательное Чтение	'1'	X	1-512	Текущий или произвол. режим
Побайтовая запись	'0'	X	1	«START», выбор м/с, RW = '0'
Многобайтовая Запись	'0'	V _{IN}	4	«START», выбор м/с, RW = '0'
Запись Страницы	'0'	V _{IL}	8	«START», выбор м/с, RW = '0'

Примечание:

1. X = V_{IN} or V_{IL}
2. Многобайтовая запись, не доступна в ST24/25W04 версиях.

При записи в память, после приема 8 бит полученных данных, в течении девятого импульса синхронизации передается бит подтверждения. Когда данные читаются ведущим шины (**МАСТЕРОМ**), подтверждение получения байтов данных осуществляется таким же образом. Передача данных завершается условием **STOP**.

Защита записи при сбросе питания V_{cc}.

Чтобы предотвратить нарушение целостности данных записи при включении питания и других небрежных операциях, применена схема (**POR**). Пока напряжение **V_{cc}** не достигло порога **POR**, активен внутренний сброс, все операции заблокированы и устройство не будет отвечать на любую команду. Таким же образом, при снижении **V_{cc}** ниже значения порога **POR**, все операции блокируются и устройство не будет отвечать на любую команду. Напряжение питания должно быть стабилизировано до подачи любого сигнала.

ОПИСАНИЕ СИГНАЛОВ

Последовательная линия синхронизации (SCL).

Линия **SCL** используется для синхронизации при записи или чтения данных из памяти. Для подтягивания линии **SCL** к **V_{cc}**, между ними можно подключить резистор (см. Рисунок 3).

Последовательная линия данных (SDA).

Вывод **SDA** является двунаправленным и используется для передачи данные в/из памяти. Выполнен как открытый сток, который может быть включен по схеме «МОНТАЖНОЕ ИЛИ». с другим открытым стоком. Для подтягивания линии **SDA** к **V_{cc}**, между ними должен быть подключен резистор (см. Рисунок 3).

Выбор микросхемы (E1 - E2).

Входы **E1** и **E2** являются входами, и дают возможность выбрать одну микросхему из 4-х путем установки 2 битов (соответственно **b2**, **b3**) в 7 разрядном кода выбора устройства. Эти входы могут управляться динамически или быть привязаны к **V_{cc}** или **V_{ss}**

Защита разрешения записи (PRE).

Вход **PRE** (вывод 1), в добавлении к состоянию бита указателя адреса блока **b2**, (расположен 1FFh рисунок 7), устанавливает активную защиту записи **PRE**.

Режим (MODE).

Вход «**MODE**» (вывод 7) может управляться динамически и должен иметь:

-для режима побайтовой записи уровень **VIL** или **Vin**;

-для многобайтового режима записи - уровень **Vin**;

-для режима записи страницы - уровень **VIL**.

Если вывод «**MODE**» не подключен, то внутренне читается как **Vin** (многобайтовый режим записи). (см. также возможность **WC**).

Управление записью (WC).

Аппаратная возможность управления записью (**WC**) используется только для ST24W04 и ST25W04 версий по выводу 7. и необходима для защиты содержимого памяти при любом ошибочном цикле стирания / записи. Сигнал **WC** используется, чтобы включить (**WC = Vin**) или отключить (**WC = VIL**) внутреннюю защиту записи. Если вывод **WC** не подключен, то внутренне читается как **VIL**, и область памяти не защищена от записи.

Микросхемы имеющие управление записью не поддерживают многобайтовый режим работы записи, однако все другие режимы записи полностью поддерживаются.

Подробная информация в приложении AN404.

РАБОТА МИКРОСХЕМЫ.

I2C шина

Микросхемы ST24/25X04 поддерживают I2C протокол. Этот протокол определяет устройство, посылающее данные на шину как передатчик, а устройство принимающее данные, как приемник. Устройство, управляющее шиной называется «**MASTER**», а все остальные как «**SLAVE**». **MASTER** будет всегда инициализировать данные и будет обеспечивать последовательную синхронизацию.

ST24/25X04 - являются всегда подчиненными устройствами.

Условие START.

Условием **START** является переход от высокого уровня к низкому на линии **SDA**, в то время как на линии синхронизации **SCL** высокий уровень. Условие **START** должно предшествовать любой команде для передачи данных, за исключением цикла программирования, ST24/25X04 непрерывно контролируют линию **SDA**, и сигналы **SCL**, создают условия для **START** сигнала и не будут отвечать, если условие **START** не дано.

Условие STOP.

Условием **STOP** является переход от низкого уровня к высокому на линии **SDA**, в то время как на линии синхронизации **SCL** высокий уровень. Условие **STOP** завершает связь между ST24/25X04 и мастером шины. Условие **STOP** в конце команды чтения, после и только после отсутствия бита подтверждения, вынуждает микросхему перейти в режим ожидания. Условие **STOP** в конце команды записи вызывает внутренний цикл записи СППЗУ.

Сигнал подтверждения (ACK).

Сигнал подтверждения используется, для подтверждения успешной передачи данных. Передатчик шины - мастер или подчиненный, отпустит линию **SDA** после отправки 8 битов данных. В течение 9-ого периода тактового импульса приемник установит на шине **SDA** низкий уровень для подтверждения получения 8 битов данных.

Ввод данных.

В течение ввода данных ST24/25X04 производят выборку сигнала шины **SDA** по переднему фронту импульсов линии синхронизации **SCL**. Для правильной работы устройства, сигнал на линии **SDA** должен быть устойчив в течении изменения на линии синхронизации **SCL** уровня от низкого к высокому. Данные могут измениться только тогда, когда на линии **SCL** низкий уровень.

Адресация памяти.

Для обмена между **МАСТЕРОМ** шины и подчиненным ST24/25X04, **МАСТЕР** должен сформировать условие **START**, затем послать по шине **SDA** 8 бит, где 7 бит код выбранного устройства и 1 бит (**RW**) чтения/записи. Вся посылка передается старшим битом вперед.

ПРОТОКОЛ I2C ШИНЫ

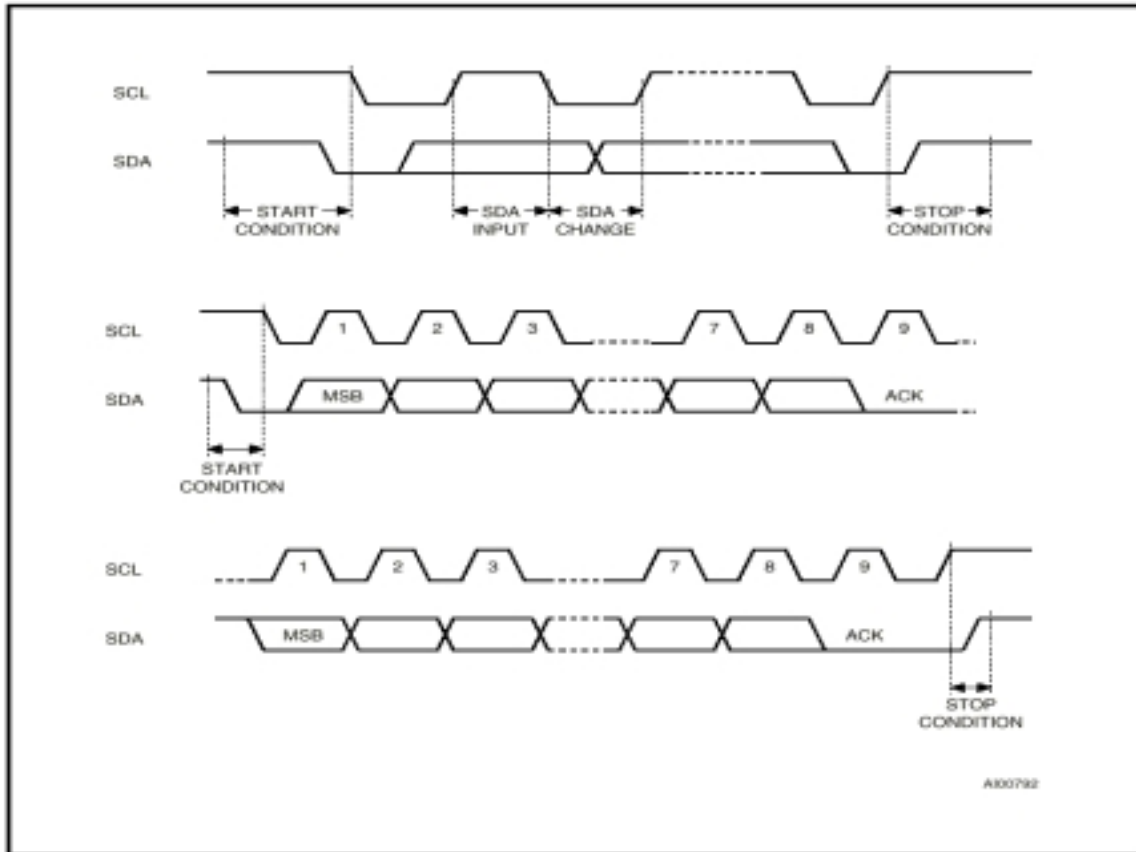


Рисунок 3. Максимальное значение R_L для I2C шины от емкости шины.

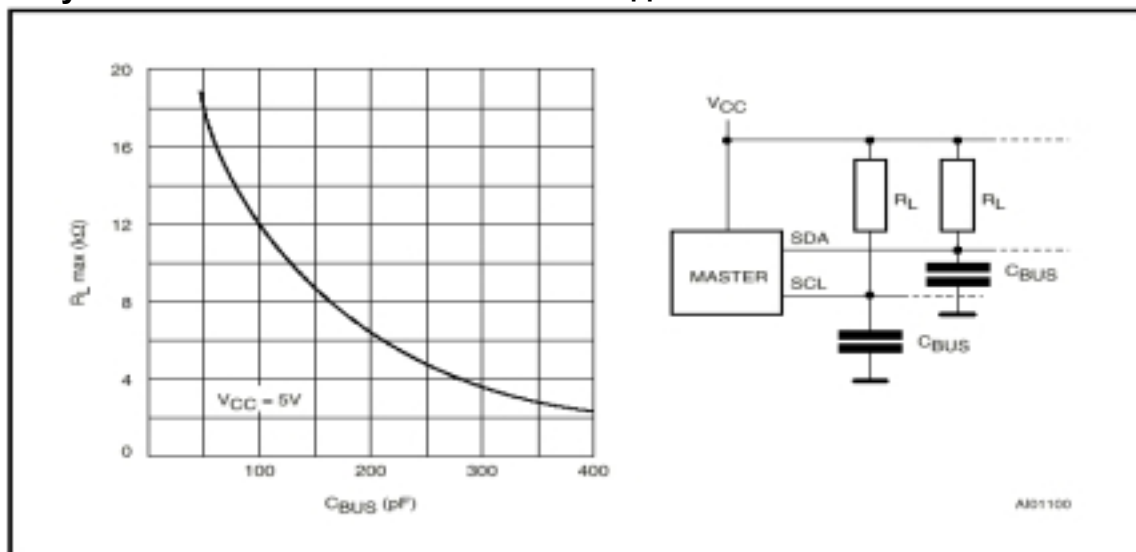
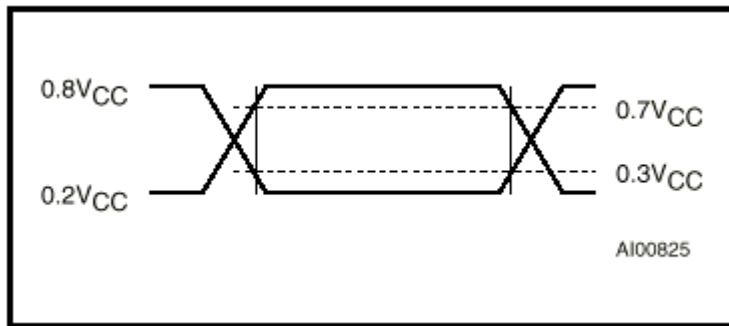


Рисунок 4. Уровни сигналов



Идентификация микросхемы.

4 старших бита кода выбора устройства - идентификатор типа микросхемы, соответствующий формату I2C шины. Для микросхем памяти ST24/25X04, 4 бита фиксированы как 1010b. Следующие 2 бита идентифицируют конкретную микросхему на шине. Они согласованы с уровнями E2, E1 в микросхеме. Таким образом до 4-х микросхем памяти емкостью по 4КБ каждая могут быть соединены к той же самой шине, дающей общую емкость памяти в количестве 16 КБ. После **START** условия формируемого передатчиком, все приемники на шине принимают и идентифицируют код устройства. Те микросхемы, что опознали свой идентификационный код сравнивают следующие 2 бита с уровнями, установленными на выводах **E2**, **E1**. Бит 7 – номер блока (один блок = 256 байт). Бит 8 - бит чтения или записи (**RW**). Этот бит устанавливается в '1' для чтения из ST24/25X04, и в '0', для записи в микросхему. Если при идентификации микросхема памяти найдена, то она подтвердит идентификацию выдав бит подтверждения **ACK** на шине **SDA** в течение 9-го импульса синхронизации на линии **SCL**,

Операции записи

Режим многобайтовой записи (только для ST24/25C04 версий) разрешен когда на вывод **MODE** подан уровень «1» (**V_{IN}**).

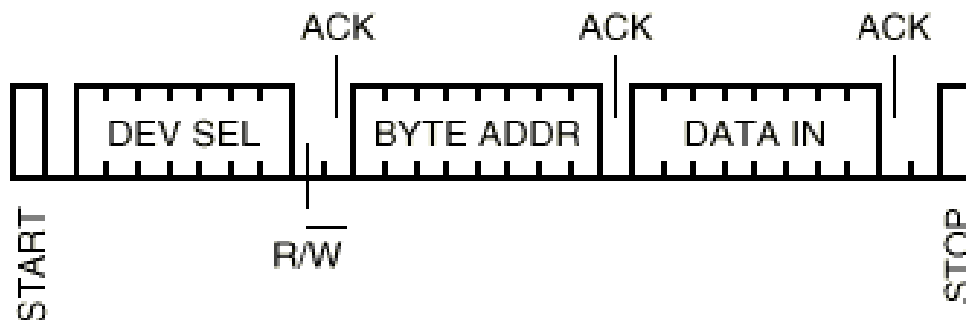
Режим записи страницы разрешен когда на вывод **MODE** подан уровень «0» (**V_{IL}**).

Вход **MODE** может управляться динамически, **CMOS** уровнями.

Для ST24/25W04 версий, любая команда записи с **WC** = «1» не будет изменять содержание памяти.

Побайтовая запись.

В режиме побайтовой записи, после **START** условия, **MACTEP** посылает байт идентификации с **RW** = '0', затем адрес ячейки памяти и байт данных. После приема каждой посылки (байта) ST24/25C04 формирует бит подтверждения. Затем **MACTEP** завершает передачу, формируя условие **STOP**. Режим записи не зависит от уровня на выводе **MODE**, который может быть оставлен плавающим, если используется только этот режим. Однако это не рекомендуется. Вход **MODE** должен быть соединен или с **V_{IN}** или **V_{IL}**,



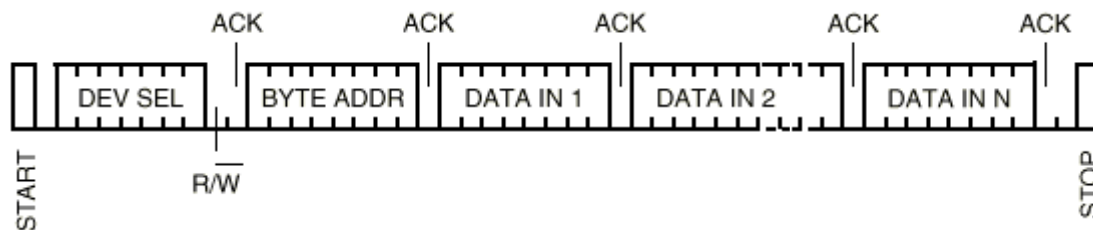
Многобайтовая запись.

Для многобайтового режима записи, вывод **MODE** должен иметь уровень **V_{IN}**. Многобайтовый режим записи может начинаться с любого адреса памяти. **МАСТЕР** посылает от одного до 4 байтов данных, каждый из которых подтверждается ST24/25X04. Передача завершается **МАСТЕРОМ**, который формирует условие **STOP**. Продолжительность цикла записи - максимум 10ms, за исключением того, когда к байтам обращаются на 2 строках (которые имеют различные значения для 6 старших битов **A7-A2** адреса). В этом случае время программирования равно максимум **20ms**. Запись более 4-х байтов в многобайтовом режиме записи может изменять байты данных в смежной строке (одна строка - длиной 8 байтов). Однако многобайтовая запись может правильно записывать до 8 последовательных байтов, если первый адрес из этих 8 байтов - первый адрес строки, а 7 последующих байтов, записываются в эту же самую строку.

Запись страницы.

Для режима страничной записи, вывод **MODE** должен иметь уровень **V_{IL}**. Режим страничной записи позволяет за один цикл записи записать до 8 байтов, если они все размещены в той же самой строке памяти. Это - 5 старших битов (**A7-A3** адреса памяти - один внутренний блок). **МАСТЕР** посылает от одного до 8 байтов данных, после приема каждого микросхема выдает бит подтверждения. При пересылке каждого байта, внутренний счетчик (3 самых младших бита) инкрементируется. Передача завершается **МАСТЕРОМ**, генерирующим условие **STOP**.

Обратите внимание, что, при любом режиме записи, формирование **МАСТЕРОМ** условия **STOP** начинает цикл внутренней программы записи памяти. Все входы заблокированы, до завершения этого цикла и микросхема не будет отвечать на любой запрос.



Уменьшение задержек системы путем опроса бита ACK.

В течение внутреннего цикла записи, микросхема отключается от входной шины, для перезаписи данных из внутренних защелок в ячейки памяти. Максимальное значение времени записи дано в таблице характеристик. Так как типовое время короче, то скорость шины может быть увеличена путем опроса шины на формирование микросхемой памяти сигнала подтверждения **ACK**.

ЗАПИСЬ

Последовательность записи:

Шаг 1: **МАСТЕР** формирует условие **START**, предшествующий байту выбора микросхемы и передает 1-й байт новой команды.

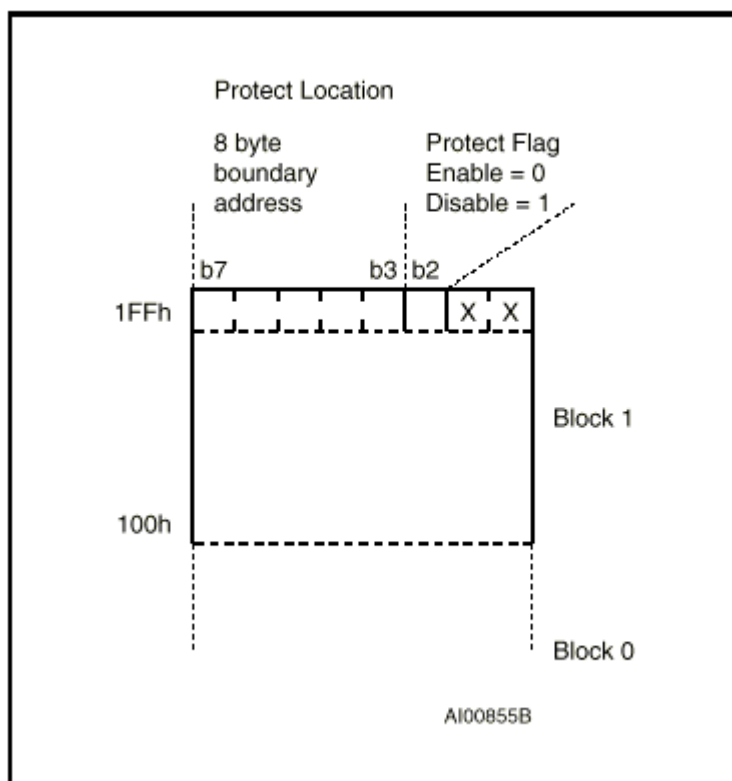
Шаг 2: Если микросхема памяти занята внутренним циклом записи, бит подтверждения **ACK** не будет сформирован и **МАСТЕР** вернется к **ШАГУ 1**. Если микросхема завершила внутренний цикл записи, то сформирует бит подтверждения **ACK**, указывая, что она готова получить второй байт. Первый байт был послан в течение **Шага 1**.

Защита записи.

Данные в верхнем блоке, имеющем 256 байтов памяти могут быть защищенные от записи. Память защищена от записи между нижним граничным адресом и верхней частью памяти (адрес 1FFh) когда на вывод **PRE** подан высокий уровень и флаг защиты (бит **b2** в байте 1FFh) установлен в '0'. Граничный адрес определяется пользователем, в указателе адреса блока. Указатель адреса блока - 8 разрядный регистр EEPROM, размещенный по адресу 1FFh. Он состоит из пяти старших бит, которые определяют адрес границы нижней части, и

3 младших, которые должны программироваться в '0'. Таким образом указатель адреса может адресовать память с шагом в 8 байт.

Рисунок 7. Защита Памяти



Последовательность использования защиты от записи:

Записать данные, которые будут защищены в верхнюю часть памяти, до, но не, включая адрес 1FFh;

Установить защиту записав адрес границы нижней части в указатель адреса (5 старших бит адреса 1FFh) с флагом защиты (**бит b2 = '0'**). Для нормальной работы микросхемы необходимо в 3 младших бита указателя адреса записать '0'. Область памяти от адреса записанного в указатель адреса и до адреса 1FFh будет защищена, если на входе **PRE** уровень «1». Если же на входе **PRE** уровень «0», то адрес 1FFh может использоваться как обычный байт EEPROM.

Предостережение:

Особое внимание следует обратить при использовании защищенного режима вместе с режимом многобайтовой записи (вывод ввода **MODE = «1»**). Если многобайтовый старт записи расположен ниже первого байта области защищенной от записи и пакет заходит на область защищенную от записи, то команды многобайтовой записи запишут первые 3 байта в области защищенной от записи. Следовательно защищенная область меньше чем адрес записанный в 1FFh на 3 байта.

Это не относится к режиму записи страницы.

Операции чтения

Операции чтения не зависят от уровня на выводе **MODE**.

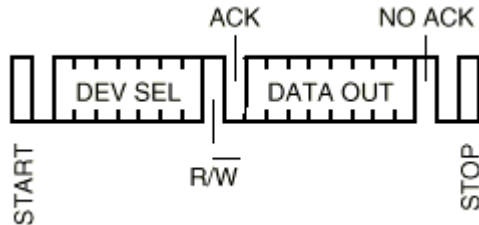
Микросхемы поставляются с записанными во все ячейки "1" (или FFh).

Чтение текущего адреса.

Память имеет внутренний счетчик адресов байтов. Этот счетчик увеличивается каждый раз после чтения байта.

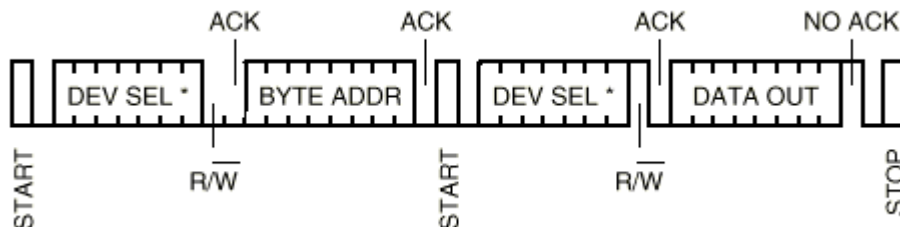
Режим чтения текущего адреса:

После условия **START**, **МАСТЕР** посылает код идентификации микросхемы с **RW = '1'**. Микросхема памяти подтверждает прием и выводит байт адресованный внутренним счетчиком. Затем счетчик инкрементируется. **МАСТЕР** не формирует бит подтверждения, но завершает передачу условием **STOP**.



Чтение произвольного адреса.

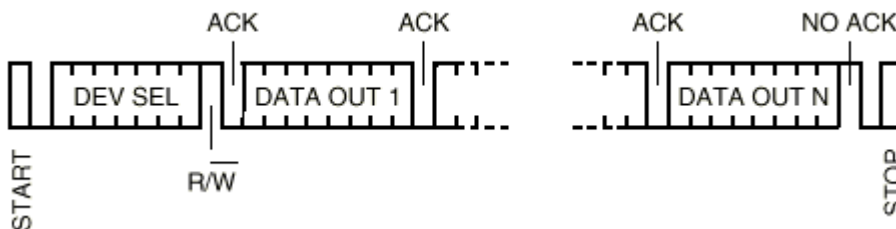
Для перехода на произвольный адрес, выполняется фиктивная запись, целью которой является запись в счетчик адресов ST24/25X04 адреса ячейки памяти из которой будут считаны данные. **МАСТЕР** посылает на шину код идентификации с битом **RW = '0'**, а после получения бита подтверждения, адрес ячейки памяти. Получив бит подтверждения, **МАСТЕР** формирует второй **START** и посылает код идентификации, но теперь с битом **RW = '1'**. Микросхема памяти формирует бит подтверждения и выводит адресованный байт. **МАСТЕР** не должен подтвердить вывод байта, а должен завершить передачу условием **STOP**.



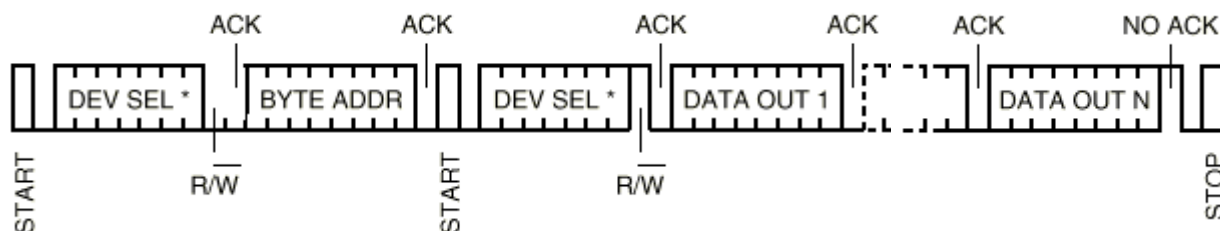
Последовательное чтение.

Этот режим может быть использован или с текущим, или с произвольным адресом чтения. Однако, в этом случае **МАСТЕР** подтверждает, что байт данных выведен, и микросхема памяти продолжает выводить следующий байт. После каждого выведенного байта, счетчик адресов байтов автоматически инкрементируется (увеличивается). Чтобы завершить поток выводимых байтов, **МАСТЕР** не должен подтверждать получение последнего байта, а должен сформировать условие **STOP**. После считывания последнего адреса памяти, счетчик адресов сбросится и продолжит вывод байтов.

ПОСЛЕДОВАТЕЛЬНОЕ ТЕКУЩЕЕ ЧТЕНИЕ



ПОСЛЕДОВАТЕЛЬНОЕ ПРОИЗВОЛЬНОЕ ЧТЕНИЕ



Примечание:

7 старших битов байтов **DEV SEL**—выбор микросхемы памяти должны быть идентичны.

Подтверждение в режиме чтения.

Во всех режимах чтения ST24/25X04 ждет подтверждение в течение 9-ого импульса синхронизации на линии **SCL**. Если **МАСТЕР** не формирует сигнал подтверждения и условие **STOP**, то ST24/25X04 завершает передачу данных и переходит в режим ожидания.