

1 Qualitätssicherungssystem

Der Fertigungsflußplan zeigt:

- den prinzipiell mit Prozeßkontrollen abgesicherten Fertigungsfluß sowie die Ausgangskontrolle fertiger Bauelemente
- den Ablauf für ständige Verbesserungen

1 Quality Assurance System

The flowchart shows:

- Production, routinely assured by in-process inspections and the outgoing inspection of finished components
- The process of continuous improvement

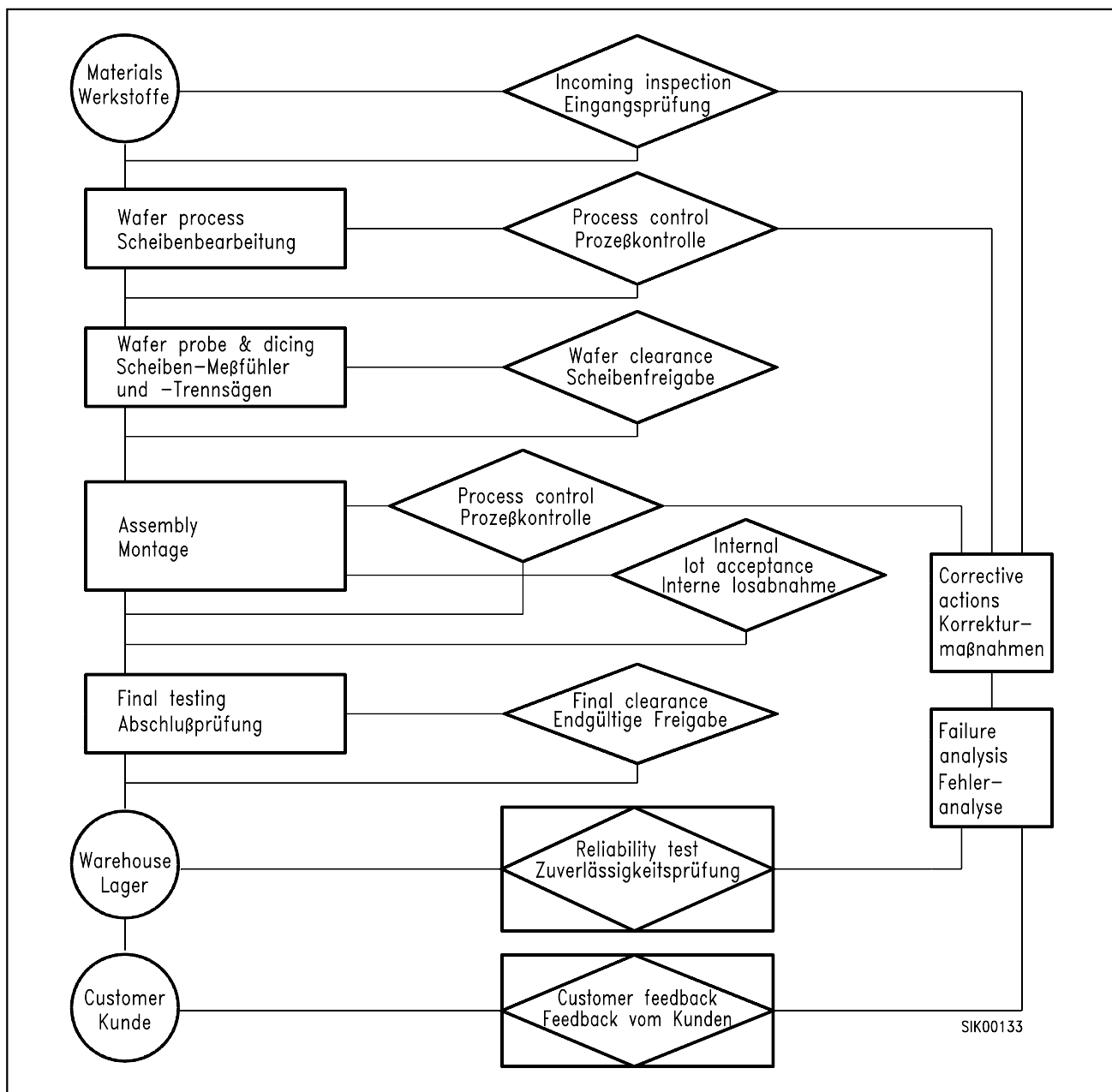


Bild 1
Produktionsdiagramm

Figure 1
Production Flowchart

2 Auslieferqualität

Zweimalige 100%-Prüfung

Alle Halbleiter werden bei folgenden Parametern einer zweimaligen 100%-Prüfung unterzogen:

Parameter (Definition siehe Erläuterung der Datenblattwerte)

Drain-Source-Durchbruchspannung	$V_{(BR)DSS}$
Gate-Schwellenspannung	$V_{GS(th)}$
Drain-Reststrom	I_{DSS}
Gate-Source-Leckstrom	I_{GSS}
Drain-Source-Einschaltwiderstand	$R_{DS(on)}$
Übertragungssteilheit	g_{fs}
Inversdioden-Durchlaßspannung	V_{SD}

AOQ: Anzahl fehlerhaft gelieferter Bauelemente

Die Typenstichprobe mit AQL ist ausschließlich von dem wirtschaftlich noch vertretbaren Stichprobenumfang bestimmt (z.B. AQL 0,1: $n = 125$, $c = 0$).

Bedingt durch den hohen Qualitätsstand der Fertigung und mehrfachen elektrischen Prüfungen bewegt sich die Anzahl von ausgelieferten fehlerhaften Bauelementen im dpm-Bereich (dpm = Defekte per Million), das entspricht der **AOQ = Average Outgoing Quality**.

Diese Aussage ermöglicht es uns, zu klären, ob der durch die Typenstichprobe festgelegte dpm-Level (statistische Absicherung) mit dem tatsächlichen Qualitätsstand (100%) übereinstimmt.

2 Delivery Quality

Double 100 % Testing

All semiconductors are twice subjected to 100 % testing of the following parameters.

Parameters (see Explanation of Data Sheet Parameters for definition)

Drain-source breakdown voltage	$V_{(BR)DSS}$
Gate threshold voltage	$V_{GS(th)}$
Zero gate voltage drain current	I_{DSS}
Gate-source leakage current	I_{GSS}
Drain-source ON resistance	$R_{DS(on)}$
Forward transconductance	g_{fs}
Reverse-diode forward voltage	V_{SD}

AOQ: Number of Defective Components

Final clearance is in accordance with industry standards (e.g. AQL 0.1 : $n = 125$, $c = 0$).

Based on the high quality level achieved in production and the numerous electrical tests performed, the number of defective units delivered is in the dpm (defects per million) range, corresponding to the **AOQ = Average Outgoing Quality**.

This statement allows us to examine whether the dpm level determined at final clearance (statistical guarantee) is in agreement with the actual quality (100%).

Qualitätsziele

Der Bereich Halbleiter setzt für seine Produkte eine Reihe von Qualitätszielen. Diese orientieren sich an Einsatzgesichtspunkten beim Kunden und entsprechen hohen innovativen Anforderungen.

Diese Ziele werden für eine Vielzahl von Parametern für die einzelnen Produktfamilien festgelegt. Als Beispiele seien stellvertretend genannt (Stand der Drucklegung):

Quality Goals

The Semiconductor Division has an established set of quality goals for its products. These are oriented towards customer's application and correspond to highly innovative requirements.

These goals are defined individually for a variety of parameters for every family of products. Examples for some of these quality goals are as follows (at date of printing):

	1997	1998	1999	
Elektrische Fehler bei Auslieferung (AOQ) Electrical defects at delivery (AOQ)	2	1	< 1	dpm
Mechanische Fehler bei Auslieferung (AOQ) Mechanical defects at delivery (AOQ)	5	3	2	dpm
Zuverlässigkeit / Reliability (Vertrauensniveau / Confidence Level, P = 60%)				
– Frühausfälle, $T_j = 55\text{ °C}$, $V_{DS} = 80\% V_{DSmax}$ Early Failures	2	1	< 1	dpm
– Durchschnittliche Ausfallrate > 1000 h $T_j = 55\text{ °C}$, $V_{DS} = 80\% V_{DSmax}$ Average Failure Rate	< 1	< 1	< 1	fit

3 Zuverlässigkeitsprüfungen

Halbleiter erfüllen die in **Tabelle auf Seite 8** aufgeführten Anforderungen, durch die extreme Umgebungs- und Betriebsbedingungen simuliert werden. Die dabei angegebenen LTPD-Level entsprechen einer statischen Stichprobenabsicherung.

Aus den vierteljährlich durchgeführten Requalifikations-Tests kann eine Ausfallrate von < 10 Fit errechnet werden.

1 Fit $\triangleq$ 1 Fehler in 10^9 Bauelementen $\times$ Stunden

Vor Freigabe neuer Produkte müssen Zuverlässigkeitstests bestanden werden. Diese tests werden an Leitprodukten aus laufender Fertigung periodisch fortgesetzt. Diese Tests wiederum sind eine Auswahl aus **Tabelle Seite 8**.

Fehlerkriterien gemäß MIL-STD 19500

I_{GSS}	max. Zunahme + 20 nA.
I_{DSS}	max. Zunahme + 100 μ A.
$R_{DS(on)}$	max. Abweichung: + 20% vom Anfangswert.
V_{DS}	max. Abweichung + 20% vom Anfangswert.
$V_{GS(th)}$	max. Abweichung: $\pm 20\%$ vom Anfangswert.
$R_{th(JC)}$	max. Abweichung: + 20% vom Anfangswert.

3 Reliability Tests

It is self-evident that semiconductors meet the requirements described in **table on page 9** which simulate extreme environmental and operating conditions. The LTPD-level given merely reflects the statistical sampling check.

A failure rate of < 10 Fit can be calculated as a result of our quarterly requalification test.

1 Fit $\triangleq$ 1 defect within 10^9 devices $\times$ hours

Reliability tests have to be passed before new products are approved. These tests are continued at regular intervals on generic reference types taken from current production. The tests are a selection of those listed in **table on page 9**.

Failure Criteria According to MIL-STD 19500

I_{GSS}	max. variation: + 20 nA
I_{DSS}	max. variation: + 100 μ A
$R_{DS(on)}$	max. variation: + 20% from initial value.
V_{DS}	max. variation + 20% from initial value.
$V_{GS(th)}$	max. variation: $\pm 20\%$ from initial value.
$R_{th(JC)}$	max. variation: + 20% from initial value.

4 Zeitraffende Prüfmethode

Ausfallbeschleunigende Methoden sind erforderlich, um innerhalb der üblichen Versuchszeiten von 1000 ... 2000 Stunden den Betriebsbereich der Kleinsignal-Transistoren abdecken zu können.

Der Beschleunigungsfaktor AF (auch als „relative Lebensdauer“ bezeichnet) ist definiert als der Quotient der Zeitperioden, welche bei unterschiedlichen Belastungsbedingungen („Stress“, „Use = Nennbetrieb“) zur gleichen Änderung am Produkt führen (Ausfälle, Parameter-Änderung usw.), verursacht durch den selben Mechanismus: $AF = t_{\text{use}}/t_{\text{stress}}$.

Aus der Literatur sind verschiedene (z.T. empirisch ermittelte) Modelle zur Abschätzung der Betriebszuverlässigkeit aus Ergebnissen von Streß-Versuchen bekannt.

Beschleunigungsfaktor

Temperatur-Stress (Arrhenius)

4 Accelerating Test Methods

Test methods that accelerate failure mechanisms are indispensable, if one wishes to cover the device's life time by reasonable test periods of 1000 ... 2000 hours.

The acceleration factor AF (also named „relative life“) is defined as the ratio of time intervals that result in identical product changes (e.g. failures, parameter drift etc.), caused by the same failure mechanism, when applying different test conditions („stress“, „use“):

$$AF = t_{\text{use}}/t_{\text{stress}}$$

Different models are known from literature that aim to predict the failure rate from the results of stress tests. Some of these models have been found empirically.

Acceleration Factor

Temperature Stress

$$AF_{(T)} = \exp \cdot \left[\frac{E_a}{k} \cdot \left(\frac{1}{T_{\text{use}}} - \frac{1}{T_{\text{stress}}} \right) \right]$$

T_{stress}	Stress-Temperatur $T_{\text{stress}} = \vartheta_{\text{stress}} + 273 \text{ K}$
T_{use}	Betriebstemperatur $T_{\text{use}} = \vartheta_{\text{use}} + 273 \text{ K}$
k	Boltzmann-Konstante ($8,65 \times 10^{-5} \text{ eV/K}$)
E_a	Aktivierungsenergie (eV) = 1.0 eV

Übliches Modell zur Ermittlung des temperaturabhängigen Beschleunigungsfaktors. Die Aktivierungsenergie E_a beschreibt die „Empfindlichkeit“ des (chemischen oder physikalischen) Fehlermechanismus auf Temperatur-Änderungen. Für viele Feh-

T_{stress}	Stress temperature $T_{\text{stress}} = \vartheta_{\text{stress}} + 273 \text{ K}$
T_{use}	Operating temperature $T_{\text{use}} = \vartheta_{\text{use}} + 273 \text{ K}$
k	Boltzmann Constant ($8.65 \times 10^{-5} \text{ eV/K}$)
E_a	activation energy (eV) = 1.0 eV

Commonly used model for calculating the temperature dependent acceleration factor. The activation energy E_a describes the „sensitivity“ of the (chemical or physical) failure mechanism to temperature changes. For many failure mechanism the activi-

lermechanismen ist die Aktivierungsenergie bekannt; sie kann experimentell bestimmt werden.

tion energy is known; it may be evaluated by experiments.

Temperatur- und Spannungs-Stress

Temperature and Bias Stress (Eyring)

$$AF_{(V,T)} = (V_{\text{stress}} - V_{\text{use}})^{\beta} \times AF_{(T)}$$

V_{stress} Stress-Spannung

V_{stress} Stress voltage

V_{use} Betriebsspannung

V_{use} Operating voltage

$\beta = 3$

$\beta = 3$

Es wird der zusätzliche Einfluß von elektrischen Spannungen auf den Beschleunigungsfaktor berücksichtigt.

The additional influence of electrical bias on the acceleration bias on the acceleration factor is considered.

Temperatur- und Feuchte-Stress (Peck)

Temperature and Humidity Stress

$$AF_{(RH,T)} = \left(\frac{RH_{\text{stress}}}{RH_{\text{use}}} \right)^n \times AF_{(T)}$$

$E_a = 0.65 \text{ eV}$

$E_a = 0.65 \text{ eV}$

$n = 3$

$n = 3$

RH_{stress} Relative Feuchte bei Belastung

RH_{stress} Relative humidity at stress

RH_{use} Relative Feuchte bei Betrieb

RH_{use} Relative humidity at use

Dieses Modell gilt für Korrosionsausfälle in plastik-gekapselten Bauteilen bei angelegter (konstanter) Spannung.

This model applies for corrosion failures of plastic encapsulated products with (constant) bias.

Temperaturwechsel

Temperature Cycling (Coffin-Manson Model)

$$AF_{(TW)} = \left[\frac{T_{\text{stress(hot)}} - T_{\text{stress(cold)}}}{T_{\text{use(hot)}} - T_{\text{use(cold)}}} \right]^{\beta}$$

$T_{\text{stress (hot/cold)}}$ Temperatur bei Belastung

$T_{\text{stress (hot/cold)}}$ Temperature at stress

$T_{\text{use (hot/cold)}}$ Temperatur bei Betrieb

$T_{\text{use (hot/cold)}}$ Temperature at use

$\beta = 4$

$\beta = 4$

Übliches Model zur Ermittlung des Beschleunigungsfaktors bei Temperaturwechsel.

Commonly used model for calculating the acceleration factor at temperature changes.

Berechnung der Ausfallrate

Kennt man den anzuwendenden Beschleunigungsfaktor, so kann man unter Berücksichtigung einer statistischen Aussagesicherheit (üblicherweise 60%) aus den durch Dauerversuche gewonnenen Ergebnissen die einseitige obere Vertrauensgrenze der Ausfallrate errechnen:

Calculating the Failure Rate

Considering a statistical confidence level (usually 60%) the single sided upper confidence limit of the failure rate can be calculated from the results of operating life tests, if the applicable acceleration factor is known:

Ausfallrate	Failure Rate
$\lambda_{(use)} = \frac{\chi^2}{2} \times \frac{1}{AF_{(stress, use)}} \times \frac{1}{\text{Bauelementestunden bei Stress}}$	$\frac{1}{\text{Device hours at stress}}$

Der Wert der Wahrscheinlichkeitsfunktion ($\chi^2/2$) hängt von der Anzahl der ausgefallenen Bauteile und der geforderten statistischen Aussagesicherheit ab:

The value of probability function ($\chi^2/2$) depends upon the number of defectives and from the required confidence level:

Beobachtete Ausfälle / Observed Failures	0	1	2	3	4	5	6
($\chi^2 / 2$) (bei 60% Aussagesicherheit) (at 60% Confidence Level)	0.9	2.0	3.1	4.2	5.2	6.3	7.3

Berechnung der Lebensdauer

Calculating the life time

$t_{use} = AF \times t_{stress}$

AF Beschleunigungsfaktor

AF Acceleration Factor

t_{use} Betriebsdauer

t_{use} Stress time

t_{stress} Testdauer

t_{stress} Use Time

Qualifikationstests für Kleinsignal-Transistoren

Nr.	Prüfung	Bedingungen	Norm	LTPD
01	Heißlagerung	1000 h bei $T_{\text{stg max}}$	DIN IEC 68 Teil 2-2 Test Ba	5
02	Heißsperrlagerung	1000 h, V_{DSmax} , $T_{\text{j max}}$	JEDEC A108	5
03	Gate-Heißbelastung	1000 h, V_{GSmax} , $T_{\text{j max}}$	DIN 45 930, CECC 50 000 4.5.2	5
04	Heißsperrlagerung bei hoher Feuchtigkeit	1000 h, 85 °C, 85% R_{H} $V_{\text{DS}} = 80\% V_{\text{DSmax}}$, aber max. 80 V	DIN 45 930, CECC 50 000 4.4.3 JEDEC A101, cond.A	5
05	Temperaturwechsel plus Dampfdrucktest	100 T_{C} -Zyklen plus 96 h, 119 °C, 100 % R_{H} 100 kPa (1 bar)	DIN IEC68, Teil 2-14/ JEDEC A104/ JEDEC A102 A	5
06	Temperaturwechsel- test	1000 Zyklen bei $T_{\text{stg max}} - T_{\text{stg min}}$, aber max. 150 °C	DIN IEC 68 Teil 2-14 Test Na; JEDEC A104	5
07	Lastwechseltest	10,000 Zyklen, $dT_{\text{j}} = dT_{\text{j max}} - 50 \text{ K}$, aber max. 100 K	–	5
08	Lötwärmebe- ständigkeit für Standard SMD	260 °C $\pm$ 5 K, 10 s $\pm$ 1 s, Welle	SN 53062/2 SN 53063/2	10
09	Lötwärmewider- stand nur für SMD- Bauelemente	215 °C $\pm$ 5 K, 2 $\times$ (40 $\pm$ 1) s	CECC 00 802, SN 53 063, 2	5
10	Lötbarkeit	235 °C $\pm$ 5 K, (Alterung 8 h Dampf)	SN 53062/1 SN 53063/1	10
11	Elektrostatische Entladung	$R_1 = 10$ bis 100 M Ω $R_2 = 1,5 \text{ k}\Omega$ $C_1 = 100 \text{ pF}$	MIL-STD-883 Meth. 3015.7 Human Body Model	–
12	Schwingung für hermetisch dichte Bauelemente	normgemäß	DIN IEC 68, Teil 2-6 Test Fc	10
13	Dichtheitsprüfung für hermetisch dichte Bauelemente	$\geq 10^{-7}$ Torr/s (Heliumtest)	DIN IEC 68, Teil 2-17 Test Qk	10
14	Zugprüfung	Gemäß dem Standard	DIN IEC 68, Teil 2-21 Test Ual	10
15	Biegeprüfung	Gemäß dem Standard	DIN IEC 68, Teil 2-21 Test Ub	10

Quality Approval Test Specification for Small Signal Transistors

No.	Test	Conditions	Standard	LTPD
01	High Temperature Storage	1000 h at $T_{\text{stg max}}$	DIN IEC 68 Part 2-2 Test Ba	5
02	High Temperature Reverse Bias	1000 h, V_{DSmax} , $T_{\text{j max}}$	JEDEC A108	5
03	High Temperature Gate Stress	1000 h, V_{GSmax} , $T_{\text{j max}}$	DIN 45 930, CECC 50 000 4.5.2	5
04	High Humidity High Temperature Reverse Bias	1000 h, 85 °C, 85% R_{H} $V_{\text{DS}} = 80\% V_{\text{DSmax}}$, but max. 80 V	DIN 45 930, CECC 50 000 4.4.3 JEDEC A101, cond.A	5
05	Temperature Cycling plus Pressure Cooker Test	100 cycles of T_{C} plus 96 h, 119 °C, 100% R_{H} 100 kPa (1 bar)	DIN IEC 68, Part 2-14 JEDEC A 104 JEDEC A102 A	5
06	Temperature Cycling	1000 cycles at $T_{\text{stg max}} - T_{\text{stg min}}$, but max. 150 °C	DIN IEC 68 part 2-14 Test Na, JEDEC A104	5
07	Power Cycling	10,000 cycles, $dT_{\text{j}} = dT_{\text{j max}} - 50 \text{ K}$, but max. 100 K	–	5
08	Resistance to Solder Heat	260 °C $\pm 5 \text{ K}$, 10 s $\pm 1 \text{ s}$	SN 53062/2 SN 53063/2	10
09	Resistance to Solder Heat for SMD Devices	215 °C $\pm 5 \text{ K}$, 2 $\times$ (40 ± 1) s, reflow	CECC 00802 SN 53063/2	5
10	Solderability	235 °C $\pm 5 \text{ K}$, (aging 8 h steam)	SN 53062/1 SN 53063/1	10
11	Electrostatic Discharge	$R1 = 10 \text{ to } 100 \text{ M}\Omega$ $R2 = 1.5 \text{ k}\Omega$ $C1 = 100 \text{ pF}$	MIL-STD-883 Meth. 3015.7 Human Body Model	–
12	Vibration for Hermetic Devices	In accordance with Standard	DIN IEC 68, Part 2-6 Test Fc	10
13	Seal Test for Hermetic Devices	$\geq 10^{-7} \text{ torr/s}$ (helium test)	DIN IEC 68, Part 2-17 Test Qk	10
14	Pull Test	In accordance with Standard	DIN IEC 68, Part 2-21 Test Ual	10
15	Bending Test	In accordance with Standard	DIN IEC 68, Part 2-21 Test Ub	10

5 CECC-Zertifikate

Die hohe Zuverlässigkeit kann nur durch aufwendige gestaffelte Erprobungsversuche ermittelt werden. Der Zuverlässigkeitsnachweis erfolgt nach Leittypen nach internen Richtlinien.

Unsere Scheibenfertigung (Villach, Österreich), die Montagestandorte (Regensburg, Malacca) und das für die Durchführung der Tests verantwortliche Prüflabor sind CECC zertifiziert.

5 CECC Certificates

The only way to determine high operational reliability is through large-scale, selective testing. Proof of reliability is established by pilot types according to internal guidelines.

Our wafer fabrication plant (Villach, Austria), the manufacturing plant (Regensburg, Malacca) and the testing lab responsible for conducting the tests have CECC approval.

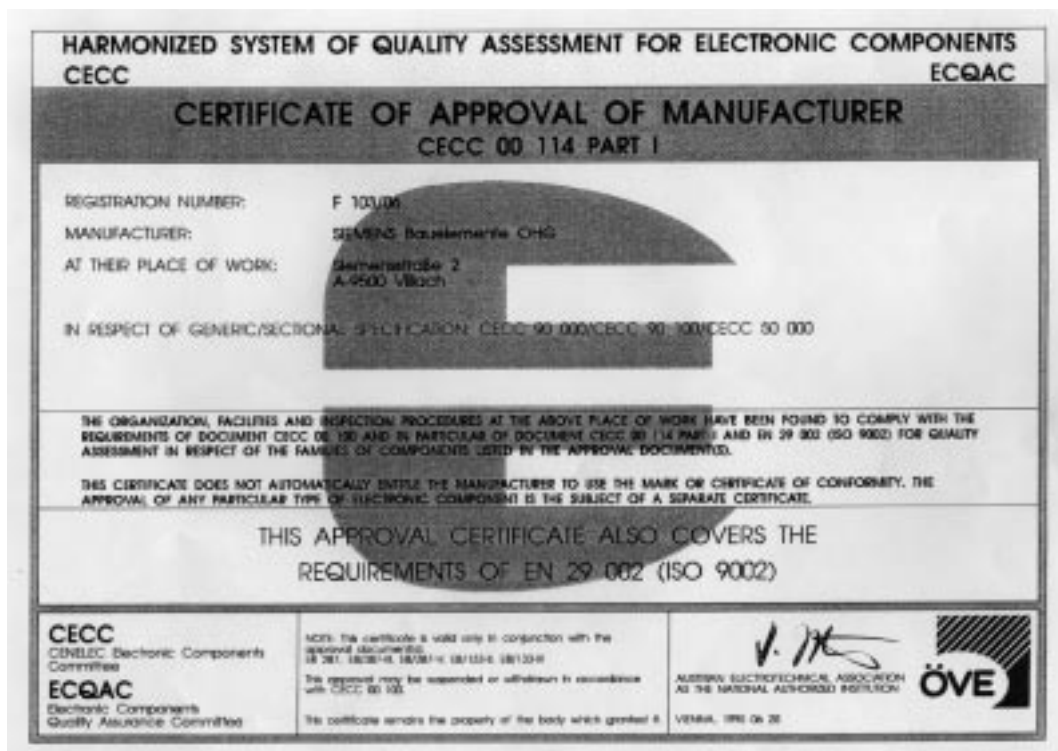


Bild 2
CECC-Zertifikat der Scheibenfertigung

Figure 2
CECC Certificate of Approval for Wafer Fabrication

6 Ship-to-Stock-Lieferungen

In besonderen Fällen können spezielle Qualitätsvereinbarungen mit den Kunden getroffen werden.

Als Beispiel seien **Ship-to-Stock(StS)-Lieferungen** genannt, bei welchen der Kunde keine technische Eingangsprüfung mehr durchführt.

Voraussetzung hierfür ist eine **Qualitätssicherungsvereinbarung** zwischen dem Kunden und dem Bereich Halbleiter. Darin sind die speziellen Anforderungen an die „Ship-to-Stock“ - Produkte festgelegt.

Produkte für „Ship-to-Stock“ - Lieferungen müssen aus einer kontinuierlichen Fertigung stammen; sie müssen den Status der Lieferfreigabe haben.

Die Verpackung ist mit einem speziellen **Ship-to-Stock-Siegel** (siehe Bild unten) gekennzeichnet; sie darf bis zur Verarbeitung beim Kunden nicht geöffnet werden. Die Verfolgbarkeit der Lieferlose („Traceability“) muß auch beim Kunden möglich sein.

6 Ship-to-Stock Deliveries

In certain cases, special agreements can be made with customers.

An example for such an agreement is **Ship-to-Stock deliveries**. For these deliveries, the customer does not perform a technical incoming inspection.

The special requirements for “Ship-to-stock” products have to be defined in the **quality assurance agreement** between the customer and the Semiconductor Division.

“Ship-to-stock” products must come out of a continuous production, they must have delivery release status.

The packing units are labelled with a special **Ship-to-Stock seal** (see figure below); they must not be opened prior to usage at the customer’s production plant. Delivery lots must be traceable at the customer, too.

