

1 Symbole, Begriffe, Normen

Symbole und Begriffe der verwendeten Größen

1 Symbols, Terms, Standards

Symbols and Terms of Magnitudes Used

Symbole Symbols	Begriffe	Terms
A	Anode	Anode
C	Kapazität; Kollektor	Capacitance, collector
C_{ISS}	Eingangskapazität	Input capacitance
C_{OSS}	Ausgangskapazität	Output capacitance
C_{rss}	Rückwirkungskapazität	Reverse transfer capacitance
C_{DS}	Drain-Source Kapazität	Drain-source capacitance
C_{GD}	Gate-Drain Kapazität	Gate-drain capacitance
C_{GS}	Gate-Source Kapazität	Gate-source capacitance
C_{Mi}	Millerkapazität	Miller capacitance
D	Tastverhältnis/Tastgrad $D = t_p/T$; Drain	Pulse duty factor/duty cycle $D = t_p/T$; drain
$d_{iF/dt}$	Dioden-Stromsteilheit	Rate of diode current rise
E	Energie	Energy
E_A	Avalanche-Energie	Avalanche energy
E_{AR}	Avalanche-Energie, periodisch	Avalanche energy, repetitive
E_{AS}	Avalanche-Energie, Einzelpuls	Avalanche energy, single pulse
E_{off}	Abschaltverlust-Energie	Turn-off loss energy
f	Frequenz	Frequency
G	Gate	Gate
g_{fs}	Übertragungssteilheit	Transconductance
I	Strom	Current
i	Strom Augenblickswert	Current, instantaneous value
I_{AR}	Avalanche-Strom, periodisch	Avalanche current, repetitive
I_C	Kollektor-Gleichstrom	DC collector current
I_{CES}	Kollektor-Reststrom	Collector cutoff current
I_{Cpuls}	Kollektor-Gleichstrom, gepulst	DC collector current, pulsed
I_D	Drain-Gleichstrom	DC drain current

Symbole Symbols	Begriffe	Terms
I_{Dpulse}	Drain-Gleichstrom, gepulst	DC drain current, pulsed
I_{DSS}	Drain-Reststrom	Drain cutoff current
I_{DSV}	Drain-Reststrom mit anliegender Gate-Spannung	Drain cutoff current with gate voltage applied
I_F	Dioden Durchlaßstrom (allgemein)	Diode forward current (general)
I_{FAV}	Dioden Durchlaßstrom , Mittelwert	Diode forward current, average value
I_{FRMS}	Dioden Durchlaßstrom , Effektivwert	Diode forward current, rms value
I_{FRM}	Periodischer Dioden-Spitzenstrom	Repetitive diode peak current
I_{FSM}	Dioden-Stoßstromscheitelwert (50Hz-Sinus)	Diode current surge crest value (50-Hz sinusoidal)
I_{GES}	Gate-Emitter-Leckstrom	Gate-emitter leakage current
I_{GSS}	Gate-Source-Leckstrom	Gate-source leakage current
I_L	Strom durch Induktivität	Current through inductance
I_R	Dioden-Sperrstrom	Diode reverse current
I_{RRM}	Sperrverzögerungsrückstromspitze	Reverse recovery peak return current
I_S	Inversdioden-Dauergleichstrom	Inverse diode continuous forward current
I_{SM}	Inversdioden-Gleichstrom, gepulst	Inverse diode direct current, pulsed
K	Kathode	Cathode
L	Induktivität	Inductance
L_L	Last-Induktivität	Load inductance
L_p	Parasitäre Induktivität (z.B. Leitungen)	Parasitic inductance (e.g. lines)
P_A	Avalanche-Verlustleistung	Avalanche power loss
P_F	Dioden-Verlustleistung, Durchlaßverlustleistung	Diode power loss, forward power loss
P_{sw}	Schaltverlustleistung	Switching power loss
P_{tot}	Gesamtverlustleistung	Power dissipation

Symbole Symbols	Begriffe	Terms
Q_{Gate}	Gate-Ladung	Gate charge
Q_{GS}	Ladung der Gate-Source-Kapazität	Charge of gate-source capacitance
Q_{GD}	Ladung der Gate-Drain-Kapazität	Charge of gate-drain capacitance
$Q_{\text{Gate tot}}$	Gesamt-Gateladung	Total gate charge
Q_{rr}	Sperrverzögerungsladung	Recovered charge
R_{b}	Basis-Emitter-Widerstand des parasitären Bipolartransistors	Base-emitter resistance of parasitic bipolar transistor
R_{D}	Drainwiderstand (Widerstand der Epitaxieschicht)	Drain resistance (resistance of epitaxial layer)
$R_{\text{DS(on)}}$	Drain-Source-Einschaltwiderstand	Drain-source ON resistance
R_{G}	Gate-Bahnwiderstand	Gate bulk resistance
R_{GS}	Gate-Source-Widerstand	Gate-source resistance
R_{i}	Innenwiderstand (Pulsgenerator)	Internal resistance (pulse generator)
R_{K}	Kanalwiderstand	Channel resistance
R_{L}	Lastwiderstand	Load resistance
R_{thCH}	Wärmewiderstand, Gehäuse-Kühlkörper	Thermal resistance, case to heat sink
R_{thHA}	Wärmewiderstand, Kühlkörper-Umgebung	Thermal resistance, heat sink to ambient air
R_{thJA}	Wärmewiderstand, Chip-Umgebung	Thermal resistance, chip to ambient air
R_{thJC}	Wärmewiderstand, Chip-Gehäuse	Thermal resistance, chip to case
S	Source	Source
T	Periodendauer; Temperatur	Cycle time; temperature
T_{A}	Umgebungstemperatur	Ambient temperature
T_{C}	Gehäusetemperatur	Case temperature
t	Zeit allgemein	Time, general
t_1	Zeitpunkt	Instant
t_{doff}	Ausschaltverzögerungszeit	Turn-off delay time
t_{don}	Einschaltverzögerungszeit	Turn-on delay time
$t_{\text{f}}, t_{\text{F}}$	Fallzeit	Fall time

Symbole Symbols	Begriffe	Terms
t_p	Pulsdauer bzw. Einschaltdauer	Pulse duration or turn-on time
T_j	Chip- bzw. Betriebstemperatur	Chip or operating temperature
$T_{j(max)}$	Maximal zulässige Chip- bzw. Betriebstemperatur	Maximum permissible chip or operating temperature
$t_{d(off)}$	Ausschaltzeit	Turn-off time
$t_{d(on)}$	Einschaltzeit	Turn-on time
t_p	Pulszeit	Pulse time
t_r	Anstiegszeit	Rise time
t_{rr}	Sperrverzögerungszeit	Reverse recovery time
T_{stg}	Lagertemperatur	Storage temperature
T_{sold}	Löttemperatur	Soldering temperature
V	Spannung Augenblickswert	Voltage, instantaneous value
V_{in}	Ansteuerspannung	Drive voltage
$V_{(BR)CES}$	Kollektor-Emitter-Durchbruchspannung	Collector-emitter breakdown voltage
$V_{(BR)DSS}$	Drain-Source-Durchbruchspannung	Drain-source breakdown voltage
V_{DD}	Versorgungsspannung	Supply voltage
V_{CE}	Kollektor-Emitter-Spannung	Collector-emitter voltage
V_{CEsat}	Kollektor-Emitter-Sättigungsspannung	Collector-emitter saturation voltage
V_{CGR}	Kollektor-Gate-Spannung	Collector-gate voltage
V_{DGR}	Drain-Gate-Spannung	Drain-gate voltage
V_{DS}	Drain-Source-Spannung	Drain-source voltage
V_F	Dioden-Durchlaßspannung	Diode forward voltage
V_{GE}	Gate-Emitter-Spannung	Gate-emitter voltage
$V_{GE(th)}$	Gate-Schwellenspannung (IGBT)	Gate threshold voltage (IGBT)
V_{GS}	Gate-Source-Spannung	Gate-source voltage
$V_{GS(th)}$	Gate-Schwellenspannung (SIPMOS)	Gate threshold voltage (SIPMOS)
V_R	Dioden-Sperrspannung	Diode reverse voltage

Symbole Symbols	Begriffe	Terms
V_{RRM}	Periodische Spitzensperrspannung	Repetitive peak reverse voltage
V_{RSM}	Stoßspitzensperrspannung	Surge peak reverse voltage
V_{SD}	Inversdioden-Durchlaßspannung	Inverse diode forward voltage
Z_{thJC}	Transienter Wärmewiderstand, Chip-Gehäuse	Transient thermal resistance, chip to case

Normen

Folgende Normen wurden in diesem Datenbuch verwendet. Spezielle Einzelheiten können nachfolgenden Unterlagen entnommen werden:

Standards

The following standards were used for this Data Book. Specific details can be taken from the documents listed below:

Normen, Begriffe und Definitionen Standards, Terms and Definitions

DIN 40 900 T5	Halbleiter, Schaltzeichen	Semiconductors, Graphical Symbols
DIN 41 781	Diodenbegriffe	Diode Terms and Definitions
DIN 41 785 T3	Leistungshalbleiter, Kurzzeichen	Power Semiconductors, Letter Symbols
DIN 41 854	Bipolare Transistoren, Begriffe	Bipolar Transistors, Terms and Definitions
DIN 41 858	Feldeffekttransistoren, Begriffe	Field Effect Transistors, Terms and Definitions
IEC 148 B	Halbleiterbauelemente, Symbole allgemein	Semiconductor Devices, Symbols, General

Angaben in Datenblättern, Meßverfahren Details in Data Sheets, Test Procedures

DIN 41 791	T1	Allgemeines zu Datenblättern	General Remarks on Data Sheet Details
	T5	Datenblattangaben, Leistungstransistoren	Data Sheet Details, Power Transistors
	T6	Datenblattangaben, Schalttransistoren	Data Sheet Details, Switching Transistors
DIN 41 792	T1	Meßverfahren, Transistoren	Test Procedures, Transistors
	T2	Meßverfahren, Dioden	Test Procedures, Diodes
	T3	Meßverfahren, Wärmewiderstand	Test Procedures, Thermal Resistance
DIN IEC 747	T1	Allgemeines zu Grenz- und Kenndaten, Meßverfahren	General Remarks on Maximum Ratings and Characteristics, Test Procedures
	T2	Dioden	Diodes
IEC 747	T7	Bipolare Schalttransistoren	Bipolar Switching Transistors
DIN IEC 747	T8	Feldeffekttransistoren	Field Effect Transistors

Zuverlässigkeit Reliability

DIN 41 794	T3	Transistoren	Transistors
	T8	Dioden	Diodes
DIN IEC 68 ..		Tests	Tests
MIL-STD 883C		Testmethoden, z.B. Methode 3015.6 für ESD ¹⁾	Test Methods, e.g. Method 3015.6 for ESD ¹⁾
MIL-STD 19500		Ausfallkriterien	Failure Criteria
SN 73 257		ESD	ESD
A66762-A4013-A58		Verfahrensanleitung für ESD	QA Process Instructions for ESD

¹⁾ **ESD** $\triangleq$ **E**lectro**S**tatic **d**ischarge / Elektrostat**S**che Entladung

1.1 Anordnung des Indizes

Spannungen

Es werden zwei Indizes verwendet, die die Punkte bezeichnen, zwischen denen die Spannung gemessen wird. Positiven Zahlenwerten der Spannungen entsprechen positive Potentiale des mit dem ersten Index bezeichneten Punkt (Bezugspunkt), z.B. V_{GS} .

Ströme

Mindestens ein Index wird verwendet. Positiven Zahlenwerten des Stroms entsprechen positive Ströme, die an dem mit dem ersten Index bezeichneten Anschluß in das Bauelement eintreten, z.B. I_{GS} .

Ein zusätzlicher 3. Index gibt den Beschaltungszustand zwischen dem 2. Index und dem nicht bezeichneten 3. Anschluß an.

1.1 Arrangement of Subscripts

Voltages

Two subscripts are used to designate the points between which the voltage is measured. Positive numerical values of the voltages equate to positive potentials of the point specified by the first subscript (reference point), e.g. V_{GS} .

Currents

At least one subscript is used. Positive numerical values of the current equate to positive currents entering the component at the connection specified by the first subscript, e.g. I_{GS} .

An additional, third subscript indicates the circuit status between the second subscript and the unspecified third connection.

Beispiele	Examples
$V_{(BR)DSS}$ Durchbruchspannung zwischen Drain- und Sourceanschluß mit kurzgeschlossenem Gate-Source-Anschluß.	$V_{(BR)DSS}$ Breakdown voltage between drain and source connections with shorted gate-source connection.
I_{DSV} Strom in Drain-Source-Richtung mit Spannungsbeschaltung zwischen Gate-Source-Anschluß.	I_{DSV} Current in drain-source direction with voltage connected across the gate-source connection.
3. Buchstabe	Third Letter
S kurzgeschlossen	S Shorted
R Widerstandsbeschaltung	R Resistive connection
V Spannungsbeschaltung	V Voltage connection
X Widerstands- und Spannungsbeschaltung	X Resistive and voltage connection

2 Grenzwerte

Die in den Datenblättern angegebenen Grenzwerte sind absolute Werte. Wird einer dieser Grenzwerte überschritten, so kann das zur Zerstörung des Halbleiters führen, auch wenn nicht alle anderen Grenzwerte ausgenutzt werden. Wenn nicht anders angegeben, gelten die Werte bei einer Temperatur von 25 °C.

2.1 Drain-Source-Spannung V_{DS}

Maximal zulässiger Wert der Spannung zwischen den Drain-Source-Anschlüssen bei kurzgeschlossener Gate-Source. Ausgenommen sind Spannungsspitzen bei avalanchefesten Transistoren.

2.2 Drain-Gate-Spannung V_{DGR}

Maximal zulässiger Wert der Spannung zwischen dem Drain- und dem Gate-Anschluß bei Überbrückung der Gate-Source-Anschlüsse mit einem vorgegebenen Widerstand.

2.3 Drain-Gleichstrom I_D

Maximal zulässiger Wert des Gleichstroms über den Drain-Anschluß.

2.4 Drain-Strom, gepulst I_{Dpuls}

Maximal zulässiger Scheitelwert des Stroms über den Drain-Anschluß bei Pulsbetrieb. Die Pulsbreite und das Puls-Pausenverhältnis ist aus dem Diagramm "Zulässiger Betriebsbereich" zu entnehmen. Für Einzelpulse bei maximaler Aufsteuerung des Transistors sind höhere Werte zulässig. Werte auf Anfrage.

2 Maximum Ratings

The maximum ratings presented in the data sheets are absolute values. If one of these maximum ratings is exceeded, it may result in breakdown of the semiconductor, even if the other maximum ratings are not all used to their limits. Unless specified to the contrary, the values apply at a temperature of 25 °C.

2.1 Drain-Source Voltage V_{DS}

The maximum permissible value of the voltage across the drain-source connections with shorted Gate and Source. Glitches relating to avalanche-resistant transistors are excluded.

2.2 Drain-Gate Voltage V_{DGR}

The maximum permissible value of the voltage across the drain and gate connections when the gate-source connections are bridged by a specified resistance.

2.3 DC Drain Current I_D

The maximum permissible value of the direct current across the drain connection.

2.4 Drain Current, Pulsed I_{Dpuls}

The maximum permissible crest value of the current across the drain connection in pulsed operation. The pulse width and pulse spacing can be taken from the "Safe Operating Area" diagram. Higher values are permissible for single pulses at maximum biasing of the transistor. Values supplied on request.

2.5 Gate-Source-Spannung V_{GS}

Maximal zulässiger Wert der Spannung zwischen den Gate-Source-Anschlüssen.

2.6 Gate-Source-Spitzenspannung V_{gs}

Maximal zulässiger, nicht periodischer Spitzenwert zwischen den Gate-Source-Anschlüssen bei Logik-Level-Transistoren.

2.7 Maximale Verlustleistung P_{tot}

Der maximal zulässige Wert der Verlustleistung, die der Transistor abführen kann.

2.8 Betriebstemperaturbereich T_j

Bereich der zulässigen Chiptemperatur, innerhalb dessen der Transistor dauernd betrieben werden darf.

2.9 Lagertemperaturbereich T_{stg}

Temperaturbereich, innerhalb dessen der Transistor ohne elektrische Beanspruchung gelagert oder transportiert werden darf.

2.10 Maximale Löttemperatur T_{sold}

Die maximal zulässige Löttemperatur an den Anschlüssen des Halbleiters bei einem spezifizierten Abstand vom Gehäuse und für eine spezifizierte Zeit (siehe Kapitel Handhabungsrichtlinien).

2.5 Gate-Source Voltage V_{GS}

The maximum permissible value of the voltage across the gate-source connections.

2.6 Gate-Source Peak Voltage V_{GS}

The maximum permissible non-repetitive peak value across the gate-source connections in logic level transistors.

2.7 Maximum Power Dissipation P_{tot}

The maximum permissible power loss that can be dissipated by the transistor.

2.8 Operating Temperature Range T_j

The range of the permissible chip temperature within which the transistor may be continuously operated.

2.9 Storage Temperature Range T_{stg}

The temperature range within which the transistor may be stored or transported without electrical stressing.

2.10 Maximum Soldering Temperature T_{sold}

The maximum permissible soldering temperature at the connections of the semiconductor, at a specified spacing from the package and for a specified time (refer to "Handling Guidelines").

2.11 Avalanche-Energie, Einzelpuls E_{AS}

Maximal zulässige Pulsenergie beim Auftreten einer einmaligen Sperrspannungsdurchbruchbelastung. Die Parameter: I_D , V_{DD} , R_{GS} , L , T_j sind spezifiziert.

2.12 Avalanche-Energie im Dauerbetrieb E_{AR}

Maximal zulässige Sperrspannungsdurchbruchenergie in Dauerbetrieb bei Einhaltung der maximal zulässigen Chiptemperatur.

2.13 Avalanche Drainstrom im Dauerbetrieb I_{AR}

Maximal zulässiger Drainstrom-Scheitelwert bei periodischer Sperrspannungsdurchbruchbelastung unter Einhaltung der maximal zulässigen Chiptemperatur.

2.14 Wärmewiderstand Chip-Gehäuse R_{thJC} oder R_{thJA}

Quotient aus der Differenz zwischen der Chip- und der Bezugstemperatur am Gehäuse, oder der Umgebung einerseits und der abgeführten Verlustleistung andererseits, bei thermischem Gleichgewicht.

2.15 Feuchtekasse

Die Angaben sind nach DIN 40040 spezifiziert.

2.16 Prüfklasse

Die Angaben sind nach DIN IEC 68-1 spezifiziert.

2.11 Avalanche Energy, Single Pulse E_{AS}

The maximum pulse-energy occurring with a unique reverse voltage breakdown load. The parameters I_D , V_{DD} , R_{GS} , L and T_j are specified.

2.12 Avalanche Energy in Continuous Operation E_{AR}

The maximum permissible reverse-voltage breakdown energy in continuous operation while observing the maximum permissible chip temperature.

2.13 Avalanche Drain Current in Continuous Operation I_{AR}

The maximum permissible drain current crest value at repetitive reverse-voltage breakdown loading while observing the maximum permissible chip temperature.

2.14 Chip to Case Thermal Resistance R_{thJC} or R_{thJA}

Quotient from the difference between the chip temperature and the reference temperature at the case or ambient air on the one hand and the dissipated power on the other, at thermal equilibrium.

2.15 Humidity Class

Details are specified in accordance with DIN 40040.

2.16 Test Class

Details are specified in accordance with DIN IEC 68-1.

3 Kennwerte

Die angegebenen Werte sind als Mittelwerte aufzufassen. In vielen Fällen werden sie durch Angabe des Streubereichs ergänzt.

3.1 Drain-Source-Durchbruchspannung $V_{(BR)DSS}$

Die Spannung zwischen den Drain-Source-Anschlüssen, gemessen bei spezifiziertem Drain-Strom und kurzgeschlossenen Gate-Source-Anschlüssen.

3.2 Gate-Schwellenspannung $V_{GS(th)}$ (Einsatzspannung)

Der Wert der Gate-Source-Spannung, gemessen bei spezifiziertem Drain-Strom und spezifizierter Drain-Source-Spannung.

3.3 Drain-Reststrom I_{DSS}

Der Wert des Drain-Stroms bei einer spezifizierten Drain-Source-Spannung und kurzgeschlossenen Gate-Source-Anschlüssen. Angegeben werden Werte bei 25 °C und einer spezifizierten höheren Chiptemperatur.

3.4 Gate-Source-Leckstrom I_{GSS}

Der Wert des Gate-Leckstroms bei einer spezifizierten Gate-Source-Spannung und kurzgeschlossenen Drain-Source-Anschlüssen.

3.5 Drain-Source-Einschaltwiderstand $R_{DS(on)}$

Der Wert des Widerstandes zwischen dem Drain- und Source-Anschluß bei spezifizierten Werten der Gate-Source-Span-

3 Characteristics

Specified values should be regarded as average values. In many cases the variation range is given as well.

3.1 Drain-Source Breakdown Voltage $V_{(BR)DSS}$

The voltage across the drain-source connections measured at the specified drain current and shorted gate-source connections.

3.2 Gate Threshold Voltage $V_{GS(th)}$

The value of the gate-source voltage measured at the specified drain current and the specified drain-source voltage.

3.3 Drain Cutoff Current I_{DSS}

The value of the drain current at a specified drain-source voltage and shorted gate-source connections. The details shown are values at 25 °C and a specified, higher chip temperature.

3.4 Gate-Source Leakage Current I_{GSS}

The value of the gate leakage current at a specified gate-source voltage and shorted drain-source connections.

3.5 Drain-Source ON Resistance $R_{DS(on)}$

The value of the resistance across the drain and source connections at specified values of the gate-source voltage and the drain current.

nung und des Drain-Stroms.

3.6 Übertragungssteilheit g_{fs}

Quotient aus der Änderung des Drain-Stroms und der Gate-Source-Spannung und spezifiziertem Drainstrom.

3.7 Eingangskapazität C_{iss}

Die Kapazität gemessen zwischen dem Gate- und Source-Anschluß bei für Wechselspannung kurzgeschlossenen Drain-Source-Anschlüssen. Die Werte der Gleichspannung zwischen den Gate-Source- und den Drain-Source-Anschlüssen sowie die Meßfrequenz sind spezifiziert.

3.8 Ausgangskapazität C_{oss}

Die Kapazität gemessen zwischen dem Drain- und Source-Anschluß bei für Wechselspannung kurzgeschlossenen Gate-Source-Anschlüssen. Die Werte der Gleichspannung zwischen den Gate-Source- und den Drain-Source-Anschlüssen sowie die Meßfrequenz sind spezifiziert.

3.9 Rückwirkkapazität C_{rss}

Die Kapazität gemessen zwischen dem Drain- und dem Gate-Anschluß bei Verbinden des Source-Anschlusses mit dem Schutzschirm der Meßbrücke (dreipolig). Die Werte der Gleichspannung zwischen den Gate-Source- und den Drain-Source-Anschlüssen sowie die Meßfrequenz sind spezifiziert.

3.6 Transconductance g_{fs}

Quotient from the variation in drain current and gate-source voltage and the specified drain current.

3.7 Input Capacitance C_{iss}

The capacitance measured across the gate and source connections with drain-source connections shorted for AC voltage. The values of the DC voltage across the gate-source and drain-source connections are specified together with the test frequency.

3.8 Output Capacitance C_{oss}

The capacitance measured across the drain and source connections with gate-source connections shorted for AC voltage. The values of the DC voltage across the gate-source and drain-source connections are specified together with the test frequency.

3.9 Reverse Transfer Capacitance C_{rss}

The capacitance measured across the drain and gate connections, the source connection being connected to the protective screen of the bridge (three-pole). The values of the DC voltage across the gate-source and drain-source connections are specified together with the test frequency.

3.10 Einschaltzeit $t_{\text{on}} = t_{\text{d(on)}} + t_{\text{r}}$

Summe aus Einschaltverzögerungszeit $t_{\text{d(on)}}$, gemessen zwischen dem 10-%-Wert der Gate-Source-Spannung und dem 90-%-Wert der Drain-Source-Spannung und der Anstiegszeit t_{r} , gemessen zwischen dem 90-%-Wert und dem 10-%-Wert der Drain-Source-Spannung. Schaltung und Parameter sind spezifiziert.

3.11 Ausschaltzeit $t_{\text{off}} = t_{\text{d(off)}} + t_{\text{f}}$

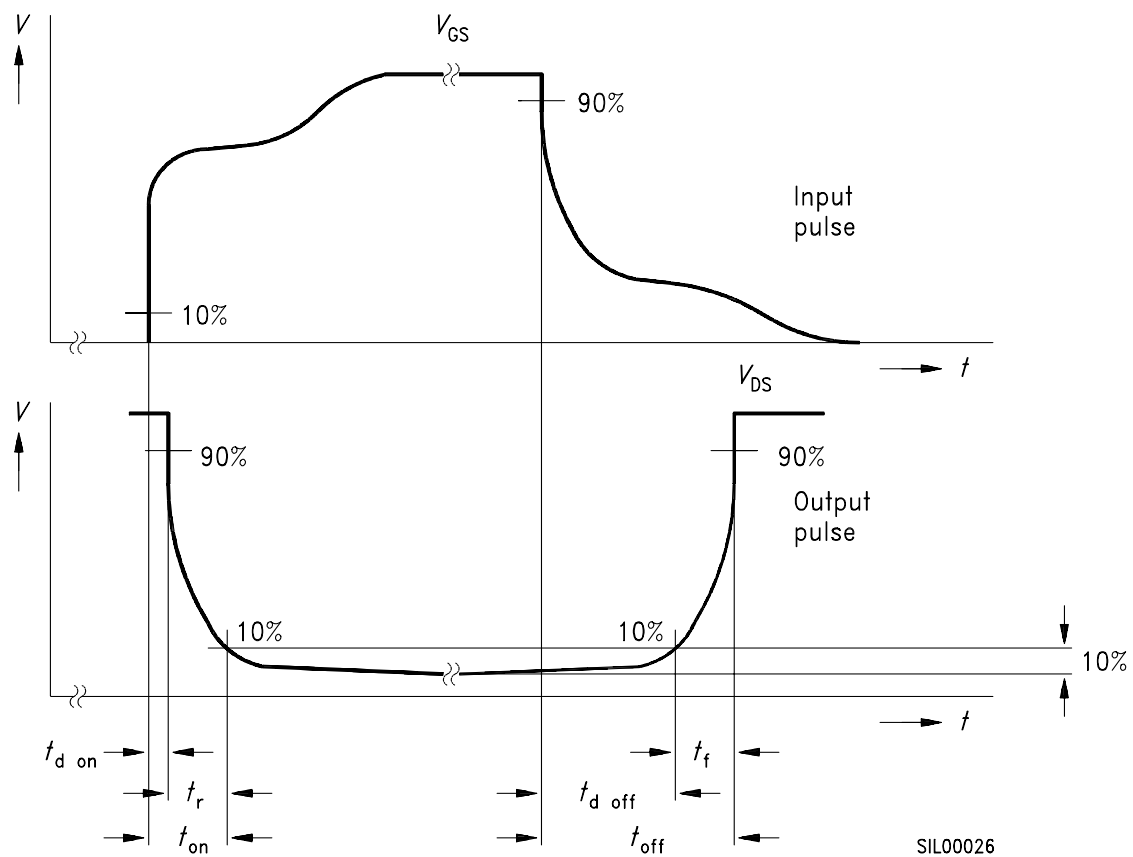
Summe aus Ausschaltverzögerungszeit $t_{\text{d(off)}}$, gemessen zwischen dem 90-%-Wert der Gate-Source-Spannung und dem 10-%-Wert der Drain-Source-Spannung und der Fallzeit t_{f} , gemessen zwischen dem 10-%-Wert und dem 90-%-Wert der Drain-Source-Spannung. Schaltung und Parameter sind spezifiziert.

3.10 Turn-On Time $t_{\text{on}} = t_{\text{d(on)}} + t_{\text{r}}$

Sum of the turn-on delay time $t_{\text{d(on)}}$ measured between the 10 % value of the gate-source voltage and the 90 % value of the drain-source voltage and the rise time t_{r} measured between the 90 % value and the 10 % value of the drain-source voltage. The circuit and parameters are specified.

3.11 Turn-Off Time $t_{\text{off}} = t_{\text{d(off)}} + t_{\text{f}}$

Sum of the turn-off delay time $t_{\text{d(off)}}$ measured between the 90 % value of the gate-source voltage and the 10 % value of the drain-source voltage and the fall time t_{f} measured between the 10 % value and the 90 % value of the drain-source voltage. The circuit and parameters are specified.



t Times axis
 $t_{d(off)}$ Turn-off delay time
 $t_{d(on)}$ Turn-on delay time
 t_f Fall time
 t_{on} Turn-on time
 t_{off} Turn-off time
 t_r Rise time
 V Voltage axis
 V_{DS} Drain-source voltage
 V_{GS} Gate-source voltage

Bild 1
Definition der Schaltzeit

Figure 1
Definition of switching time

3.12 Inversdioden Gleichstrom I_s

Maximal zulässiger Durchlaßgleichstrom der Inversdioden bei spezifizierter Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A .

3.13 Inversdioden Gleichstrom, gepulst I_{SM}

Maximal zulässiger Scheitelwert des Stroms der Inversdiode bei Pulsbetrieb. Die Gehäusetemperatur bzw. die Umgebungstemperatur ist angegeben. Das Puls-Pausen-Verhältnis entspricht dem des Transistorpulsstroms.

3.14 Durchlaßspannung V_{SD}

Typischer Wert und obere Streugrenze der im Durchlaßzustand zwischen Source und Drain liegenden Spannung. Der Durchlaßstrom I_F , die Spannung V_{GS} und die Chiptemperatur T_j sind spezifiziert.

3.15 Sperrverzögerungszeit t_{rr} und Sperrverzögerungsladung Q_{rr}

Angegeben ist jeweils ein typischer Wert für die im Datenblatt spezifizierten Meß- und Nebenbedingungen (siehe **Bild 2** nach DIN IEC 747 T2). Für FRED sind Maximalwerte angegeben.

3.16 Rückstromspitze I_{RRM}

Bei FRED wird ein typischer Wert der Rückstromspitze angegeben.

3.12 Inverse Diode Continuous Forward Current I_s

The maximum permissible forward current of the inverse diode at the specified case temperature T_C or ambient temperature T_A .

3.13 Inverse Diode Direct Current, Pulsed I_{SM}

The maximum permissible crest value of the inverse diode current in pulsed operation. The case temperature or the ambient temperature is presented. The pulse spacing is that of the transistor pulse current.

3.14 Forward Voltage V_{SD}

A typical value and upper limit of scattering of the voltage at ON state across the source and the drain. The forward current I_F , the voltage V_{GS} and the chip temperature T_j are specified.

3.15 Reverse Recovery Time t_{rr} and Recovered Charge Q_{rr}

A typical value is presented in each case for the test and secondary conditions specified on the data sheet (refer to **Figure 2** conforming with DIN-IEC 747 T2). Maximum values are presented for FREDs.

3.16 Peak reverse Current I_{RRM}

A typical value of the peak return current is presented for FREDs.

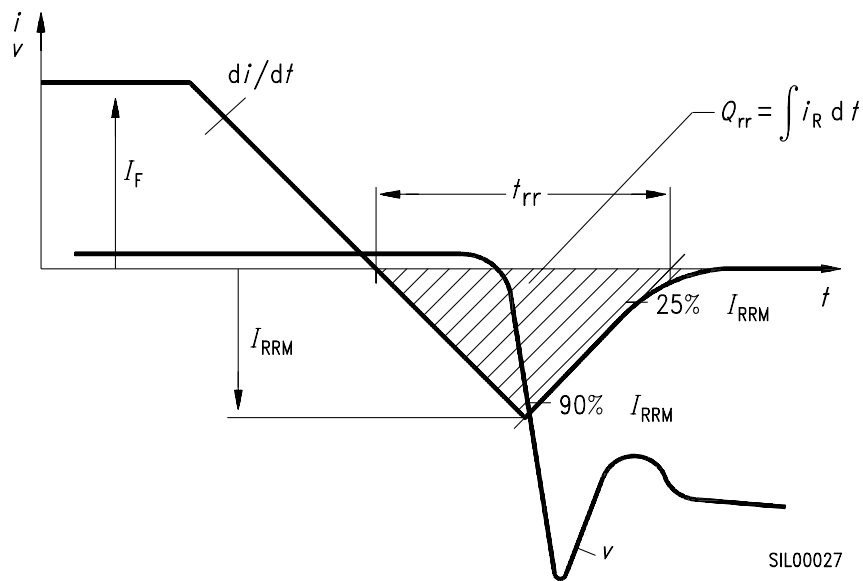


Bild 2
Sperrverzögerungszeit t_{rr} , Sperrverzögerungsladung Q_{rr} und Rückstromspitze I_{RRM}

Figure 2
Reverse recovery time t_{rr} , recovered charge Q_{rr} and peak return current I_{RRM}

4 Diagramme

4.1 Verlustleistung $P_{\text{tot}} = f(T)$

Angegeben ist die maximal zulässige Verlustleistung, abhängig von der Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A .

4.2 Typische Ausgangscharakteristik $I_D = f(V_{DS})$

Aufgetragen ist die typische Abhängigkeit des Drain-Stroms I_D von der Drain-Source-Spannung V_{DS} bei vorgegebener Gate-Source-Spannung V_{GS} . Chiptemperatur T_j und Pulsbreite sind spezifiziert.

4.3 Zulässiger Betriebsbereich $I_D = f(V_{DS})$, (SOA-Diagramm)

Dargestellt ist der maximal zulässige Drain-Strom I_D abhängig von der Drain-Source-Spannung V_{DS} für Belastung mit Dauerstrom und mit Impulsen unterschiedlicher Breite bei spezifiziertem Puls-Pausen-Verhältnis. Die maximal zulässige Gehäusetemperatur ist spezifiziert. Innerhalb dieses Bereiches sind alle Werte von I_D und V_{DS} erlaubt, wenn der Transistor dabei thermisch nicht überlastet wird. Die $R_{DS(on)}$ -Grenzlinie ist nur mit Gate-Spannungen ≥ 10 V erreichbar.

4.4 Typische Übertragungscharakteristik $I_D = f(V_{GS})$

Das Diagramm zeigt die typische Abhängigkeit des Drainstromes I_D von der Gate-Source-Spannung V_{GS} , wobei die Chiptemperatur T_j , die Pulsbreite und die Drain-Source-Spannung V_{DS} spezifiziert sind.

4 Diagrams

4.1 Power Dissipation $P_{\text{tot}} = f(T)$

The maximum permissible power dissipation is presented as a function of case temperature T_C or ambient temperature T_A .

4.2 Typical Output Characteristic $I_D = f(V_{DS})$

A plot is made of the typical dependence of the drain current I_D on the drain-source voltage V_{DS} at a given gate-source voltage V_{GS} . The chip temperature T_j and pulse width are specified.

4.3 Safe Operating Area $I_D = f(V_{DS})$, (SOA Diagram)

The maximum permissible drain current I_D is shown as a function of the drain-source voltage V_{DS} for loading with continuous direct current and with pulses of varying width at the specified pulse duty factor. The maximum permissible case temperature is specified. All values of I_D and V_{DS} are allowed within this operating area if the transistor is not thermally overloaded as a result. The $R_{DS(on)}$ boundary line can only be reached at gate voltages ≥ 10 V.

4.4 Typical Transfer Characteristic $I_D = f(V_{GS})$

The diagram shows the typical dependence of the drain current I_D on the gate-source voltage V_{GS} ; the chip temperature T_j , the pulse width and the drain-source voltage V_{DS} are specified.

4.5 Typischer Einschaltwiderstand

$$R_{DS(on)} = f(I_D)$$

Aufgetragen ist der typische Einschaltwiderstand $R_{DS(on)}$ in Abhängigkeit vom Drainstrom I_D bei $T_j = 25^\circ\text{C}$ und unterschiedlichen Gate-Source-Spannungen.

4.6 Einschaltwiderstand $R_{DS(on)} = f(T_j)$

Dargestellt ist der Einschaltwiderstand in Abhängigkeit von der Chiptemperatur über den zulässigen Betriebsbereich, bei spezifiziertem Drainstrom I_D und Gate-Spannung V_{GS} . Die 98 %- und 2 %-Kurven stellen *keine* garantierten Grenzen dar, sondern nur Erfahrungswerte.

Die Temperaturabhängigkeit des Einschaltwiderstandes ist hauptsächlich abhängig von der Nennsperrspannung des Transistors, sie ist bei 50-V-Typen flacher als bei 1000-V-Typen und erklärbar durch die unterschiedliche Dotierung des Silizium-Grundmaterials.

Der Einschaltwiderstand bei Erwärmung kann nach folgender Formel berechnet werden:

4.5 Typical Turn-On Resistance

$$R_{DS(on)} = f(I_D)$$

A plot is made of the typical turn-on resistance $R_{DS(on)}$ as a function of the drain current I_D at $T_j = 25^\circ\text{C}$ and different gate-source voltages.

4.6 Turn-On Resistance $R_{DS(on)} = f(T_j)$

Turn-on resistance is shown as a function of chip temperature over the safe operating area at a specified drain current I_D and gate voltage V_{GS} . The 98 % and 2 % curves *do not* represent guaranteed limits but are merely empirical values.

The temperature dependence of the turn-on resistance depends primarily on the rated reverse voltage of the transistor; its slope is flatter for 50 V types than for 1000 V types and can be explained by the different doping of the silicon basic material.

Turn-on resistance during heating may be calculated from the following formula:

$$R_{DS(on)T2} = R_{DS(on)T1} \times \left(1 + \frac{\text{Alpha}}{100} \right)^{(T2 - T1)}$$

Tabelle für den Temperaturfaktor Alpha siehe unten.

Table for the temperature factor Alpha see below.

V_{DS}	Alpha
50 V	0.43
60 V	0.45
100 V	0.53
200 V	0.62
400 V	0.69
500 V	0.70
600 V	0.72
800 V	0.75

Tabelle für den Temperaturfaktor Alpha

V_{DS}	Alpha
50 V	0.43
60 V	0.45
100 V	0.53
200 V	0.62
400 V	0.69
500 V	0.70
600 V	0.72
800 V	0.75

Table for the Temperature factor Alpha

4.7 Drain-Source-Durchbruchspannung $V_{(BR)DSS}$ (Bild 3)

Angegeben ist eine Konstante "b" in Abhängigkeit von der Chiptemperatur über den zulässigen Betriebstemperaturbereich, wobei folgender mathematischer Zusammenhang gilt:

4.7 Drain-Source Breakdown Voltage $V_{(BR)DSS}$ (Figure 3)

A constant, b, is shown as a function of chip temperature over the permissible operating temperature range; the following mathematical relationship applies:

$$V_{(BR)DSS(T_j)} = b \times V_{(BR)DSS(25^\circ C)}$$

Die Spannung $V_{(BR)DSS(25^\circ C)}$ ist der angegebene Datenblattwert.

The voltage $V_{(BR)DSS(25^\circ C)}$ is the value presented on the data sheet .

4.8 Typische Übertragungssteilheit $g_{fs} = f(I_D)$

Angegeben ist der typische Verlauf der Übertragungssteilheit abhängig vom Drain-Strom. Die Pulszeit, die Drain-Source-Spannung V_{DS} und die Chiptemperatur T_j sind spezifiziert.

4.8 Typical Transconductance $g_{fs} = f(I_D)$

The typical variation of conductance is presented as a function of drain current. The pulse time, the drain-source voltage V_{DS} and the chip temperature T_j are specified.

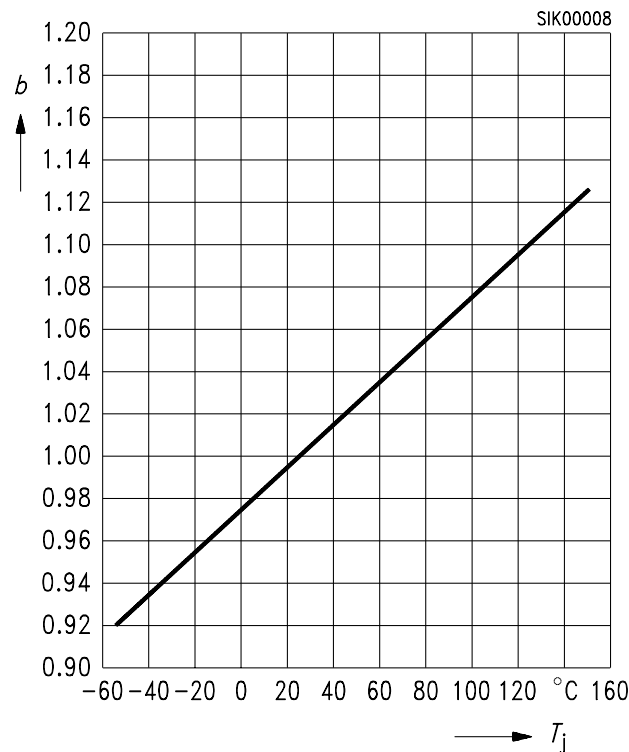


Bild 3
Drain-Source-Durchbruchspannung

Figure 3
Drain-source breakdown voltage

4.9 Gate-Schwellenspannung $V_{GS(th)} = f(T_j)$

Das Diagramm zeigt die Abhängigkeit des Streubereiches der Gate-Schwellenspannung $V_{GS(th)}$ von der Chiptemperatur T_j bei folgenden Parametern: $V_{DS} = V_{GS}$ und I_D .

4.9 Gate Threshold Voltage $V_{GS(th)} = f(T_j)$

The diagram shows the dependence of the variation range of the gate threshold voltage $V_{GS(th)}$ on the chip temperature T_j for the following parameters: $V_{DS} = V_{GS}$ and I_D .

4.10 Typische Kapazitäten $C = f(V_{DS})$

Dargestellt sind die typischen Kennlinien der Eingangskapazität C_{ISS} , Ausgangskapazität C_{OSS} und Rückwirkungskapazität C_{rss} in Abhängigkeit von der Drain-Source-Spannung V_{DS} bei einer Frequenz $f = 1$ MHz und einer Gate-Source-Spannung $V_{GS} = 0$ V.

4.10 Typical Capacitances $C = f(V_{DS})$

The typical characteristics of the input capacitance C_{ISS} , the output capacitance C_{OSS} and the reverse transfer capacitance C_{rss} are shown as a function of the drain-source voltage V_{DS} at a frequency $f = 1$ MHz and a gate-source voltage $V_{GS} = 0$ V.

4.11 Typische und maximale Durchlaßkennlinie „Inversdiode“ $I_{SM} = f(V_{SD})$

Dargestellt ist die Abhängigkeit des gepulsten Inversdioden-Gleichstroms I_{SM} von der Inversdioden-Durchlaßspannung V_{SD} . Die Pulsbreite t_p und die Chiptemperatur T_j sind spezifiziert.

4.12 Drainstrom $I_D = f(T)$

Gezeigt wird der maximal zulässige Draingleichstrom in Abhängigkeit von der Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A bei durchgeschaltetem Transistor, d.h. bei $V_{GS} \geq 10 \text{ V}$.

4.13 Avalanche Energie $E_{AS} = f(T_j)$

Das Diagramm zeigt den Verlauf der maximalen Einzelpuls-Avalanche-Energie E_{AS} in Abhängigkeit der Chiptemperatur bei Nennstrom und spezifizierter Versorgungsspannung V_{DD} , Gate-Source-Widerstand R_{GS} sowie der Induktivität L .

4.14 Transienter Wärmewiderstand $Z_{thJC} = f(t_p)$

Das Diagramm zeigt den Verlauf des transienten Wärmewiderstandes Z_{thJC} bei spezifiziertem Tastverhältnis $D = t_p / T$ in Abhängigkeit von der Belastungszeit t_p (Pulsbreite).

4.11 Typical and Maximum "Inverse Diode" Forward Characteristic $I_{SM} = f(V_{SD})$

The dependence is shown of the pulsed inverse diode direct current I_{SM} on the inverse diode forward voltage V_{SD} . The pulse width t_p and the chip temperature T_j are specified.

4.12 Drain Current $I_D = f(T)$

The maximum permissible DC drain current is shown as a function of the case temperature T_C or ambient temperature T_A for a through-connected transistor, i.e. at $V_{GS} \geq 10 \text{ V}$.

4.13 Avalanche Energy $E_{AS} = f(T_j)$

The diagram shows the variation of the maximum single-pulse avalanche energy E_{AS} as a function of chip temperature at rated current and the specified supply voltage V_{DD} , the gate-source resistance R_{GS} , as well as the inductance L .

4.14 Transient Thermal Resistance $Z_{thJC} = f(t_p)$

The diagram shows the variation of the transient thermal resistance Z_{thJC} for the specified pulse duty factor $D = t_p / T$ as a function of the loading time t_p (pulse width).

5 Meßschaltungen (entsprechend DIN IEC 747 T8)

Die in den Datenblättern für die spezifizierten Parameter angegebenen Temperaturwerte sind bei den jeweiligen Messungen einzuhalten.

5 Test Circuits (Conforming with DIN IEC 747 T8)

The temperature values presented in the data sheets for the specified parameters must be observed in the measurements concerned.

5.1 Drain Strom I_D , I_{DSS}

5.1 Drain Current I_D , I_{DSS}

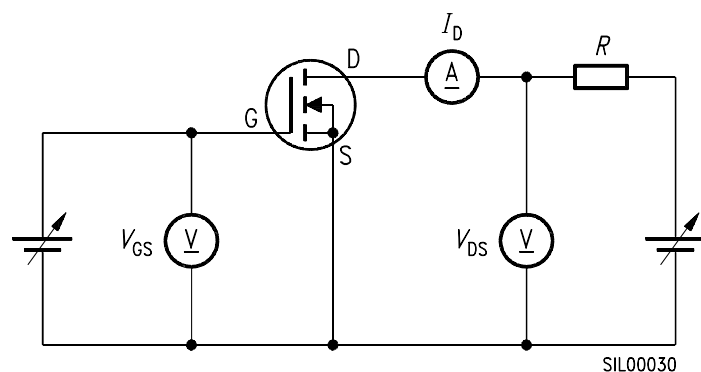


Bild 4
Prinzipschaltbild zum Messen des
Drainstromes I_D und des
Drain-Reststromes I_{DSS}

Der Widerstand R dient als Schutz. Die spezifizierte Gate-Source-Spannung V_{GS} wird eingestellt. Ist $V_{GS} = 0$ V spezifiziert, so muß die Gate-Source-Strecke kurzgeschlossen werden.

Figure 4
Basic circuit diagram for measuring
the drain current I_D and the drain
cutoff current I_{DSS}

The resistor R is used for protection. The specified gate-source voltage V_{GS} is set. If $V_{GS} = 0$ V is specified, the gate-source junction must be shorted.

5.2 Drain-Source-Einschaltwiderstand $R_{DS(on)}$

5.2 Drain-source ON Resistance $R_{DS(on)}$

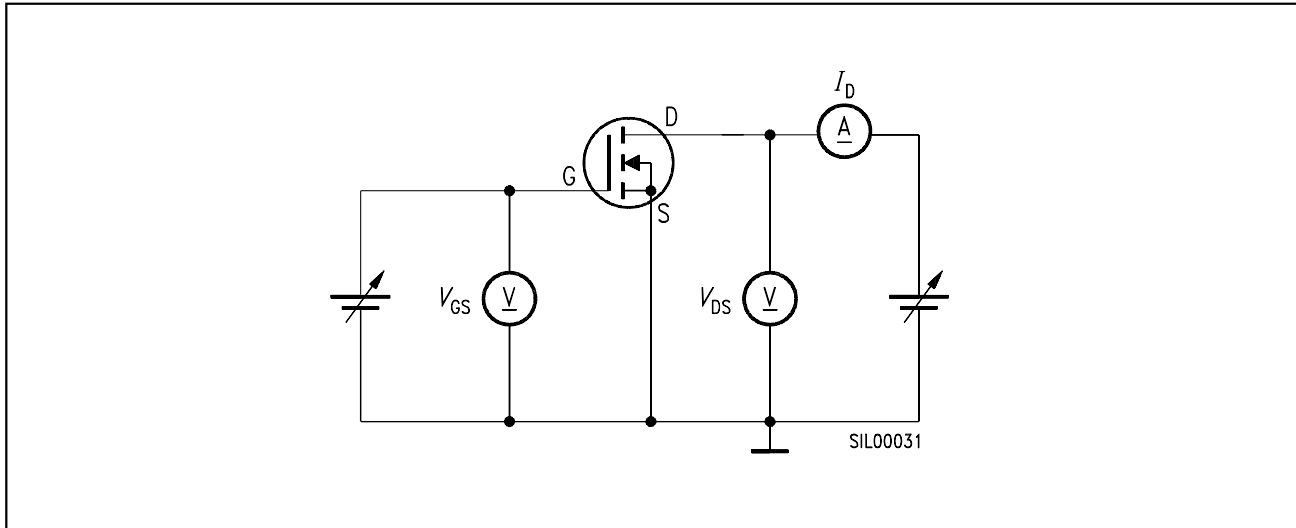


Bild 5
Prinzipschaltbild zum Messen des Einschaltwiderstandes $R_{DS(on)}$

Allgemein wird der Einschaltwiderstand $R_{DS(on)}$ im Bereich der Sättigung gemessen. Der Innenwiderstand des Voltmeters V_{DS} muß wesentlich größer sein als der zu messende Einschaltwiderstand $R_{DS(on)}$.

Figure 5
Basic circuit diagram for measuring the ON resistance $R_{DS(on)}$

The ON resistance, $R_{DS(on)}$, is generally measured within the saturation range. The internal resistance of the voltmeter V_{DS} must be considerably higher than the ON resistance to be measured, $R_{DS(on)}$.

5.3 Gate-Schwellenspannung $V_{GS(th)}$

(Siehe **Prinzipschaltbild 4** zum Messen des Drainstromes I_D). Die Gate-Source-Spannung, betragsgleich Drain-Source-Spannung V_{DS} , wird vom Wert Null ausgehend langsam erhöht, bis der spezifizierte Drain-Strom I_D erreicht ist.

5.3 Gate-Source Threshold Voltage $V_{GS(th)}$

(Refer to the basic **circuit diagram 4** for measuring the drain current I_D). The gate-source voltage, equal in magnitude to the drain-source voltage V_{DS} , is increased slowly, starting from zero, until the specified drain current I_D is reached.

5.4 Gate-Source-Leckstrom I_{GSS}

5.4 Gate-Source Leakage Current I_{GSS}

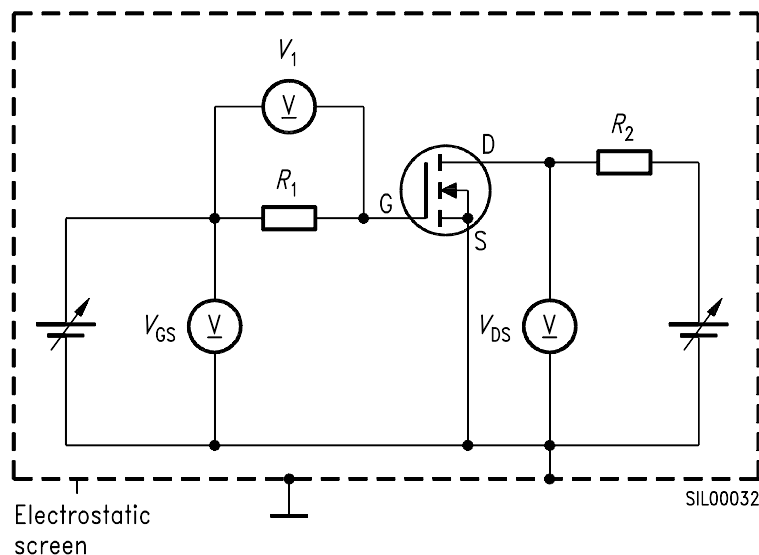


Bild 6
Prinzipschaltbild zum Messen des
Gate-Source-Leckstromes I_{GSS}

R_1 und R_2 als Schutzwiderstände. R_1 soll kleiner sein als $V_{GS}/100 \times I_{GSS}$. V_1 ist ein sehr empfindliches Voltmeter mit einem Innenwiderstand von mindestens $100 \times R_1$. Der Leckstrom ist gegeben durch $I_{GSS} = V_1/R_1$. Die Schaltung muß elektrostatisch abgeschirmt werden. Außerdem ist darauf zu achten, daß die Messung nicht durch Leckströme verfälscht wird, die eventuell durch die Schaltungsanordnung entstehen.

Figure 6
Basic circuit diagram for measuring
the gate-source leakage current I_{GSS}

R_1 and R_2 are used as protective resistors. R_1 should be lower than $V_{GS}/100 \times I_{GSS}$. V_1 is a very sensitive voltmeter having an intrinsic resistance of at least $100 \times R_1$. The leakage current is given by $I_{GSS} = V_1/R_1$. The circuit must be electrostatically screened. In addition, care must be taken to ensure that the measurement is not falsified by leakage currents which might possibly occur on account of the circuit arrangement.

5.5 Transistor Schaltzeit

5.5 Transistor Switching Time

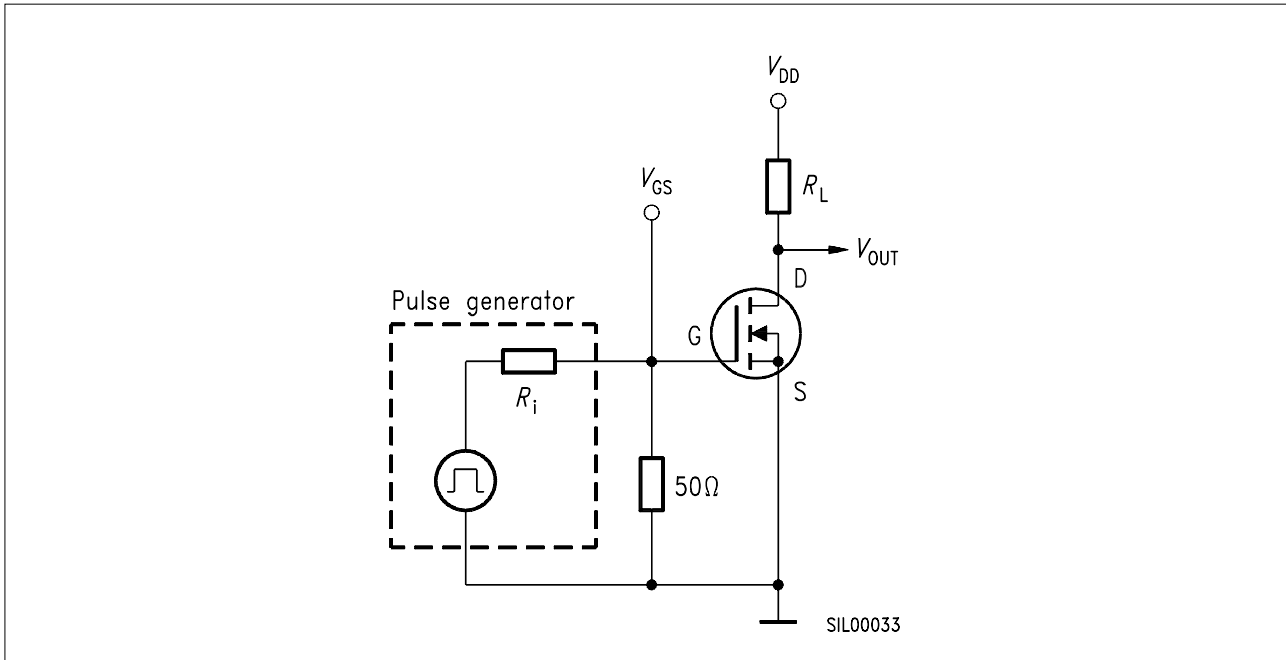


Bild 7
Prinzipschaltbild für die Messung der
Transistor-Ein- und Ausschaltzeit,
Definition der Schaltzeit nach Bild 1

Die Schaltzeiten sind vor allem vom Gatewiderstand R_{GS} , Innenwiderstand der Ansteuerung R_i (Pulsgenerator), Versorgungsspannung V_{DD} , Lastwiderstand R_L sowie der Steuerspannung V_{GS} abhängig. Wegen meßtechnischen und Vergleichsgründen wurde die oben skizzierte Einheitsschaltung verwendet.

Figure 7
Basic circuit diagram for measuring
transistor turn-on and turn-off times,
definition of switching time, as Figure 1

The switching times depend primarily on the gate resistance R_{GS} , the intrinsic resistance of the drive R_i (pulse generator), the supply voltage V_{DD} , the load resistance R_L and the control voltage V_{GS} . The standard circuit shown above was used for testing and for comparative reasons.

5.6 Eingangskapazität C_{ISS}

5.6 Input Capacitance C_{ISS}

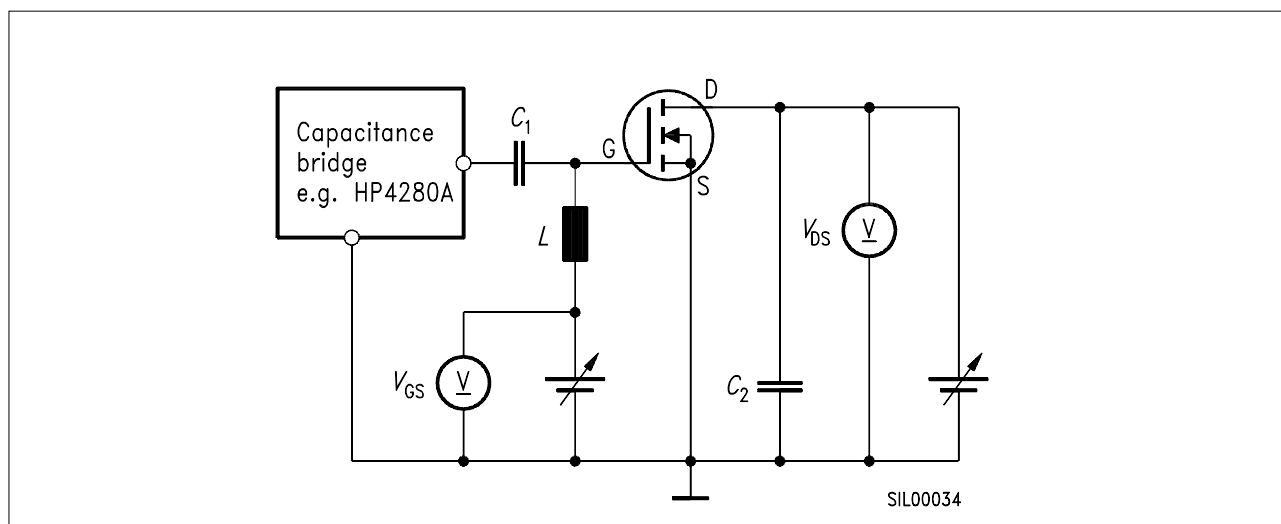


Bild 8
Prinzipschaltbild zum Messen der Eingangskapazität C_{ISS} beim Verwenden einer Meßbrücke ohne Gleichstromdurchgang

Die Kapazitäten C_1 und C_2 müssen für die Meßfrequenz einen ausreichenden Kurzschluß darstellen. Die Induktivität L soll die Gleichstromversorgung entkoppeln.

Figure 8
Basic circuit diagram for measuring input capacitance C_{ISS} when using a bridge without the passage of direct current

Capacitors C_1 and C_2 must form an adequate short-circuit for the test frequency. Inductor L decouples the D_C supply.

5.7 Ausgangskapazität C_{oss}

5.7 Output Capacitance C_{oss}

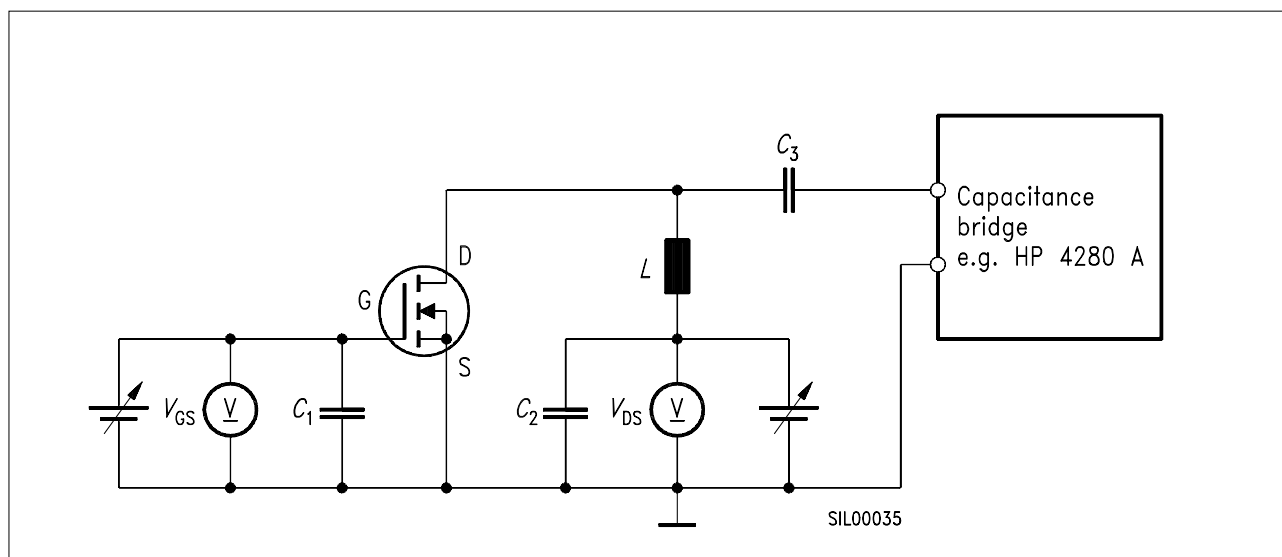


Bild 9
Prinzipschaltbild zum Messen der Aus-
gangskapazität C_{oss} beim Verwenden
einer Meßbrücke ohne Gleichstrom-
durchgang

Die Kapazitäten C_1 , C_2 und C_3 müssen für die Meßfrequenz einen ausreichenden Kurzschluß darstellen. Die Induktivität L entkoppelt die Gleichstromversorgung.

Figure 9
Basic circuit diagram for measuring
output capacitance C_{OSS} when using a
bridge without the passage of direct
current

Capacitors C_1 , C_2 and C_3 must form an adequate short-circuit for the test frequency. Inductor L decouples the D_C supply.

5.8 Rückwirkungskapazität

 C_{rss}

5.8 Reverse Transfer Capacitance

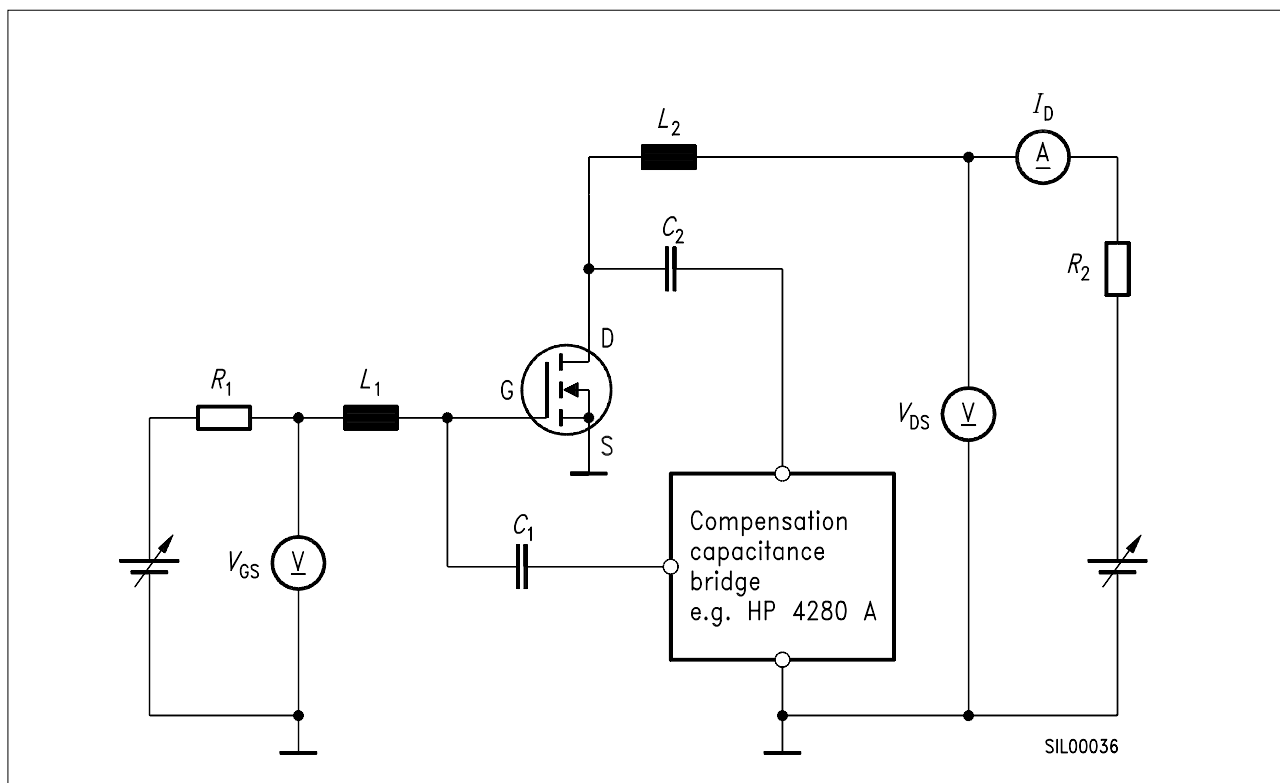
 C_{rss} 

Bild 10
Prinzipschaltbild zum Messen der
Rückwirkungskapazität C_{rss} beim Ver-
wenden einer Meßbrücke ohne Gleich-
stromdurchgang

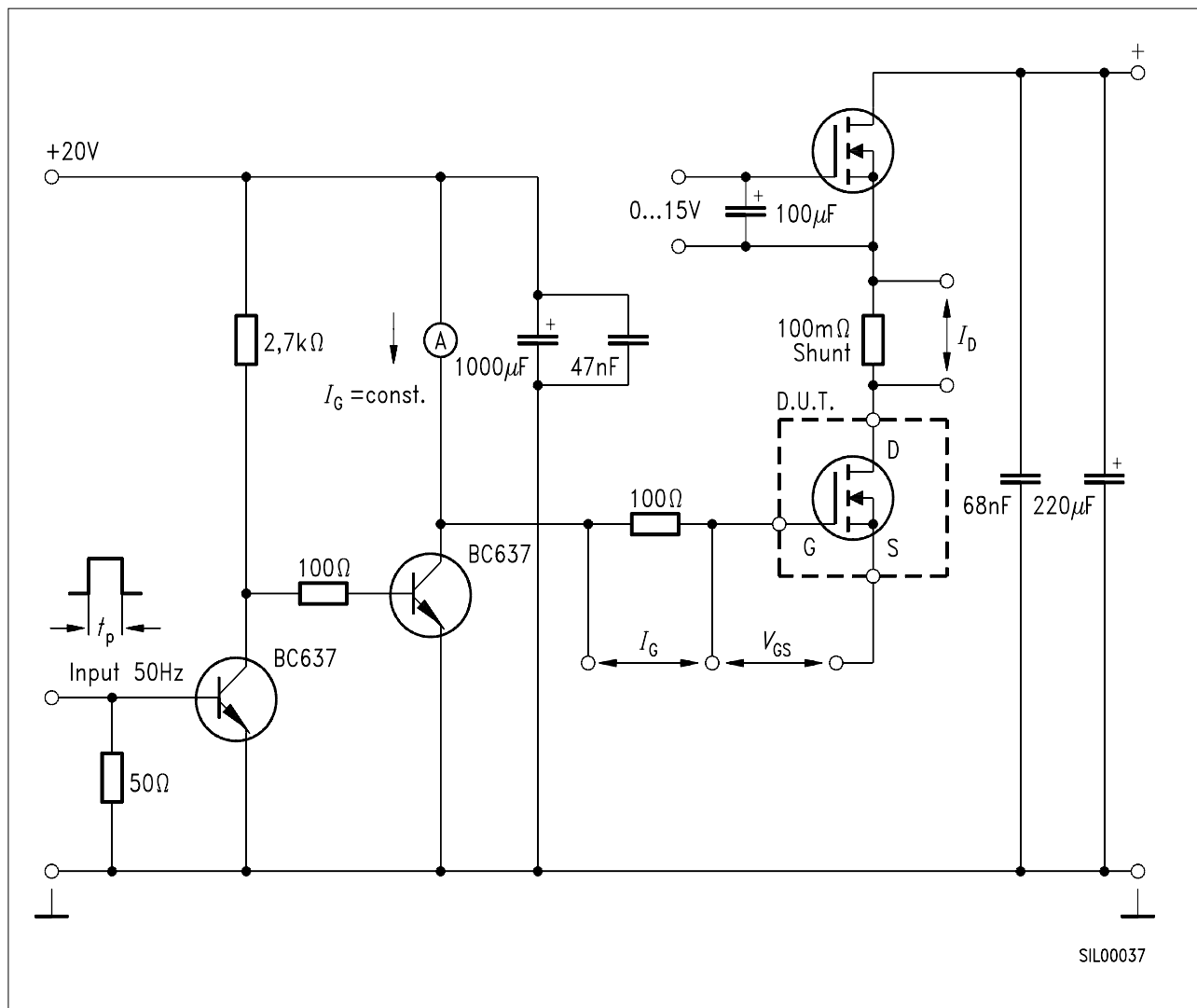
Die Kapazitäten C_1 und C_2 müssen für die Meßfrequenz einen ausreichenden Kurzschluß bilden. Die Induktivitäten L_1 und L_2 sollen die Gleichstromversorgung entkoppeln.

Figure 10
Basic circuit diagram for measuring
reverse transfer capacitance C_{rss} when
using a bridge without the passage of
 D_C current

Capacitors C_1 and C_2 must form an adequate short-circuit for the test frequency. Inductors L_1 and L_2 decouple the D_C supply.

5.9 Gate-Ladung Q_{Gate}

5.9 Gate Charge Q_{Gate}



SIL00037

Bild 11
Prinzipschaltbild zum Messen der
Gate-Ladung Q_{Gate}

Figure 11
Basic circuit diagram for measuring the
gate charge Q_{Gate}