

### SIPMOS® Kleinsignal-Bauelemente

MOS-Transistoren im Bereich  
50 V ... 800 V und 40 mA ... 3800 mA.  
IGBT: 1200 V; 2500 mA

#### 1 Allgemeines

SIPMOS-Transistoren sind selbstsperrende Feldeffekttransistoren mit den Anschlüssen: G  $\triangleq$  Gate, S  $\triangleq$  Source und D  $\triangleq$  Drain. Durch Anlegen einer Spannung zwischen G und S wird der Kanalwiderstand zwischen D und S gesteuert. Wie bei bipolaren Transistoren unterscheidet man N- und P-Kanal-Transistoren. N-Kanal-Typen werden mit einer positiven Gate-Source-Spannung gesteuert und sperren positive Drain-Source-Spannungen. Bei P-Kanal-Typen sind die Spannungspolaritäten umgekehrt. SIPMOS-Transistoren besitzen ein unsymmetrisches Sperrverhalten, d.h. sie sind nur in der Drain-Source-Richtung sperrfähig. In der Gegenrichtung ist die Inversdiode leitend.

Das Typenspektrum bei N-Kanal ist gegenüber den P-Kanal-Transistoren umfangreicher. Die Ursache liegt in der physikalisch bedingten besseren Leitfähigkeit des N-Kanals. Bei MOS-Transistoren gleicher Sperrspannung und Chipfläche ist der Drain-Source-On-Widerstand  $R_{DS(on)}$  eines P-Kanal-Transistors mehr als doppelt so hoch wie der eines N-Kanals.

#### Merkmale

- Spannungsgesteuert
- Hohe Schaltleistung
- Einfaches Parallelschalten
- Kurze Schaltzeiten
- Keine Speicherzeit
- Hohe Grenzfrequenz
- Hohe Strom- und Spannungsfestigkeit

### SIPMOS® Small-Signal Components

MOS transistors in the range of  
50 V ... 800 V and 40 mA ... 3800 mA.  
IGBT: 1200 V; 2500 mA

#### 1 General

SIPMOS transistors are self-blocking field-effect transistors with G  $\triangleq$  GATE, S  $\triangleq$  SOURCE and D  $\triangleq$  DRAIN connections. The channel resistance between D and S is controlled by applying a voltage across the G and S. As with bipolar transistors, a distinction is made between N- and P-channel transistors. N-channel types are controlled with a positive gate-source voltage and block positive drain-source voltages. In the case of P-channel types the voltage polarities are the reverse. SIPMOS transistors have an asymmetrical reverse behaviour, i.e. they can be rendered reverse-biased only in the drain-source direction. The inverse diode is forward-biased in the opposite direction.

The range of N-channel types is more extensive than that of P-channel transistors. This is due to the better conductivity of the N-channel for physical reasons. In the case of MOS transistors having the same reverse voltage and chip area the drain-source ON resistance  $R_{DS(on)}$  of a P-channel resistor is more than twice as high as that of an N-channel.

#### Features

- Voltage-controlled
- High making and breaking capacity
- Simple parallel connection
- Short switching times
- No carrier storage time
- High cutoff frequency
- High current-carrying capacity and dielectric strength

### Merkmale (Forts.)

- Überlastsicherheit  
(kein "Second Breakdown")
- Linearer Kennlinienverlauf

### Produktpalette

- n- und p-Kanal-Transistoren
- Anreicherungstransistoren
- Verarmungstransistoren
- Logikpegel-Transistoren
- Hochspannungs-Transistoren
- Versionen mit Anschlüssen und für Oberflächenmontage

### Anwendungen (Auswahl)

SIPMOS-Kleinsignal-Bauelemente werden in zahlreichen Anwendungen eingesetzt. Hier einige Beispiele:

- Telekommunikation
- Meß-, Steuer- und Regeltechnik
- Anwendungen in der KFZ-Technik
- Konstantstromquellen
- Strombegrenzer
- Hilfsstromversorgungen
- Konstantspannungsquellen

### Features (cont'd)

- Overload protection  
(no second breakdown)
- Linear characteristic

### Product Range

- N and P channel transistors
- Enhancement transistors
- Depletion transistors
- Logic Level transistors
- High-voltage transistors
- Lead and SMD versions

### Applications (Selection)

SIPMOS small-signal components have been used in a great number of applications. Here just a few examples:

- Telecommunication
- Measuring and control engineering
- Automotive applications
- Constant current sources
- Current limiters
- Auxiliary current supplies
- Constant voltage sources

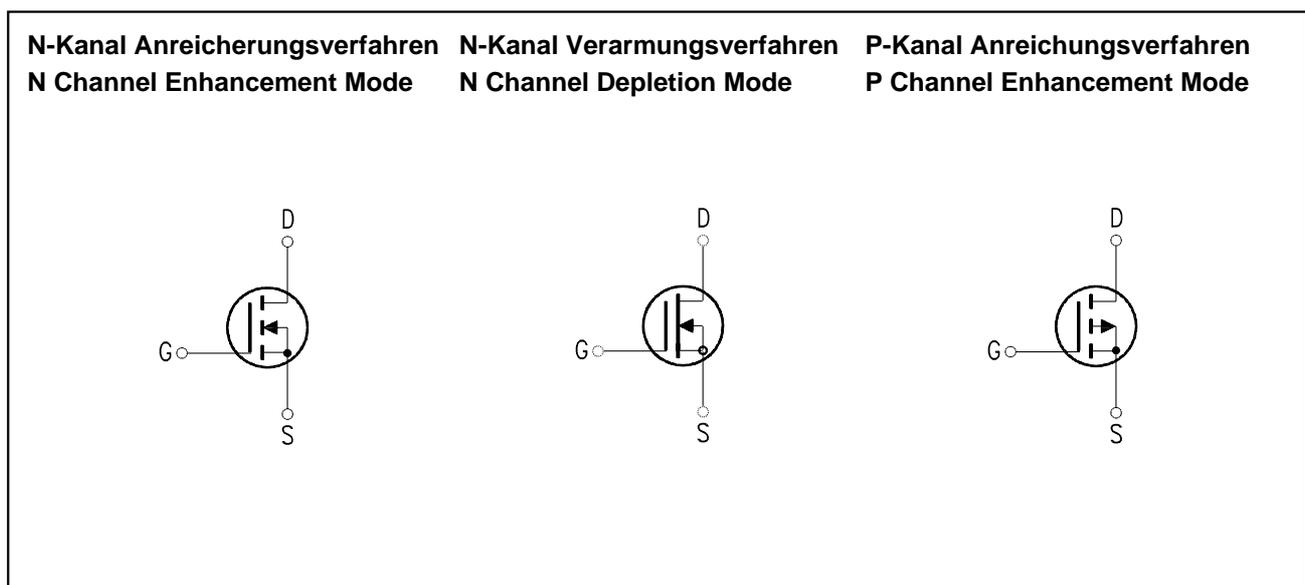


Bild 1

Figure 1

## **2 N-Kanal-Transistoren (Anreicherungstransistoren)**

Die ersten Transistoren, die in SIPMOS-Technologie vorgestellt wurden, waren N-Kanal-Typen. Dieses Angebotsspektrum ist hier sowohl im Bereich der Leistungstransistoren als auch bei den Kleinsignaltransistoren sehr vielfältig.

### **Aufbau und Ersatzschaltbild**

SIPMOS-Leistungstransistoren sind vertikal aufgebaut und haben eine doppelt implantierte Kanalstruktur, man spricht daher auch von einem DIMOS-Prozeß (vgl. **Bild 2**).

Bei einem N-Kanal-Transistor dient das  $n^+$ -Substrat als Träger mit der darunterliegenden Drainmetallisierung. Über dem  $n^+$ -Substrat schließt sich eine  $n^-$ -Epitaxialschicht an, die je nach Sperrspannung verschieden dick und entsprechend dotiert ist. Das darüberliegende Gate aus  $n^+$ -Polysilizium ist in isolierendes Siliziumdioxid eingebettet und dient als Implantationsmaske für die p-Wanne (Barrierregion) und für die  $n^+$ -Sourcezone. Die Sourcemetallisierung überdeckt die gesamte Struktur und schaltet die einzelnen Transistorzellen des Chips parallel.

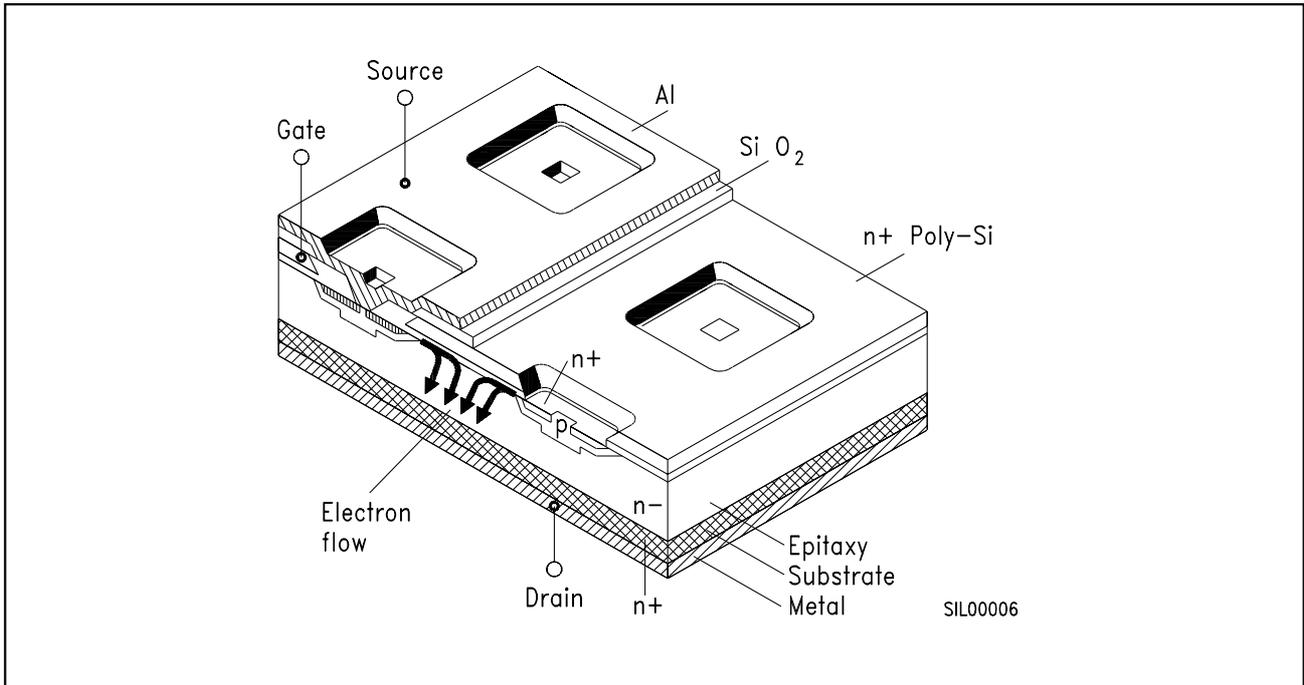
## **2 N Channel Transistors (Enhancement Transistors)**

The first transistors produced in SIPMOS technology were N channel types. This selection is now very diverse, both in power transistors and in small-signal transistors.

### **Structure and Equivalent Circuit Diagram**

SIPMOS power transistors are vertically structured and have a double-implanted channel structure. We thus also speak of a DIMOS process (cf. **Figure 2**).

In the case of an N-channel transistor the  $n^+$  substrate serves as the carrier with the drain plating below it. A  $n^-$  epitaxial layer, of varying thickness and suitably doped depending on the reverse voltage, follows over the  $n^+$  substrate. The gate of  $n^+$  polysilicon above it is embedded in insulating silicon dioxide and acts as an implantation mask for the p-tub (barrier region) and for the  $n^+$  source region. The source plating covers the entire structure and connects individual transistor cells of the chip in parallel.

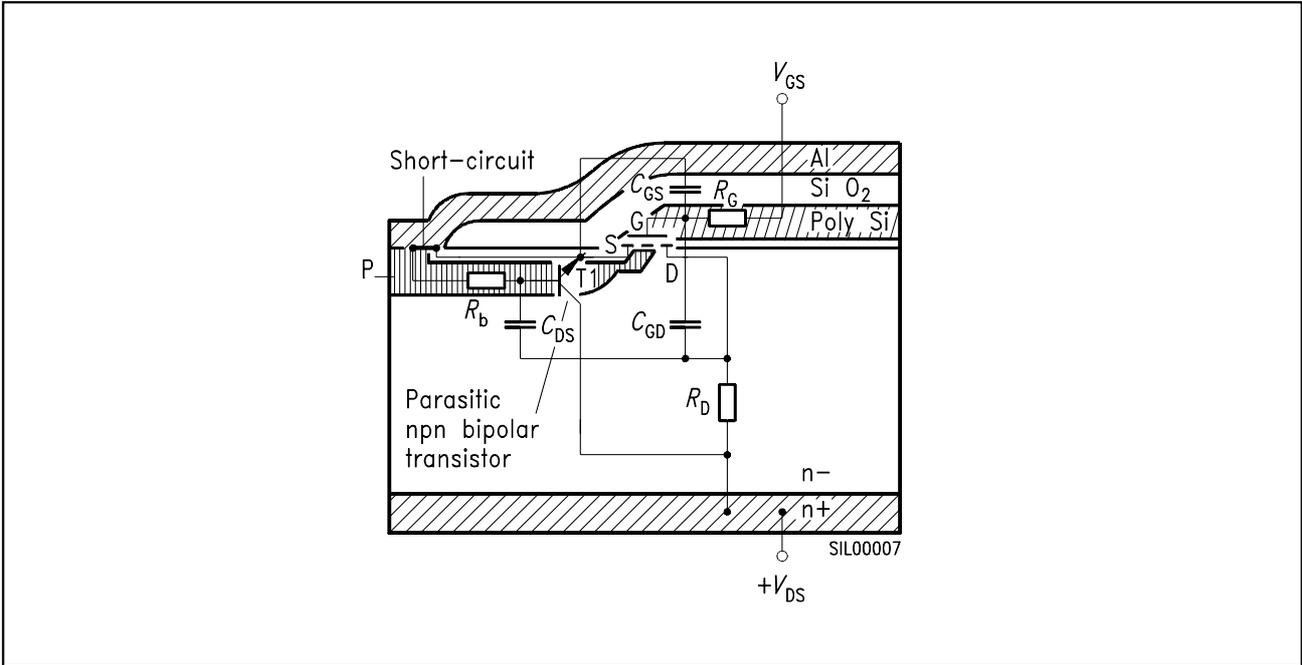


**Bild 2**  
**Aufbau eines N-Kanal-SIPMOS-Transistors**

Die Sourcemetallisierung bildet einen sicheren Kurzschluß zwischen dem n<sup>+</sup>- und p-Sourcegebiet (vgl. **Bild 3**). Dadurch wird die Basis-Emitter-Strecke des parasitären vertikalen n<sup>+</sup>pn<sup>-</sup>-Bipolar-Transistors kurzgeschlossen. Das ist notwendig, um sein Einschalten bei dynamischen Vorgängen zu vermeiden. Selbst durch hohe Spannungsteilheiten zwischen Drain und Source, z.B. in der Größenordnung  $> 2 \times 10^4 \text{ V}/\mu\text{s}$  werden die parasitären npn-Transistoren bei reinem Transistorbetrieb durch Ströme über die Drain-Source-Kapazität nicht eingeschaltet. Dieser Effekt muß allerdings dann beachtet werden, wenn in der Inversdiode hohe Kommutierungsteilheiten auftreten. Die Basis-Kollektor-Diode (pn<sup>-</sup>-Übergang) entspricht dabei der SIPMOS-Inversdiode.

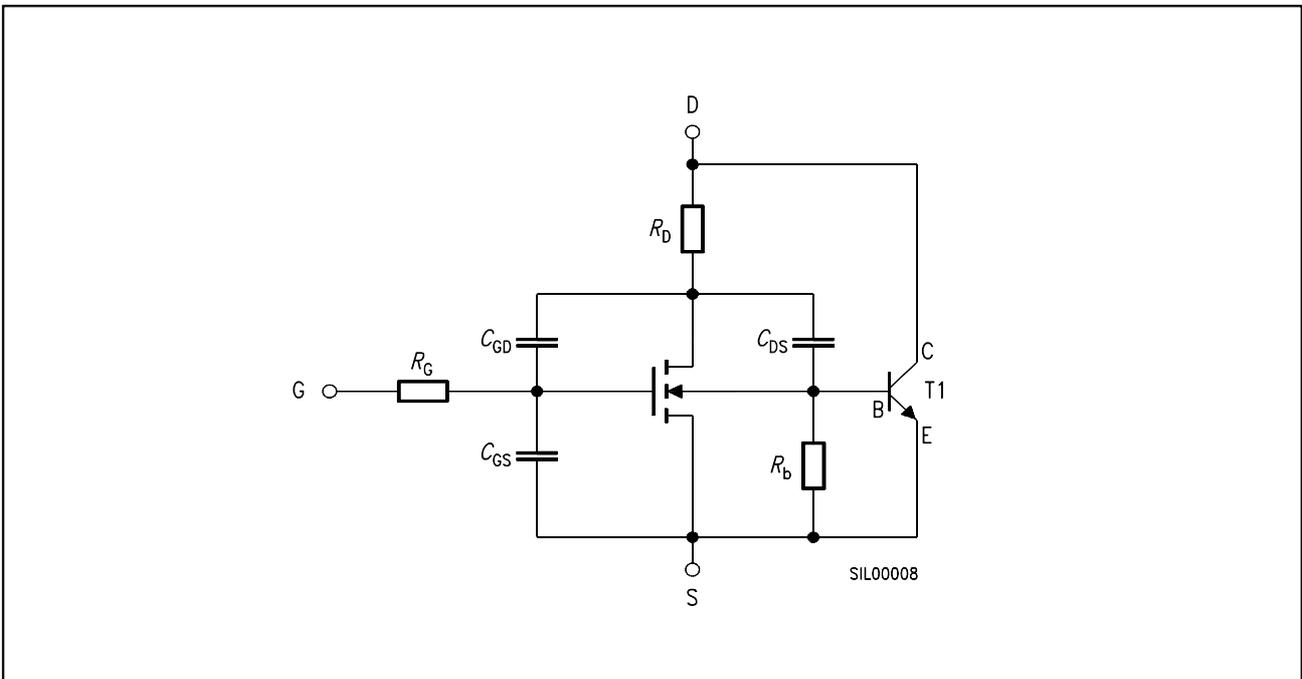
**Figure 2**  
**Structure of an N Channel SIPMOS Transistor**

The source plating forms a reliable short-circuit between the n<sup>+</sup> and p-source region (cf. **Figure 3**). This shorts the base-emitter junction of the parasitic vertical n<sup>+</sup>pn<sup>-</sup> bipolar transistor. This is essential in order to prevent the transistor from turning on when subject to dynamic processes. In the case of pure transistor operation the parasitic npn-transistors are not turned on by currents resulting from the drain-source capacitance, not even as a result of high rates of voltage rise between the drain and source, e.g. of the order of  $> 2 \times 10^4 \text{ V/s}$ . However, attention should be paid to this effect if high rates of commutation voltage rise occur in the inverse diode. The base-collector diode (pn<sup>-</sup> junction) then corresponds to the SIPMOS inverse diode.



**Bild 3**  
**Parasitärer Bipolar-Transistor im**  
**Schnittbild eines N-Kanal-Transistors**

**Figure 3**  
**Parasitic Bipolar Transistor in the**  
**Sectional Drawing of an N Channel**  
**Transistor**



**Bild 4**  
**Ersatzschaltbild mit parasitärem**  
**Bipolar-Transistor**

**Figure 4**  
**Equivalent Circuit Diagram with**  
**Parasitic Bipolar Transistor**

Der vertikale Transistoraufbau gewährleistet u.a. eine optimale Chipflächen-Ausnutzung, garantiert eine gute Wärmeableitung und ermöglicht hohe Sperrspannungen. Durch die Doppelimplantation mit den extrem kurzen Kanallängen sind sehr hohe Stromsteilheiten möglich.

Bei Leistungstransistoren erfolgt die Montage der Chips in die Gehäuse durch ein speziell erprobtes Weichlot-Verfahren. Das Kontaktieren der Anschlußdrähte auf den Chips wird mittels Ultraschall erreicht. Das Drahtmaterial ist ebenfalls – wie bei der Chip-Metallisierung – Aluminium. Die Drahtdicke wird durch den maximal zulässigen Drainstrom bestimmt.

### Ersatzschaltbild

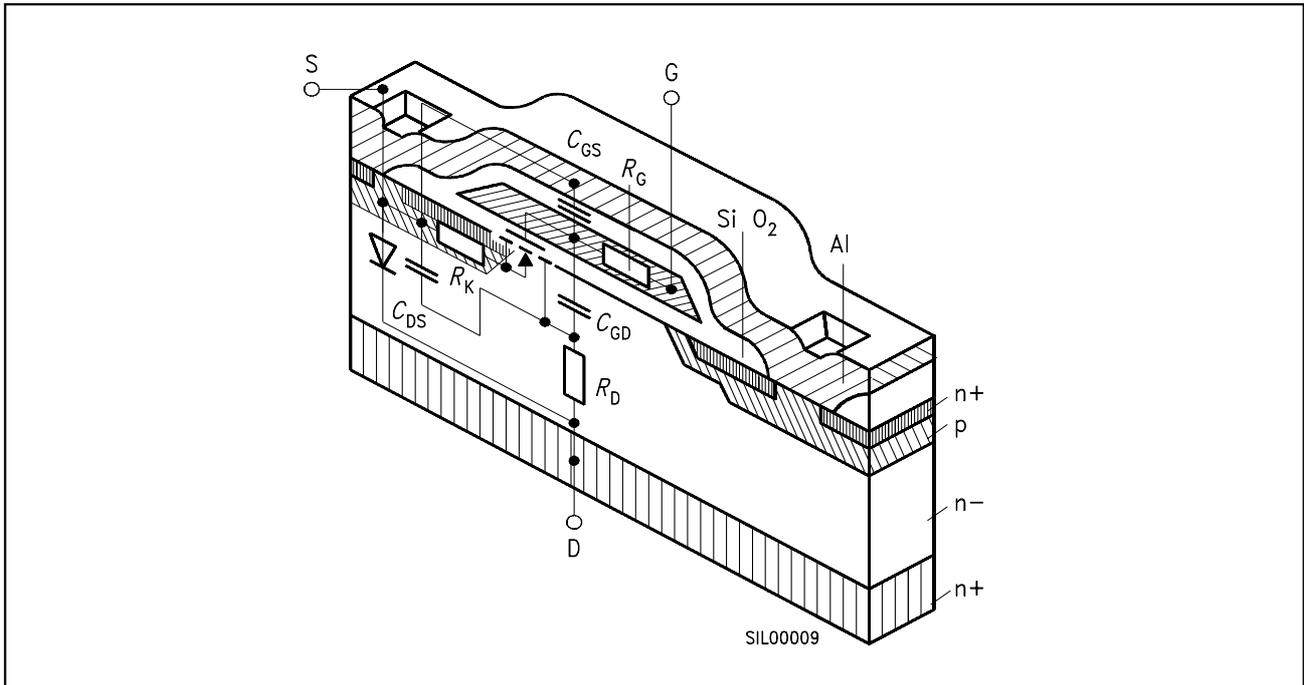
Man geht davon aus, daß zwischen den Anschlüssen komplexe Leitwerte und Bahnwiderstände auftreten. Dabei zeigen die Leitwerte zwischen den Anschlüssen bei gesperrtem Transistor kapazitives Verhalten. Die Kapazitäten heißen: Drain-Source-Kapazität  $C_{DS}$ , Gate-Source-Kapazität  $C_{GS}$  und Gate-Drain-Kapazität  $C_{GD}$  (auch Miller-Kapazität  $C_{Mi}$ ). Der Gate-Bahnwiderstand  $R_G$  in der Größenordnung von einigen Ohm ist stark von der Chip-geometrie abhängig. In der Drain-Source-Strecke befindet sich im eingeschalteten Zustand der Drain-Source-Widerstand  $R_{DS(on)}$ , der sich im wesentlichen aus der Summe des n<sup>-</sup>-Epitaxieschicht-Widerstandes  $R_D$  und dem Kanalwiderstand  $R_K$  zusammensetzt (vgl. **Bild 5**).

The vertical transistor structure guarantees, *inter alia*, optimum utilization of the chip area and good heat dissipation, as well as allowing high reverse voltages. Very high rates of current rise are possible as a result of the double implantation with extremely short channel lengths.

With power transistors chips are mounted in their packages by means of a specially tested soft soldering method. The component leads are bonded on the chips by an ultrasonic method. As with the chip plating, the wire is likewise aluminium. The wire gauge is determined by the maximum permissible drain current.

### Equivalent Circuit Diagram

It is assumed that complex conductances and bulk resistances occur between the connections, the conductances exhibiting capacitive behaviour when the transistor is reverse-biased. The capacitances are the drain-source capacitance  $C_{DS}$ , the gate-source capacitance  $C_{GS}$  and the gate-drain capacitance  $C_{GD}$  (also called Miller capacitance  $C_{Mi}$ ). The gate bulk resistance  $R_G$  of the order of several ohms is strongly dependent on chip geometry. At the drain-source junction there is the drain-source resistance  $R_{DS(on)}$  at ON state which consists essentially of the sum of the n<sup>-</sup>-epitaxial layer resistance  $R_D$  and the channel resistance  $R_K$  (cf. **Figure 5**).

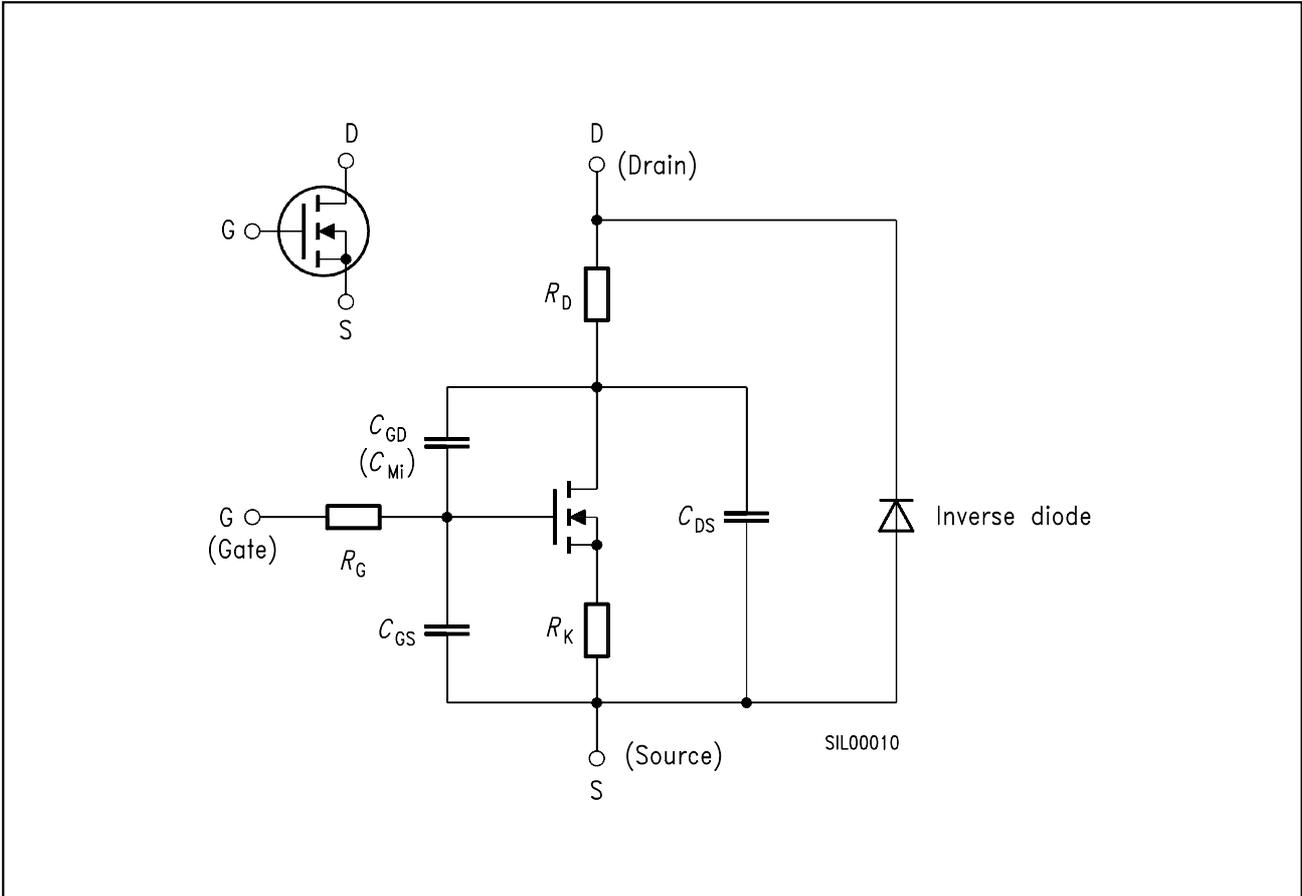


**Bild 5**  
**Schnittbild eines N-Kanal-Transistors**  
**mit dargestellten Leitwerten**  
**des Ersatzschaltbildes**

Bei Niederspannungs-Transistoren ( $V_{DS} \leq 100 \text{ V}$ ) dominiert der Kanalwiderstand  $R_K$ , bei höher sperrenden Typen ( $V_{DS} > 100 \text{ V}$ ) ist es der Epitaxieschicht-Widerstand  $R_D$ . Damit gelangt man zu den vereinfachten **Ersatzschaltbildern 6 und 7**. Bei den gezeigten Ersatzschaltbildern handelt es sich um Näherungen, da auf einem Chip bis zu 6000-Transistor-Einzelzellen parallelgeschaltet sind. Man hat es also mit verteilten Kapazitäten und Bahnwiderständen zu tun, und diese ändern sich (größtenteils) in Abhängigkeit der Drain-Source-Spannung.

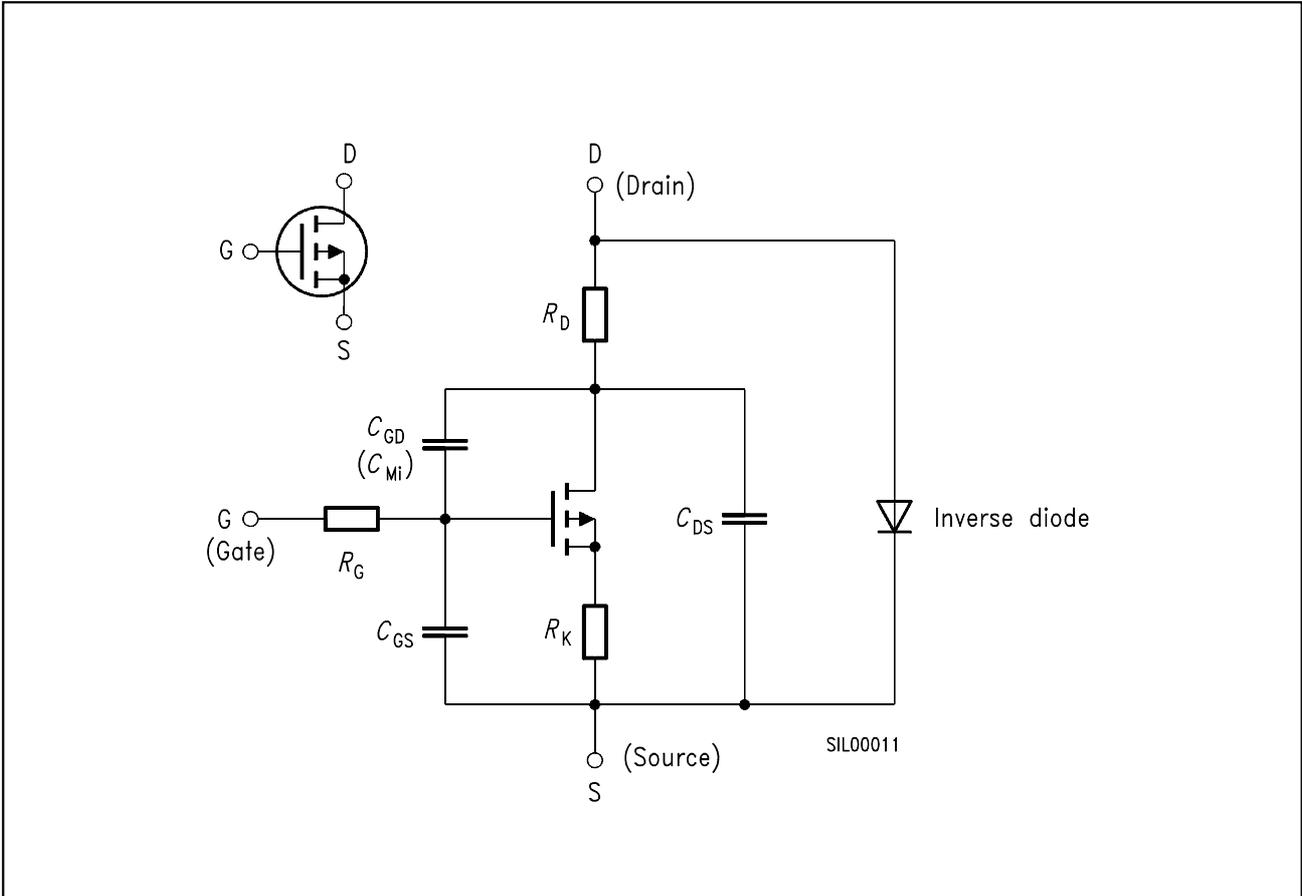
**Figure 5**  
**Sectional Drawing of an N Channel**  
**SIPMOS Transistor Showing the**  
**Conductances of the Equivalent**  
**Circuit Diagram**

In low-voltage transistors ( $V_{DS} \leq 100 \text{ V}$ ) the channel resistance  $R_K$  predominates, whereas in higher blocking types ( $V_{DS} > 100 \text{ V}$ ) the epitaxial layer resistance  $R_D$  predominates. In this way we arrive at the simplified equivalent circuit diagrams shown in **Figures 6 and 7**. The equivalent circuit diagrams in the figures are approximations, since up to 6000 transistor individual cells are connected in parallel on a chip. Distributed capacitances and bulk resistances are therefore involved, and these vary, for the most part, as a function of drain-source voltage.



**Bild 6**  
**Schaltymbol und Ersatzschaltbild**  
**eines N-Kanal-SIPMOS-Transistors**

**Figure 6**  
**Graphical Symbol and Equivalent Cir-**  
**cuit Diagram of an N Channel SIPMOS**  
**Transistor**



**Bild 7**  
**Schaltymbol und Ersatzschaltbild**  
**eines P-Kanal-SIPMOS-Transistor**

**Figure 7**  
**Graphical Symbol and Equivalent Circuit**  
**Diagram of a P Channel SIPMOS**  
**Transistor**

Gravierende Auswirkungen auf das Schaltverhalten hat die Spannungsabhängigkeit der Gate-Drain- bzw. Miller-Kapazität.

Serious effects on switching response are produced by the voltage dependence of the gate-drain and Miller capacitances.

Bei einer vereinfachten Darstellung ergibt sich bei Drain-Source-Spannungen kleiner gleich der Gate-Source-Einsatzspannung eine sprunghafte Erhöhung der Miller-Kapazität um etwa den Faktor 10 (vgl. **Bild 8**). Tatsächlich setzt die Kapazitätserhöhung schon etwas früher ein und nimmt zur idealisierten Sprungstelle hin exponentiell zu (vgl. Kurven im Datenblatt).

In a simplified representation the Miller capacitance soars by a factor of approximately ten at drain-source voltages less than or equal to the gate-source threshold voltage (cf. **Figure 8**). In actual fact, the increase in capacitance commences somewhat earlier and rises exponentially to the idealized point at which it soars (cf. curves on data sheet).

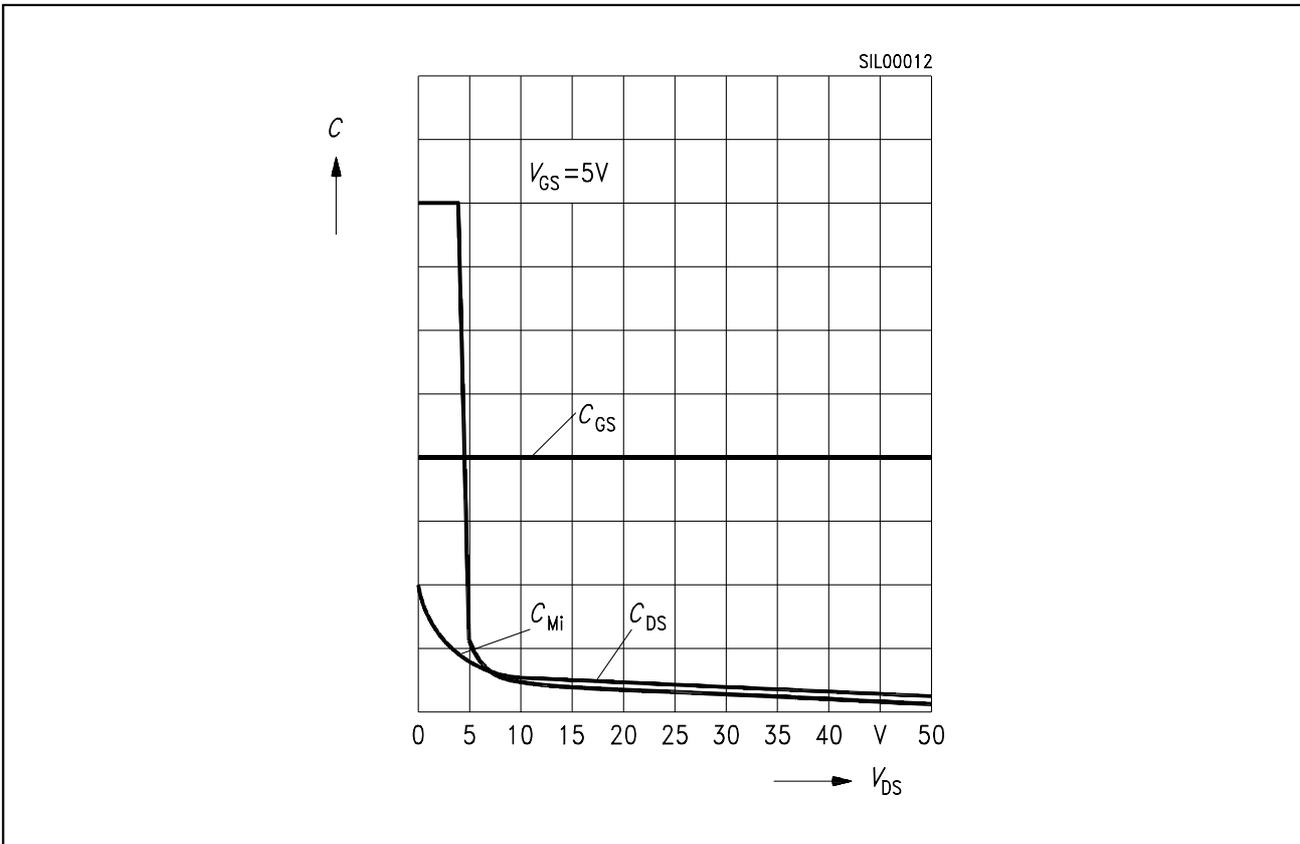
Die im Ersatzschaltbild angegebenen Kapazitäten sind nicht einzeln meßbar, sie sind nur als verknüpfte Größen zu betrachten (vgl. **Bild 9**). Zwischen ihnen besteht unter Vernachlässigung der Bahnwiderstände folgender Zusammenhang:

The capacitances in the equivalent circuit diagram cannot be measured individually; they should be regarded as associated magnitudes (cf. **Figure 9**). Ignoring the bulk resistances, they are interrelated as follows:

<b>Eingangskapazität/Input capacitance</b>	$C_{iss} \sim C_{GS} + C_{GD}$
<b>Rückwirkungskapazität/Reverse transfer capacitance</b>	$C_{rss} \sim C_{GD} \quad (C_{GD} = C_{Mi})$
<b>Ausgangskapazität/Output capacitance</b>	$C_{oss} \sim C_{DS} + C_{Mi}$

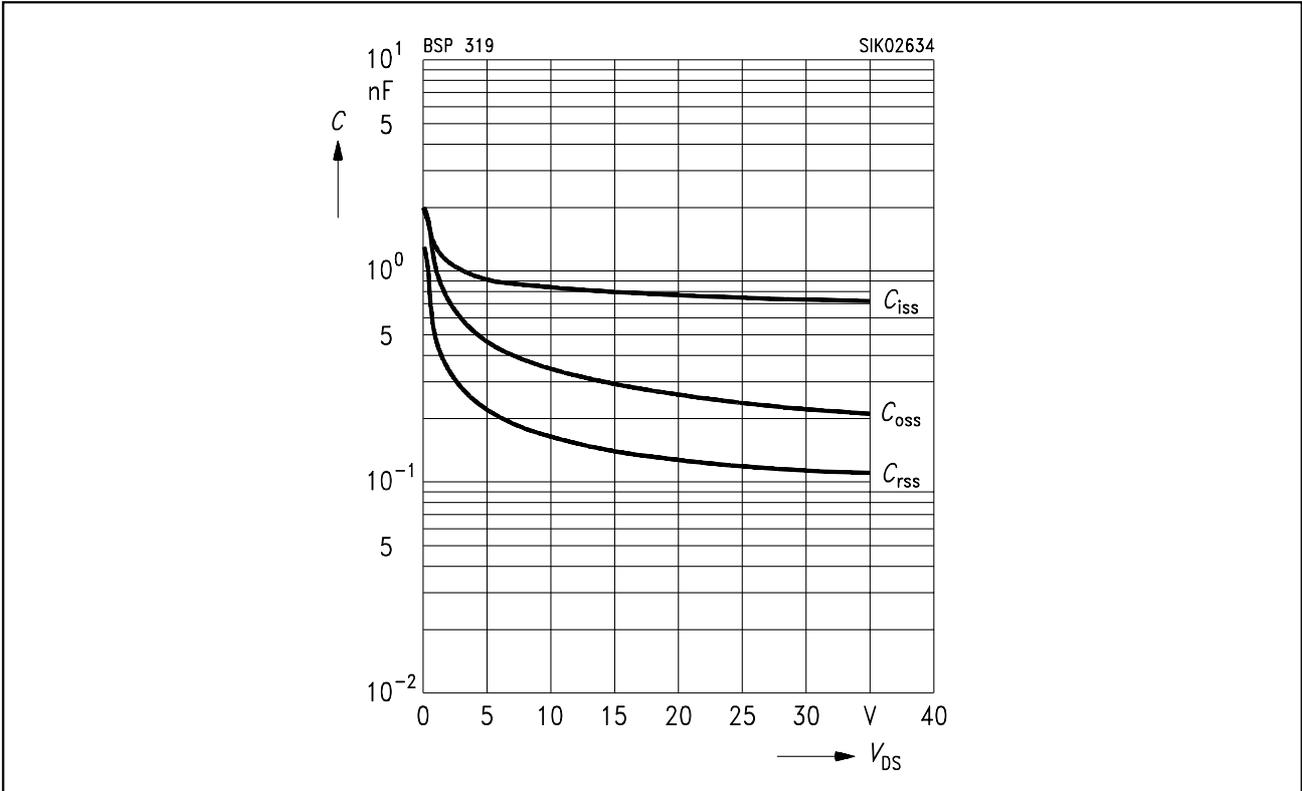
Dabei beziehen sich die tabellierten Datenbuchangaben auf einen bestimmten Arbeitspunkt.

The details listed in the Data Book tables relate to a certain operating point.



**Bild 8**  
**Spannungsabhängigkeit der Kapazitäten des Ersatzschaltbildes**

**Figure 8**  
**Voltage Dependence of Equivalent Circuit Diagram Capacitances**



**Bild 9**  
**Spannungsabhängigkeit der verknüpften Kapazitäten**  
 (Beispiel: BSP 319 Parameter:  $V_{GS} = 0\text{ V}$ ,  $f = 1\text{ MHz}$ )

**Figure 9**  
**Voltage Dependence of Associated Capacitances**  
 (example: BSP 319; parameters:  $V_{GS} = 0\text{ V}$ ,  $f = 1\text{ MHz}$ )

**Kennlinienfeld**

Liegt an einem N-Kanal-Transistor positive Drain-Source-Spannung bei Steuerspannung  $V_{GS} = 0\text{ V}$ , so fließt ein temperatur- und spannungsabhängiger Sperrstrom. Dieser Sperrstrom-Grenzwert ist in den Datenblättern spezifiziert und beträgt typisch – bei  $25\text{ °C}$  – wenige nA. Steigert man die Gate-Source-Steuerspannung, bleibt der Transistor gesperrt bis die Gate-Source-Einsatzspannung (Gate-Source-Schwellenspannung)  $V_{GS(th)}$  erreicht ist. Erhöht man die Steuerspannung über die Einsatzspannung hinaus, nimmt der Drainstrom entsprechend der Transfer-Kennlinie zu (vgl. **Bild 10**).

**Family of Characteristics**

If positive drain-source voltage is applied to an N-channel transistor with a control voltage  $V_{GS} = 0\text{ V}$ , a temperature- and voltage-dependent reverse current will flow. The limiting value of this reverse current is specified in the data sheets and is typically a few nA at  $25\text{ °C}$ . If the gate-source control voltage is increased, the transistor will remain reverse-biased until the gate-source threshold voltage  $V_{GS(th)}$  is reached. If the control voltage is raised above the threshold voltage, the drain current increases in accordance with the transfer characteristic (cf. **Figure 10**).

Die Übertragungssteilheit  $g_{fs}$  ist nicht linear, sie liegt in einem Bereich zwischen 1 S und 30 S und hängt von der Chipfläche, dem Design und von der max. Sperrspannung  $V_{DSS}$  des Transistors ab (vgl. Datenblatt).

The transconductance  $g_{fs}$  is non-linear, lying in a range between 1 S and 30 S, and depends on the chip area, design and maximum reverse voltage  $V_{DSS}$  of the transistor (cf. data sheet).

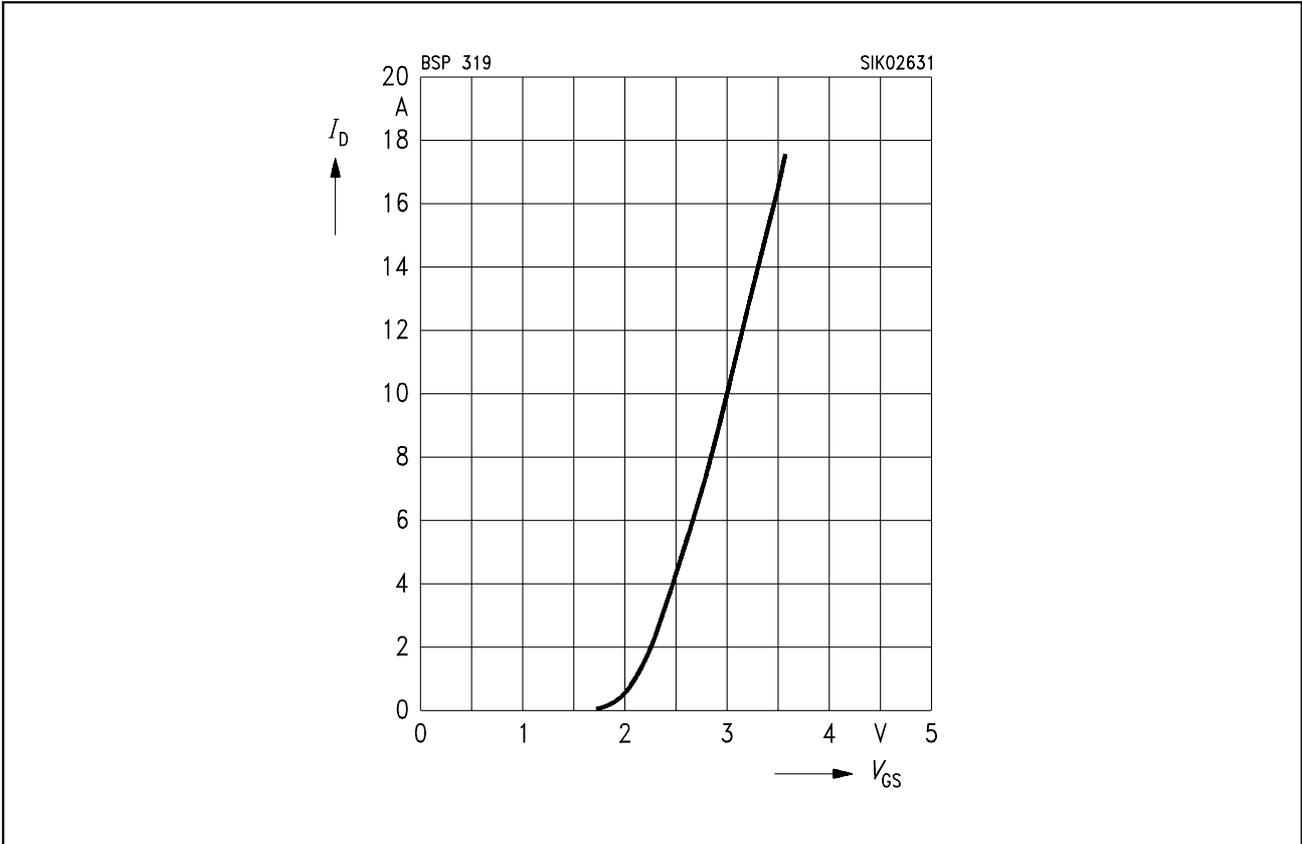
$$g_{fs} = \left. \frac{dI_D}{dV_{GS}} \right|_{T_j}$$

Der Schnittpunkt der Übertragungskennlinie im kalten und warmen Zustand (vgl. **Bild 10**) bewirkt eine thermische Eigenstabilität bei hohen Strömen (kein Second Breakdown).

The intersection of the transfer characteristic in the cold and warm states (cf. **Figure 10**) causes a thermal inherent stability at high currents (no second breakdown).

Die Gate-Source-Schwelenspannung  $V_{GS(th)}$  liegt bei Standard-MOSFET zwischen 2,1 V ... 4,0 V (bei  $I_D = 1$  mA) und hat einen negativen Temperaturkoeffizienten von ca. 5 mV/K.

With standard MOSFETs the gate-source threshold voltage  $V_{GS(th)}$  is between 2.1 and 4.0 V (when  $I_D = 1$  mA) and has a negative temperature coefficient of approximately - 5 mV/K.



**Bild 10**  
**Typische Übertragungscharakteristik**  
(Beispiel: BSP 319, Parameter:  
80- $\mu$ s-Pulstest,  $V_{DS} = 25$  V,  $T_j = 25$  °C und  
150 °C)

Bei einer Gate-Spannung unterhalb der Einsatzspannung ist der Transistor gesperrt. Eine negative Gate-Source-Spannung erhöht die Sperrfähigkeit nicht, d.h. daß mit Steuerspannungen einer Polarität das gesamte Kennlinienfeld durchfahren werden kann.

Der Maximalwert der Gate-Source-Spannung ist durch die Oxyddicke begrenzt. Dieser Wert darf nicht, auch nicht kurzfristig, überschritten werden, da sonst eine Beschädigung auftreten kann und der Transistor dann nicht mehr steuerbar ist.

Mißt man den Drainstrom in Abhängigkeit der Drain-Source-Spannung mit dem

**Figure 10**  
**Typical Transfer Characteristic**  
(example: BSP 319, parameters:  
80  $\mu$ s pulse test,  $V_{DS} = 25$  V,  $T_j = 25$  °C  
and 150 °C)

The transistor is reverse-biased in the case of a gate voltage lower than the threshold voltage. A negative gate-source voltage does not increase the blocking ability, i.e the entire family of characteristics can be obtained with control voltages of one polarity.

The maximum value of the gate-source voltage is limited by the thickness of the oxide. This value must not be exceeded, not even briefly, since damage may otherwise occur and the transistor can then no longer be controlled.

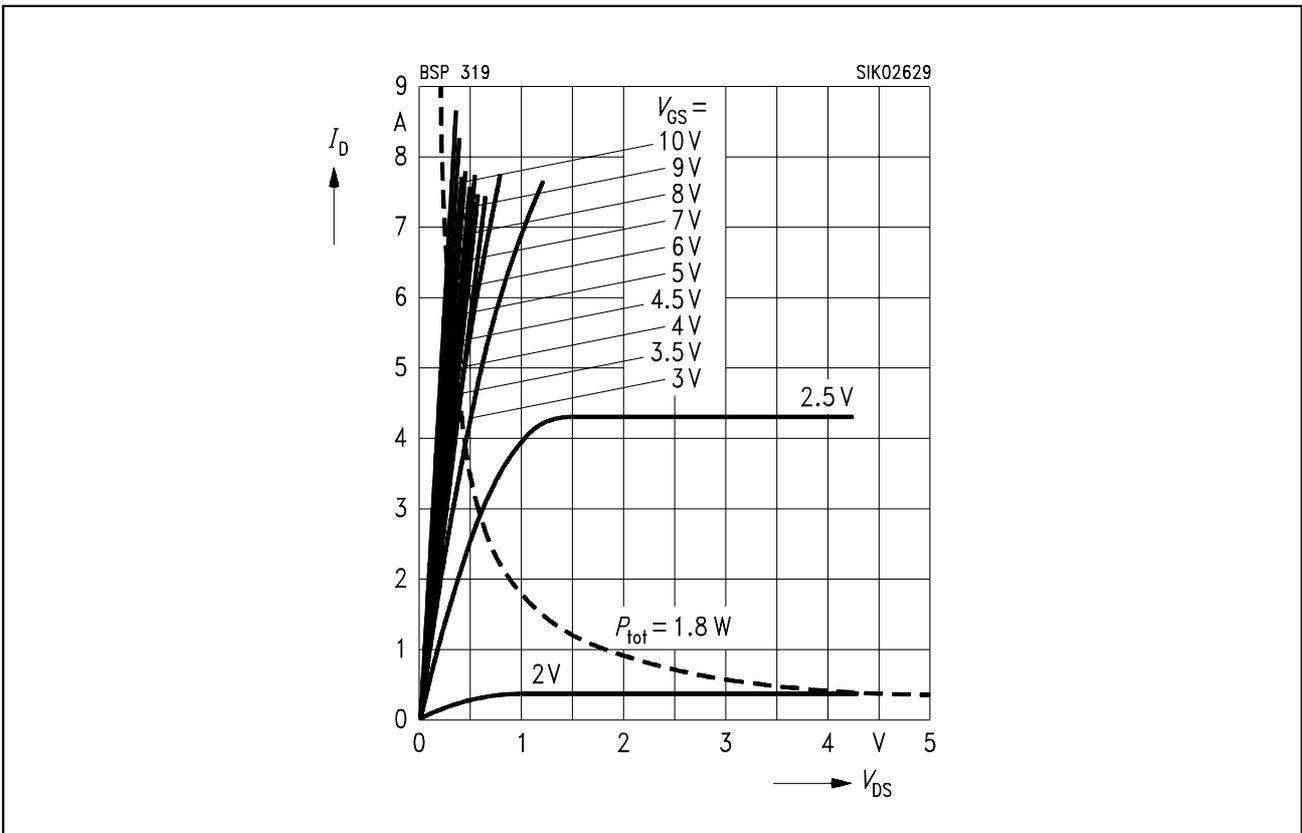
If the drain current is measured as a function of the drain-source voltage with the

Parameter Gate-Source-Steuerspannung, so erhält man das Ausgangskennlinienfeld (vgl. **Bild 11**).

Im "Ein-Zustand" verhält sich der Transistor wie ein ohmscher Widerstand, d.h. es können auch negative Drainströme fließen: Im III. Quadranten des Kennlinienfeldes tritt natürlich nur soweit ein ohmsches Verhalten auf, wie die Schwellenspannung der Inversdiode noch nicht überschritten ist. Dieses Verhalten ist besonders dann wichtig, wenn Gleichrichter-schaltungen mit extrem niedrigen Durchlaßspannungen realisiert werden sollen oder wenn die Inversdioden-Sperrverzögerungszeit durch das Aufsteuern des Transistors verkürzt werden muß.

gate-source control voltage as a parameter, we obtain the family of output characteristics (cf. **Figure 11**).

In ON state the transistor behaves in the same way as an ohmic resistance, i.e. negative drain currents can also flow. In the third quadrant of the family of characteristics an ohmic behaviour does, of course, occur only to such an extent as the threshold voltage of the inverse diode has not yet been exceeded. This behaviour is particularly important if rectifier circuits having extremely low forward-biased state voltages are to be implemented or if the inverse diode reverse recovery time is to be shortened by biasing the transistor.



**Bild 11**  
**Typ. Ausgangscharakteristik**  
(Beispiel: BSP 319, Parameter:  
80- $\mu$ s-Pulstest,  $T_C = 25$  °C)

**Figure 11**  
**Typical Output Characteristic**  
(example: BSP 319, parameters:  
80  $\mu$ s pulse test,  $T_C = 25$  °C)

### 3 P-Kanal-Transistoren

Schaltungen, in denen die Last zwischen Source und Masse an Minus liegt, sind am einfachsten mit P-Kanal-Transistoren zu realisieren. Die Trägerbeweglichkeit bei P-Kanal-Transistoren ist jedoch um 60% geringer als bei N-Kanal-Transistoren. Das bedeutet, daß P-Kanal-Transistoren bei gleichen Randbedingungen eine um den Faktor 2,3 größere Chipfläche benötigen, um bei gleicher Sperrspannung den selben  $R_{DS(on)}$  zu erzielen. Bei größeren Leistungen kann es deshalb günstiger sein, geeignete Ansteuerschaltungen (FET-Treiber, usw.) zu verwenden, um mit N-Kanal-Transistoren auszukommen.

Im Gegensatz zu Leistungstransistoren werden Kleinsignaltransistoren in den meisten Fällen nicht bis in die Sättigung durchgesteuert. Da die geforderten Arbeitspunkte den Transistor oft nur zu einem Bruchteil der Datenblattwerte auslasten, ist der Einsatz von P-Kanal-Transistoren ohne weiteres gerechtfertigt.

Für die vielfältigen Anwendungen werden verschiedene Typen angeboten. Der Transistor BSS 110 ( $V_{DS} = -50\text{ V}$ ) wurde für den Einsatz bei niedrigen Betriebsspannungen entwickelt. Für höhere Spannungen stehen der BSS 92 und BSS 192 ( $V_{DS} = -240\text{ V}$ ) zur Verfügung. Der BSS 84 ( $V_{DS} = -50\text{ V}$ ) im SOT-23-Gehäuse eignet sich für Oberflächenmontage.

### 3 P Channel Transistors

Circuits with ground connected loads are most easily implemented with P channel transistors. However the carrier mobility in P channel transistors is about 60% less than in N channel transistors. This means that P channel transistors require a chip area that is greater by a factor of 2.3 to produce the same  $R_{DS(on)}$  with the same breakdown voltage. At higher levels of power it can therefore be more attractive to use suitable driving circuits (FET drivers etc.) so that you can do with N channel transistors.

In contrast to power transistors, small-signal transistors are not usually driven into saturation. The required operating points often only stress the transistor to a fraction of the data-sheet ratings, so the use of P channel transistors is often justified.

Various types are offered for the many different applications. The BSS 110 transistor ( $V_{DS} = -50\text{ V}$ ) was devised for use at low operating voltages. For higher voltages there are the BSS 92 and the BSS 192 ( $V_{DS} = -240\text{ V}$ ). Whilst the BSS 84 ( $V_{DS} = -50\text{ V}$ ) in a SOT-23 Package is suitable for surface mounting.

### 4 Depletion-Transistoren (Verarmungstransistoren)

Für viele Anwendungen ermöglichen selbstleitende Transistoren eine einfachere Schaltungsauslegung. Durch ein geeignetes Dotierungsprofil und eine entsprechende Geometrie in der Kanalzone ermöglicht die SIPMOS-Technologie Verarmungstypen, die bzgl. Spannungsfestigkeit, Einschaltwiderstand und Steilheit den bekannten Anreicherungstypen gleichkommen.

Verarmungstypen haben bei einer Gate-Spannung von 0 V einen definierten Durchlaßstrom, der mit einer negativeren Spannung am Gate abgeschaltet werden kann. Positive Spannungen am Gate führen dagegen zu einer graduellen Verbesserung des Drain-Source-Einschaltwiderstandes (**Bild 12**).

Der Transistor BSS 229 wird hinsichtlich  $V_{GS}$  in Gruppen angeboten:

### 4 Depletion Transistors

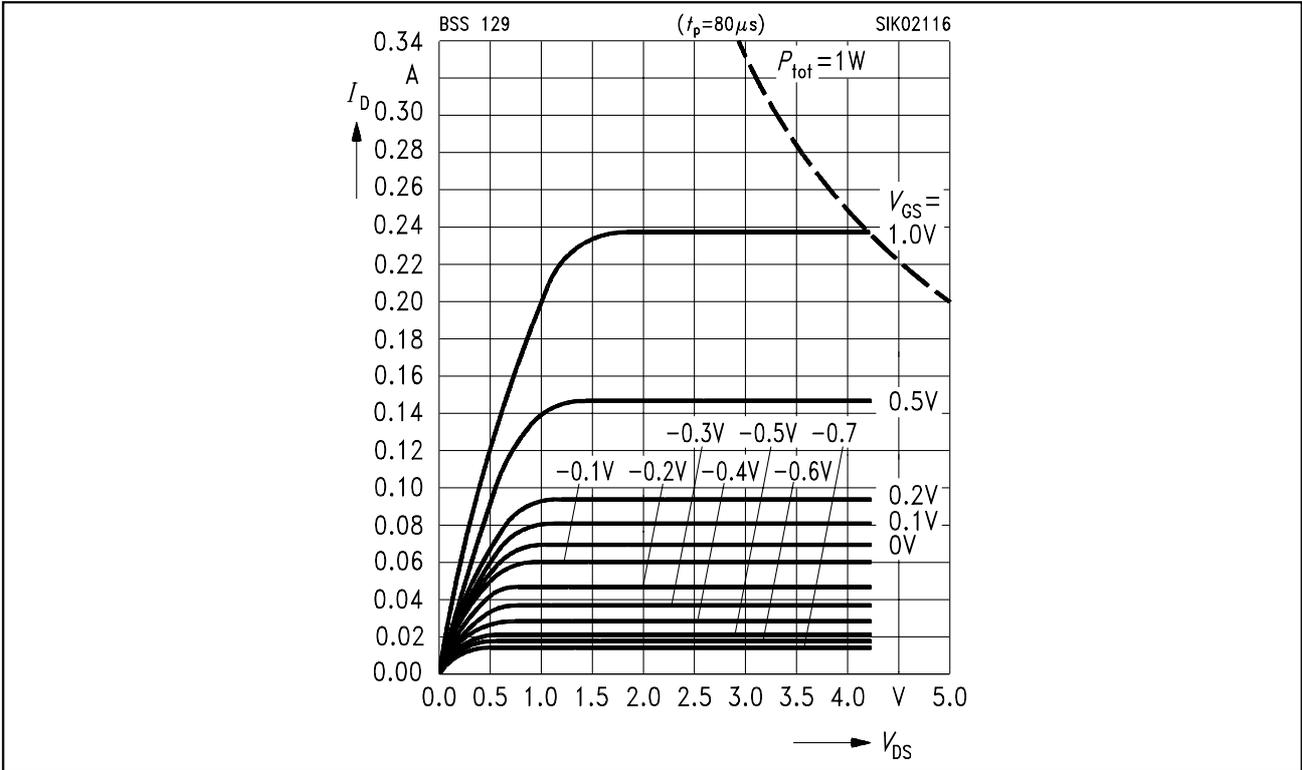
In many applications self-conducting transistors allow simpler circuit design. Through appropriate doping profiles and corresponding geometry in the channel zone, SIPMOS technology permits depletion types that match the well-known enhancement types when it comes to breakdown voltage on-resistance and transconductance.

Depletion types have a defined forward current at a gate voltage of 0 V that can be turned off with a more negative voltage on the gate. Positive voltages on the gate, on the other hand, lead to an improvement in the drain-source on-resistance (**Figure 12**).

The BSS 229 is available in  $V_{GS}$  groups:

**Table 1**

Typ Type	$V_{GS}$ (V) bei/at $I_D = 10 \mu A$ ; $V_{DS} = 3 V$	$I_D$ (mA) bei/at $V_{GS} = 0 V$ ; $V_{DS} = 3 V$
BSS 229 F	- 1.385 ... - 1.535	105
BSS 229 G	- 1.635 ... - 1.485	125
BSS 229 A	- 1.735 ... - 1.585	145
BSS 229 B	- 1.835 ... - 1.685	165
BSS 229 C	- 1.935 ... - 1.785	185
BSS 229 D	- 2.035 ... - 1.885	205



**Bild 12**  
 Ausgangskennlinien für BSS 129 Gate-  
 spannung als Parameter

**Figure 12**  
 Output Characteristics of BSS 129 with  
 Gate Voltage as Parameter

**5 Logik-Level-Transistoren**

Logik-Schaltungen, wie TTL und MC, haben am Ausgang ein Spannungsniveau  $H_{min} > 2,4 V$  und  $L_{max} < 0,4 V$ . Diese Anforderungen sind zu berücksichtigen, wenn MOS-Transistoren angesteuert werden sollen. Für Logik-Level-Transistoren wird eine möglichst niedrige Schwellenspannung vorausgesetzt. Hier sind jedoch Grenzen gesetzt, da der Transistor bei niedrigeren Gate-Source-Spannungen möglichst keinen Strom mehr ziehen darf, d.h. rasch in den Sperrzustand übergehen soll.

Weiterentwicklungen bei Kleinsignaltransistoren ermöglichen, daß Abmessungen und Dotierungen in der Kanalzone sehr genau eingehalten bzw. gesteuert werden können.

**5 Logic Level Transistors**

Logic circuits such as TTL and CMOS have voltage levels of  $H_{min} > 2.4 V$  and  $L_{max} < 0.4 V$  at the output. These requirements have to be considered when MOS transistors are to be driven. As low as possible a threshold voltage is required for logic-level transistors. But there are limitations because the transistor should not draw any more current at lower gate-source voltages, i.e. should quickly go into the cutoff state.

Further developments in small-signal transistors has made it possible for dimensions and doping in the channel zone to be maintained and controlled very precisely.

Dadurch wird erreicht, daß SIPMOS-Kleinsignaltransistoren im Vergleich zu den meisten Leistungstransistoren sehr niedrige Schwellenspannungen haben.

Besonders hervorzuheben sind hier die Typen:

- BSS 88:  $V_{GS(th)} = 0,6 \dots 1,2 \text{ V}$   
bei  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$
- BSS 98:  $V_{GS(th)} = 0,8 \dots 1,6 \text{ V}$   
bei  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$
- BSS 138:  $V_{GS(th)} = 0,8 \dots 1,6 \text{ V}$   
bei  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$

Diese Transistoren sind bereits bei einer Gate-Spannung von etwa 5 V durchgesteuert (bei spezifiziertem  $R_{DS(on)}$ -Wert).

### 6 Hochsperrende Kleinsignaltransistoren

Die erforderliche Chipfläche für einen MOS-Transistor ist nicht nur abhängig vom Drain-Source-Einschaltwiderstand, sondern auch von der nominalen Sperrspannung. Für hohe Spannungen ist ein breiter Chiprand notwendig, um die Sperrschicht-Peripherie stabil und zuverlässig zu halten. Mit steigender Spannung nimmt die erforderliche Randbreite und somit die Chipfläche zu. Da die Gehäuseabmessung für die Chipgröße enge Grenzen setzt, wirkt sich dieser Zusammenhang besonders bei Kleinsignaltransistoren aus. Mit BSS 125 und BSP 125 sowie den Verarmungstransistoren BSS 135 und BSP 135 bietet SIEMENS Transistoren in den Gehäusen TO-92 und SOT-223 ( $V_{DS} = 600 \text{ V}$ ) an, die sich für Schaltanwendungen und Hilfsstromversorgungen besonders eignen. Bei diesen Transistoren wurde die aktive Fläche durch besondere Randstrukturen vergrößert.

This means that SIPMOS small-signal transistors have very low threshold voltages compared to most power transistors.

Particularly worthy of note are the types:

- BSS 88:  $V_{GS(th)} = 0.6 \dots 1.2 \text{ V}$   
at  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$
- BSS 98:  $V_{GS(th)} = 0.8 \dots 1.6 \text{ V}$   
at  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$
- BSS 138:  $V_{GS(th)} = 0.8 \dots 1.6 \text{ V}$   
at  $V_{DS} = V_{GS}$ ;  $I_D = 1 \text{ mA}$

These transistors are already driven hard at a gate voltage of about 5 V (to the specified  $R_{DS(on)}$  value).

### 6 High-Voltage Small-Signal Transistors

The required chip area for a MOS transistor is not only dependent on the drain-source turn-on resistance but also on the nominal breakdown voltage. For high voltages a wide chip edge is necessary to keep the barrier-layer periphery stable and reliable. With increasing voltage the necessary edge width increases and thus the chip area. The dimensions of the package set tight limits on the size of the chip. This limitation is very much evident with small-signal transistors. In the BSS 125 and the BSP 125 as well as the depletion types BSS 135 and BSP 135 Siemens offers transistors in TO-92 and SOT 223 packages with ( $V_{DS} = 600 \text{ V}$ ) that are particularly suitable for switching applications and auxiliary power supplies. The active area is enlarged by the use of special narrow edge structures.

### 7 Durchbruchfestigkeit (Avalanchefestigkeit)

Ein Maß für die Robustheit von MOSFET ist die Überspannungsfestigkeit. Durch die unvermeidlichen parasitären Induktivitäten  $L_p$ , die sich in einem auch sehr sorgfältigen Schaltungsaufbau befinden, kommt es beim Abschalten von Transistoren zum Auftreten von Überspannung.

### 7 Breakdown Strength (Avalanche Resistance)

A criterion for the robustness of MOSFETs is their surge strength. Owing to the inevitable parasitic inductances  $L_p$  which occur even in very carefully designed circuits, an overvoltage is caused whenever transistors are turned off.

$$V = L_p \times di/dt$$

Wie aus der Formel ersichtlich, sind hohe Ströme und kurze Schaltzeiten besonders kritisch.

Bei Überschreiten der Durchbruchspannung  $V_{BR(DSS)}$  tritt ein Avalanche-Durchbruch auf, der avalanche-feste Bauteile nicht zerstört. Avalanche-festigkeit wird erreicht durch sorgfältiges Transistordesign, das verhindert, daß ein parasitärer bipolarer Transistor einschaltet.

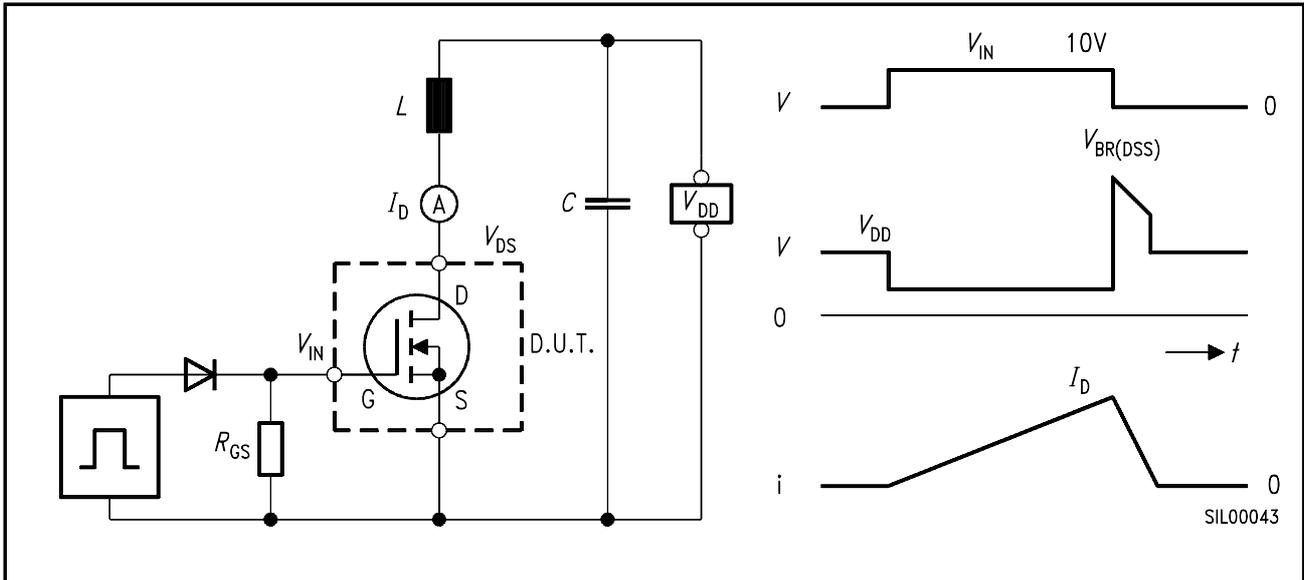
Beim Abschalten einer Induktivität wird im Bauteil die Energie  $E_A$ , die in der Spule gespeichert ist, und ein Anteil aus der Spannungsquelle umgesetzt.

As is apparent from the formula, high currents and short response times are especially critical.

When the breakdown voltage  $V_{BR(DSS)}$  is exceeded, an avalanche breakdown that does not destroy avalanche-resistant components occurs. Avalanche-resistance is achieved through careful transistor design, which keeps parasitic bi-polar transistors from cutting in.

When switching off inductive resistors, the energy  $E_A$  that is stored in coil and part of the voltage source are used in the component.

$$E_A = 1/2 L \times I_D^2 \times V_{BR(DSS)} / (V_{BR(DSS)} - V_{DD})$$



**Bild 13**  
**Schaltung zur Messung der Durchbruchfestigkeit**

**Figure 13**  
**Circuit for Measuring Breakdown Strength**

Alle avalanche spezifizierten Transistoren werden einem 100-%-Durchbruchtest unterzogen. **Bild 13** zeigt das Prinzipschaltbild der Testschaltung. Der Prüfling befindet sich in Serie mit einer ungeklemmten Induktivität  $L$ , und nachdem er eingeschaltet wird, steigt der Strom linear an, bis er seinen spezifizierten Nennstrom erreicht hat.

All avalanche specify transistors are subjected to a 100 % breakdown test. **Figure 13** illustrates the basic circuit diagram of the test circuit. The device under test is in series with an unclamped inductance  $L$ , and once it has been turned on, the current rises linearly until it reaches its specified rated current.

Die Energie, die im Transistor umgesetzt werden kann, ist durch die maximal zulässige Chiptemperatur  $T_j$  begrenzt. **Bild 14** zeigt die maximal zulässige Durchbruchenergie in Abhängigkeit von der Chiptemperatur.

The energy that can be converted in the transistor is limited by the maximum permissible chip temperature  $T_j$ . **Figure 14** shows the maximum permissible breakdown energy as a function of chip temperature.

In der Anwendung muß berücksichtigt werden, daß die im Durchbruch verursachten Verluste zusätzlich zu den Schaltverlusten und Durchlaßverlusten auftreten.

In practice, account must be taken of the fact that losses caused by breakdown occur in addition to switching losses and forward power losses.

$$P_{\text{tot}} = P_{\text{sw}} + P_{\text{F}} + P_{\text{A}}$$

$$P_{\text{A}} = E_{\text{A}} \times f$$

Deshalb muß das Ziel einer sorgfältigen Schaltungsauslegung immer in einer Minimierung der parasitären Induktivität liegen und damit in einer Reduzierung der dadurch entstehenden Durchbruchverluste.

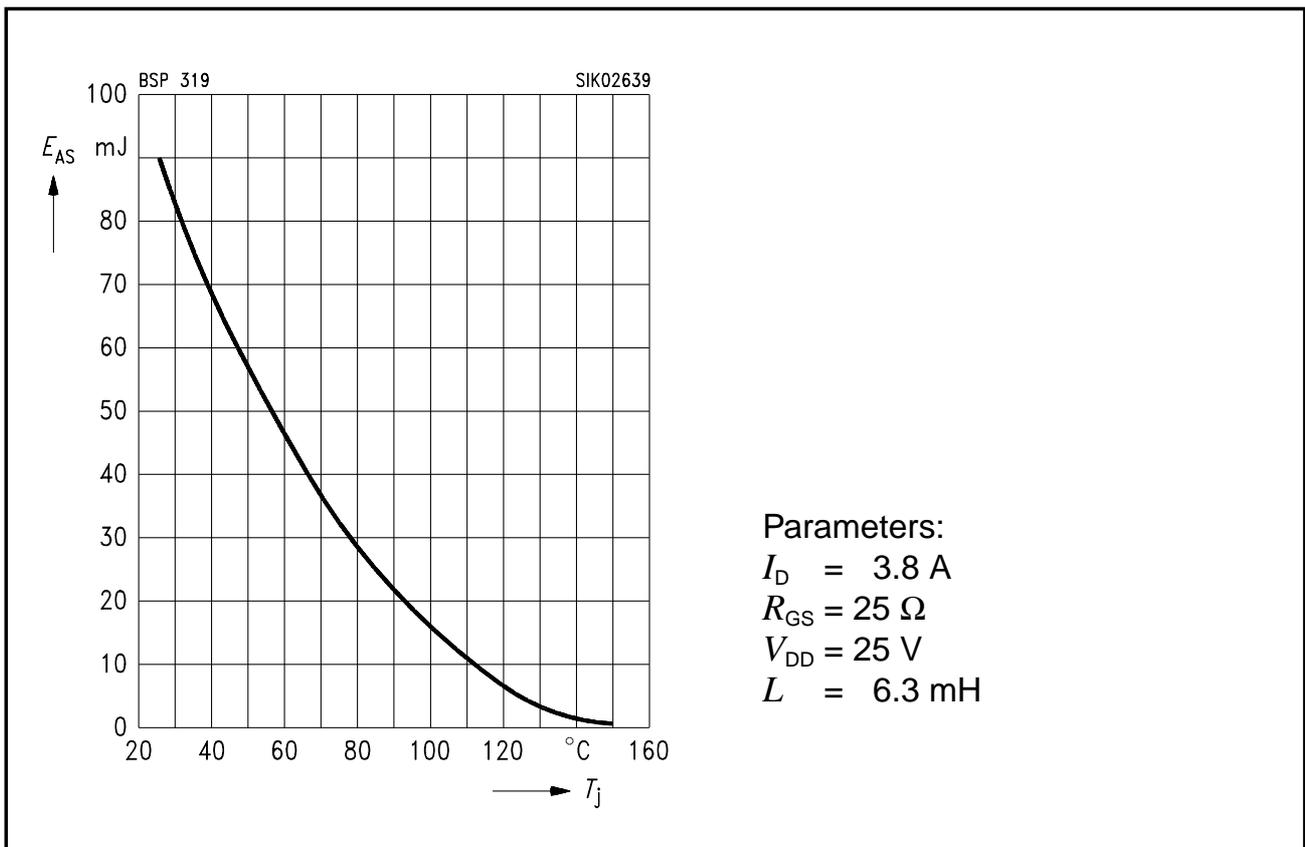
For this reason the objective of careful circuit design must always be a minimization of parasitic inductance, and consequently a reduction of the resulting breakdown losses.

**Nutzen**

- Keine Ausfälle durch transiente Überspannungen innerhalb der spezifizierten Daten.
- Die Beschaltung gegen Spannungsspitzen, verursacht durch Streuinduktivitäten, kann entfallen.
- Eine spannungsmäßige Überdimensionierung der Transistoren ist nicht notwendig.

**Benefits**

- No failures due to transient overvoltages within the specified ranges
- Protective circuitry against glitches caused by stray inductances is not required
- Overdimensioning of the transistors with respect to voltage is not necessary



**Bild 14**  
**Avalanche Energie  $E_{AS} = f(T_j)$**   
 (Beispiel: BSP 319)

**Figure 14**  
**Avalanche Energy  $E_{AS} = f(T_j)$**   
 (example: BSP 319)

## 8 Schaltvorgänge

SIPMOS-Transistoren sind spannungs-gesteuert und benötigen daher im stationären Betriebszustand keine Steuerleistung. Bei jeder Betriebszustandsänderung entstehen jedoch Umladeströme der Eingangskapazitäten. Während diese Ströme im NF-Bereich (Analogbetrieb) kaum von Bedeutung sind, müssen sie bei HF-Anwendungen im Schaltbetrieb beachtet werden. Da SIPMOS-Transistoren vornehmlich als Schalter eingesetzt werden, wird das Schaltverhalten besonders erläutert. Die Schaltzeit eines SIPMOS-Transistors wird nur durch das Umladen der Eingangs- und Millerkapazität sowie von dem inneren Gatebahnwiderstand bestimmt. Durch die freie Wahl des Innenwiderstandes  $R_i$  der Ansteuerschaltung läßt sich die Schaltzeit in einem weiten Bereich einstellen. Die Grenze für einen hochohmigen Innenwiderstand ist infolge erhöht auftretender Schaltverluste durch die thermische Belastbarkeit gegeben. Bei einer niederohmigen Ansteuerschaltung ergibt sich eine Begrenzung des Umladestroms der Kapazitäten durch den Gate-Bahnwiderstand und der Induktivität des Steuerkreises.

### Schalten bei ohmscher Last

Zum Einsatz kommt ein Ansteuergenerator mit definiertem Innenwiderstand  $R_i$ , der eine Rechteckausgangsspannung liefert (vgl. Meßschaltung für Schaltzeiten).

## 8 Switching Operations

SIPMOS transistors are voltage-controlled and therefore require no gate power in the steady operating state. Each change in operating state, however, causes charge-reversal currents of the input capacitances. While hardly significant in the VF range (analog operation), the currents must not be ignored in the case of RF applications in switching operations. Since SIPMOS transistors are primarily used as switches, their switching response will be described in detail. The switching time of a SIPMOS transistor is determined only by charge reversal of the input and Miller capacitances, and by the internal gate bulk resistance. The switching time can be set over a wide range by freely selecting the internal resistance  $R_i$  of the drive circuit. The limit for a high internal resistance is set by the thermal load rating owing to the occurrence of higher switching losses. With a low-resistance drive circuit the charge-reversal current of the capacitances is limited by the gate bulk resistance and the inductance of the control circuit.

### Switching with Resistive Load

A control generator of defined internal resistance  $R_i$  is used for supplying a square-wave output voltage (cf. test circuit for switching times).

**Einschaltvorgang**

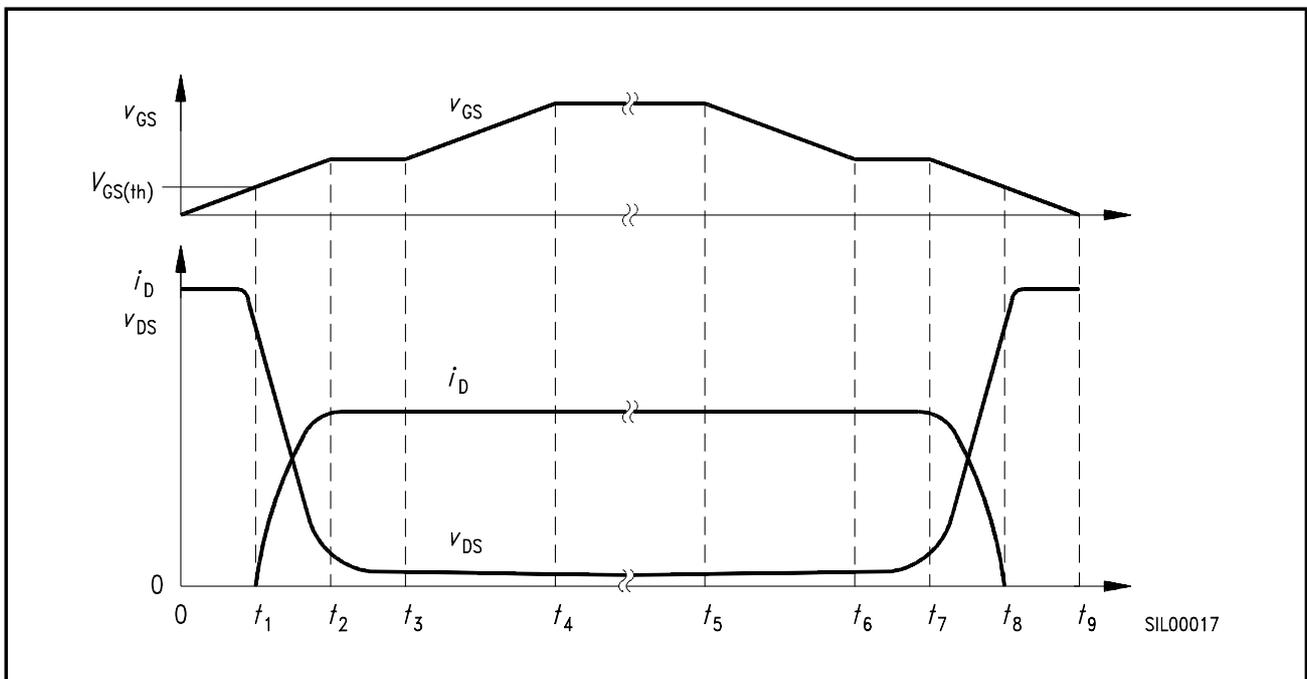
Zum Zeitpunkt  $t_0$  wird der Transistor angesteuert (vgl. **Bild 15**). Die Gate-Source-Spannung  $V_{GS}$  steigt entsprechend dem Ladevorgang, der durch die Eingangskapazität  $C_{iss}$  und den Innenwiderstand  $R_i$  der Steuerschaltung entsteht.

Sobald die Einsatzspannung im Zeitpunkt  $t_1$  erreicht ist, beginnt der Transistor Strom zu führen. Die Drain-Source-Spannung  $V_{DS}$  sinkt entsprechend dem zunehmenden Spannungsabfall am Lastwiderstand.

**Turn-On**

The transistor is triggered at  $t_0$  (cf. **Figure 15**). The gate-source voltage  $V_{GS}$  rises in accordance with the charging process resulting from the input capacitance  $C_{iss}$  and the internal resistance  $R_i$  of the control circuit.

As soon as the threshold voltage is reached at  $t_1$ , the transistor starts conducting current. The drain-source voltage  $V_{DS}$  falls in accordance with the increasing voltage drop at the load resistor.



**Bild 15**  
**Schaltvorgang bei ohmscher Last**

Im Zeitabschnitt  $t_1$  bis  $t_2$  steigt der Drainstrom  $I_D$ . Dabei wird die zu diesem Zeitpunkt kleine Miller-Kapazität mit dem Drain-Source-Spannungshub entladen, und gleichzeitig nimmt die Gate-Source-Spannung  $V_{GS}$  entsprechend der Transfer-Kennlinie zu. Im Zeitpunkt  $t_2$  ist die Drain-Source-Spannung  $V_{DS}$  gleich der Gate-Source-Spannung  $V_{GS}$ . Nun wirkt die stark

**Figure 15**  
**Switching Operation with Resistive Load**

The drain current  $I_D$  rises between  $t_1$  and  $t_2$ . The currently low Miller capacitance is discharged with the drain-source voltage excursion and the gate-source voltage  $V_{GS}$  rises simultaneously in accordance with the transfer characteristic. The drain-source voltage  $V_{DS}$  equals the gate-source voltage  $V_{GS}$  at  $t_2$ . The Miller capacitance, now far higher, then takes effect. The tran-

erhöhte Miller-Kapazität. Im Zeitabschnitt  $t_2$  bis  $t_3$  arbeitet der Transistor als Miller-Integrator, d.h. die Gate-Source-Spannung bleibt konstant, während der Gate-Ladestrom über die Miller-Kapazität fließt und zu einer weiteren Drain-Source-Spannungsabsenkung führt.

Im Zeitpunkt  $t_3$  hat die Drain-Source-Spannung das Bereichsende des Ausgangskennlinienfeldes und die Miller-Kapazität ihren größten Wert erreicht. Im Verlauf  $t_3$  bis  $t_4$  wird die Eingangskapazität  $C_{iss}$  auf das Niveau der angelegten Steuerspannung geladen. Dabei verringert sich der Kanalwiderstand weiter. Dies ist im Kennlinienfeld an der Kurvenscharscherung im ohmschen Bereich zu erkennen.

Im Zeitpunkt  $t_4$  hat der Transistor seinen niedrigsten Durchlaßwiderstand (Einschaltwiderstand  $R_{DS(on)}$ ) erreicht (entspricht der Drain-Source-Restspannung dividiert durch den Drainstrom).

### Abschaltvorgang

Der Abschaltvorgang wird im Zeitpunkt  $t_5$  durch das Ausschalten der Steuerspannung eingeleitet. Die zu diesem Zeitpunkt höchste Eingangskapazität  $C_{iss}$  entlädt sich über den Innenwiderstand  $R_i$  des Ansteuergenerators. Die Gate-Source-Spannung sinkt auf einen Wert, bei dem der momentane Drainstrom gerade noch im ohmschen Bereich des Kennlinienfeldes gehalten werden kann. Dies ist im Zeitpunkt  $t_6$  erreicht, wobei der Durchlaßwiderstand geringfügig zugenommen hat.

Im Zeitabschnitt  $t_6$  bis  $t_7$  wirkt der Transistor wiederum als Miller-Integrator, d.h. die Gate-Source-Spannung bleibt konstant, während der Gate-Steuerstrom vollständig über die noch immer erhöhte Miller-Kapa-

sistor operates as a Miller integrator between  $t_2$  and  $t_3$ , i.e. the gate-source voltage remains constant while the gate charging current flows across the Miller capacitance and results in a further drop in drain-source voltage.

At  $t_3$  the drain-source voltage has reached the end of the range of the family of characteristics, and the Miller capacitance has reached its highest value. The input capacitance  $C_{iss}$  is charged to the level of the applied control voltage between  $t_3$  and  $t_4$ . The channel resistance is reduced further. This can be seen in the family of characteristics at the shear of the family of curves in the ohmic region.

The transistor has reached its lowest forward resistance (ON resistance  $R_{DS(on)}$  at  $t_4$  (corresponding to the drain-source saturation voltage divided by the drain current).

### Turn-Off

Turn-off is initiated at  $t_5$  by switching off the control voltage. The input capacitance  $C_{iss}$ , which is at its highest at this point in time, is discharged via the internal resistance  $R_i$  of the drive generator. The gate-source voltage falls to a value at which the instantaneous drain current can just be maintained in the ohmic region of the family of characteristics. This is achieved at  $t_6$ , the forward resistance having increased slightly.

Between  $t_6$  and  $t_7$  the transistor again acts as a Miller integrator, i.e. the gate-source voltage remains constant while the gate control current flows completely across the Miller capacitance, which is still high, and

azität fließt und zu einem Drain-Source-Spannungsanstieg führt. Im Zeitpunkt  $t_7$  herrscht Spannungsgleichheit zwischen der momentanen Gate-Source-Spannung und der Drain-Source-Spannung, d.h. die Miller-Kapazität sinkt auf einen kleinen Wert.

Im Zeitabschnitt  $t_7$  bis  $t_8$  erfolgt die Ladung der nun kleineren Miller-Kapazität entsprechend der rasch ansteigenden Drain-Source-Spannung. Gleichzeitig nimmt der Drainstrom entsprechend dem sinkenden Spannungsabfall am Lastwiderstand ab, ebenso die Gate-Source-Spannung.

Im Zeitpunkt  $t_8$  ist die Einsatzspannung erreicht und der Transistor vollständig gesperrt. Danach folgt die Entladung der Eingangskapazität auf das Steuerspannungsniveau im Zeitabschnitt  $t_8$  bis  $t_9$ .

results in a rise in the drain-source voltage. The instantaneous gate-source voltage and the drain-source voltage are at equilibrium at  $t_7$ , i.e. the Miller capacitance falls to a low value.

Between  $t_7$  and  $t_8$  the Miller capacitance, now lower, is charged in accordance with the rapidly rising drain-source voltage. At the same time the drain current falls at the load resistor in accordance with declining voltage drop, and the gate-source voltage likewise.

The threshold voltage is reached at  $t_8$ , and the transistor is completely reverse-biased. This is followed by discharging of the input capacitance to control voltage level between  $t_8$  and  $t_9$ .

## 9 Sicherer Arbeitsbereich (SOA)

## Safe Operating Area

Der SIPMOS-Transistor ist aufgrund seiner Technologie ein überaus robustes Bauelement. Die Zellenstruktur bewirkt eine vorteilhafte Verlustwärmeverteilung im Chip; der positive Temperaturkoeffizient aller an der Stromführung beteiligten Bereiche sorgt für eine Eigenstabilisierung. Die Source-Metallisierung bildet einen sicheren Kurzschluß für die Basis-Emitter-Strecke des im Transistor enthaltenen parasitären Bipolar-Transistors. Auf diese Weise wird ein *Aufsteuern* dieses Bipolar-Transistors mit der möglichen Folge eines zweiten Durchbruchs in allen Betriebsfällen verhindert (Ausnahme: bei zu hohen Kommutierungssteilheiten des Inversdiodenstroms).

Besonders erwähnenswert ist die hohe Strombelastbarkeit eines SIPMOS-Transistors. So ist z.B. ein gepulster Drainstrom in vierfacher Höhe zulässig (bezogen auf den zulässigen DC-Drainstrom).

Kurzzeitig darf dieser Pulsdrainstrom sogar bei maximaler Sperrspannung geführt werden (vgl. **Bild 16**). Dabei darf die Sperrspannung jedoch nicht, auch nicht kurzzeitig, überschritten werden. Neben den im Datenblatt angegebenen Grenzwerten für die Draingleichstrom ist der gesamte thermische Widerstand  $R_{(th)JA}$  (Chip-Umgebung) maßgebend für den zulässigen Drainstrom im Betrieb.

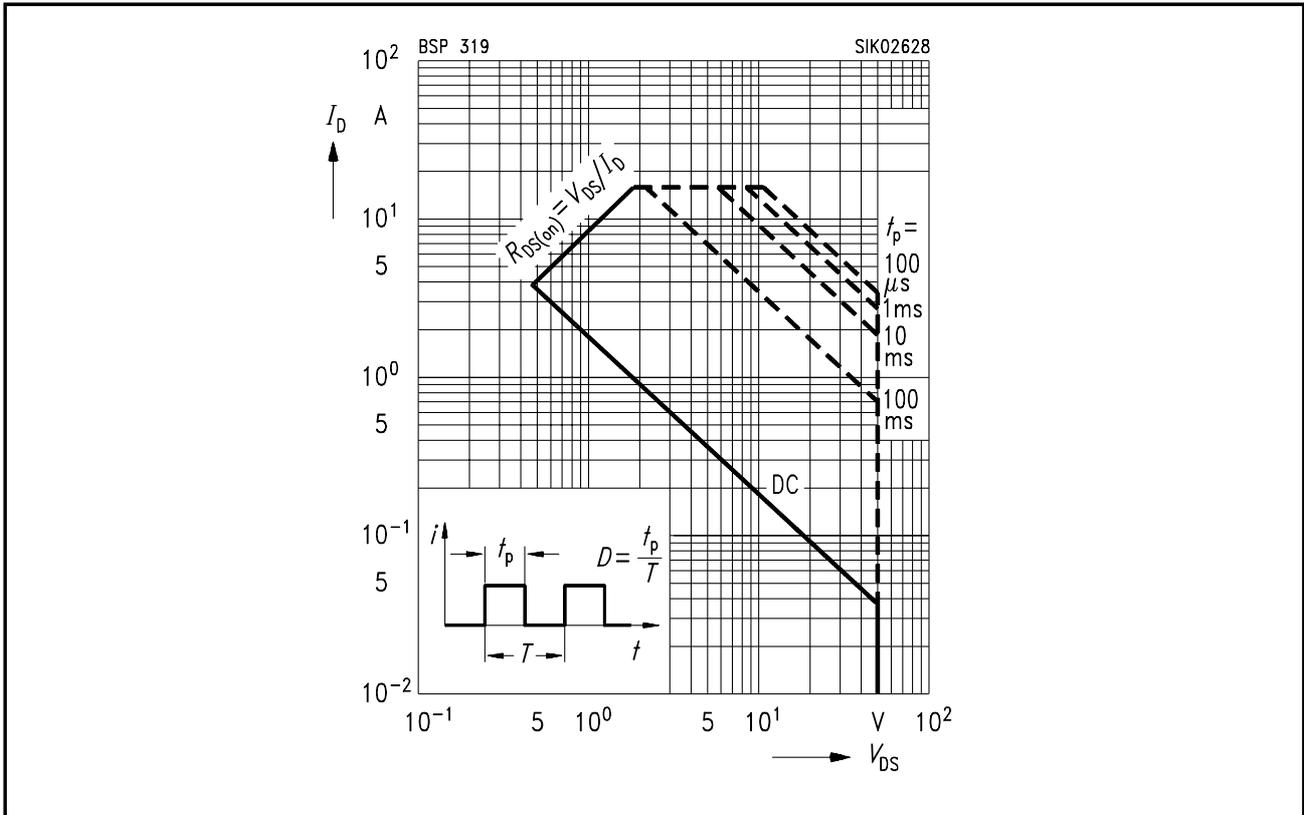
## 9 Safe Operating Area (SOA)

## Safe Operating Area

By virtue of its technology, the SIPMOS transistor is an extremely robust device. Its cellular structure ensures advantageous dissipation-heat distribution over the chip; the positive temperature coefficient of all current-conducting areas ensures inherent stabilization. The source plating forms a reliable short-circuit for the base-emitter junction of the parasitic bipolar transistor contained in the transistor. In this way *bi-asing* of this bipolar transistor, with the possible consequence of second breakdown in all operating cases, is prevented. (An exception to this occurs at high rates of commutation current rise of the inverse diode current.)

Particular mention should be made of the high current-carrying capacity of a SIPMOS transistor. A fourfold pulsed drain current (relative to the permissible DC drain current) is permissible, for example.

In the short term this pulsed drain current can even be conducted at maximum reverse voltage (cf. **Figure 16**). In this case the reverse voltage must not be exceeded, not even briefly. Apart from the maximum ratings for the DC drain current shown in the data sheet, the total thermal resistance  $R_{(th)JA}$  (chip to ambient air) is decisive for the drain current permissible in operation.



**Bild 16**  
**Sicherer Arbeitsbereich**  
 (Beispiel: BSP 319,  
 Parameter:  $D = 0,01$ ,  $T_C = 25\text{ °C}$ )

**Figure 16**  
**Safe operating area**  
 (example: BSP 319,  
 parameters:  $D = 0.01$ ,  $T_C = 25\text{ °C}$ )

**10 Inversdiode**

Bedingt durch den Transistoraufbau fließt bei negativer Drain-Source-Spannung ein Strom über den pn-Übergang von Source zu Drain. Diese Diodenfunktion ist ein integraler Bestandteil und wird in den Datenblättern spezifiziert. Die Durchlaßspannung der Inversdiode beträgt 1 ... 1,5 V. Die Sperrverzögerungszeit ist typabhängig und beträgt bei 50-V-Typen ca. 150 ns und steigt mit höher werdender Transistor-Sperrspannung bis ca. 1800 ns an.

Beim Einsatz in Halb- oder Vollbrückenschaltungen mit induktiver Last liegt es nahe, die vorhandene Inversdiode als Freilaufdiode zu verwenden. Das kann bei Sperrspannungen > 200 V auf Grund der relativ hohen Sperrverzögerungszeiten während der Kommutierung zu Problemen führen. Erfolgt die Kommutierung zu schnell (großes  $di_f/dt$ ) kann es bei Standard-Transistoren zum Einschalten des parasitären Bipolar-Transistors und damit zur Zerstörung des MOSFET kommen.

**10 Inverse Diode**

The transistor structure causes a current to flow across the pn-junction from source to drain with negative drain-source voltage. This diode function is an integral component and is specified in the data sheets. The forward voltage of the inverse diode is 1 to 1.5 V. The reverse recovery time depends on the type concerned, and for 50 V types it is approximately 150 ns, rising to about 1800 ns with increasing reverse voltage of the transistor.

When used in half-bridge or full-bridge circuits with an inductive load, it is advisable to use the integrated inverse diode as a free-wheeling diode. At reverse voltages above 200 V this may result in problems during commutation due to the relatively high reverse recovery times. If commutation is performed too quickly (high  $di_f/dt$ ), it might result in the parasitic bipolar transistor being turned on, and thus in the MOSFET being destroyed, in the case of standard transistors.

11 Wärmewiderstand

11 Thermal Resistance

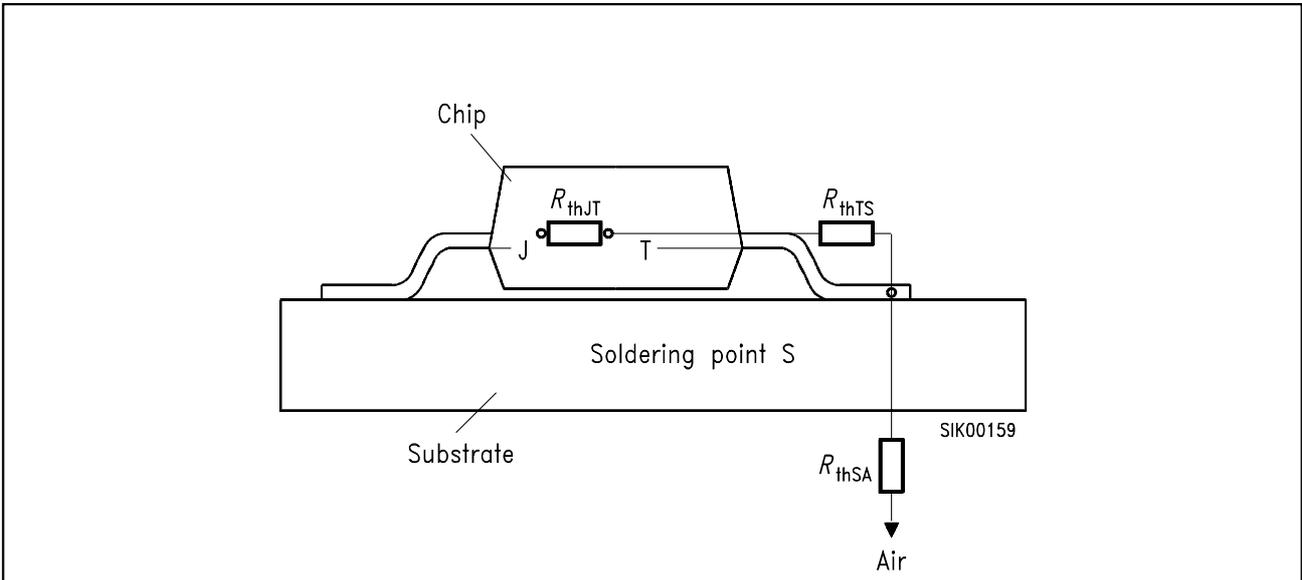


Bild 17

Figure 17

SMD-Gehäuse

Bei SMD-Gehäusen wird die Wärme vor allem über die Anschlußstifte abgeleitet. Der Gesamtwärmewiderstand setzt sich in diesem Fall wie folgt zusammen:

SMD Packages

In SMD packages the heat is primarily dissipated via the pins. The total thermal resistance in this case is made up of the following components:

$$R_{thJA} = R_{thJT} + R_{thTS} + R_{thSA}$$

$$R_{thJS} = R_{thJT} + R_{thTS}$$

- $R_{thJA}$  Wärmewiderstand zwischen Sperrschicht und Umgebung (Gesamtwärmewiderstand)
- $R_{thJS}$  Wärmewiderstand zwischen Sperrschicht und Lötspunkt
- $R_{thJT}$  Wärmewiderstand zwischen Sperrschicht und Träger (Wärmewiderstand des Chips)
- $R_{thTS}$  Wärmewiderstand zwischen Chip-Basis und Lötspunkt (Gehäuse/ Legierungsschicht)
- $R_{thSA}$  Wärmewiderstand zwischen Lötspunkt und Umgebung (Wärmewiderstand des Substrats)

- $R_{thJA}$  thermal resistance between junction and ambient (total thermal resistance)
- $R_{thJS}$  thermal resistance between junction and soldering point
- $R_{thJT}$  thermal resistance between junction and chip base (chip thermal resistance)
- $R_{thTS}$  thermal resistance between chip base and soldering point (package/ alloy layer)
- $R_{thSA}$  thermal resistance between soldering point and ambient (substrate thermal resistance)

$R_{thJS}$  umfaßt alle typenabhängigen Größen. Bei gegebener Verlustleistung  $P_{tot}$  kann diese zur genauen Bestimmung der Chip-Temperatur eingesetzt werden, wenn die Temperatur  $T_S$  des wärmsten Löt punkts gemessen wird (Drain-Anschluß):

$R_{thJS}$  contains all type-dependent quantities. For a given power dissipation  $P_{tot}$  it is possible to use it to precisely determine the chip temperature if the temperature  $T_S$  of the warmest soldering point is measured (Drain lead):

$$T_J = T_S + P_{tot} \times R_{thJS}$$

Die Temperatur des Löt punkts  $T_S$  wird durch die Anwendung bestimmt, d.h. durch das Substrat, durch die von externen Komponenten erzeugte Wärme und durch die Umgebungstemperatur  $T_A$ . Diese Komponenten bilden gemeinsam den Wärmewiderstand  $R_{thSA}$  des Substrats, der schaltungsabhängig und durch Wärmeableitungsmaßnahmen beeinflussbar ist.

The temperature of the soldering point  $T_S$  is determined by the application, i.e. by the substrate, heat produced by external components and the ambient temperature  $T_A$ . These components combine to form the substrate thermal resistance  $R_{thSA}$  that is circuit-dependent and can be influenced by heat dissipation measures.

$$T_S = T_A + P_{tot} \times R_{thSA}$$

Ist die Messung der Löt punkttemperatur  $T_S$  nicht möglich oder reicht eine Schätzung der Sperrschichttemperatur aus, so kann  $R_{thSA}$  aus den unten gezeigten Diagrammen abgelesen werden. Hier wird ein Näherungswert des Wärmewiderstands  $R_{thSA}$  zwischen dem Löt punkt auf einem Epoxid- oder Keramik-Substrat und unbewegter Luft als Funktion der Kollektormontage- oder Keramikfläche angegeben. Der Parameter ist die verbrauchte Leistung, d.h. die Wärme  $T_S - T_A$  der Leiterplatte. Somit gilt in diesem Fall für die Betriebstemperatur:

If measurement of the temperature of the soldering point  $T_S$  is not possible, or if estimation of the junction temperature is sufficient,  $R_{thSA}$  can be read from diagrams below. Here we give an approximate value of the thermal resistance  $R_{thSA}$  between the soldering point on an epoxy or ceramic substrate and still air as a function of the area of the collector mounting or ceramic. The parameter is the dissipated power i. e. the heat  $T_S - T_A$  of the pc board. So in this case for the operating temperature:

$$T_J = T_A + P_{tot} \times (R_{thJS} + R_{thSA})$$

Der Gesamtwärmewiderstand  $R_{thJA}$  wird zu Vergleichszwecken angegeben. In Abhängigkeit von der charakteristischen Verwendung des Bauelements werden folgende

The total thermal resistance  $R_{thJA}$  is stated for comparison purposes. Depending on the typical component application, substrates of the following kinds are used for

Substrattypen als Referenz herangezogen:

**Gehäuse SOT-23 und SOT-89**

Keramiksubstrat:  
15 mm × 16,7 mm × 0,7 mm (Aluminium)

**Gehäuse SOT-223**

Epoxid-Leiterplatte:  
40 mm × 40 mm × 1,5 mm mit 6 cm<sup>2</sup> Kupferfläche für Drain-Anschluß

**Gehäuse TO-92**

Ohne Kühlkörper

Die beiden folgenden Diagramme zeigen näherungsweise den Wärmewiderstand SA in Abhängigkeit von der Substratfläche, wobei angenommen wird, daß sich der Prüfling im Zentrum eines praktisch quadratischen Substrats befindet.

**Wärmeableitung von Epoxid-Leiterplatte in Umgebungsluft**

(Montageplatte: Cu, 35 µm/Substrat: Epoxid, 1,5 mm) Drain-Montagefläche

reference:

**Package SOT-23 and SOT-89**

Ceramic substrate:  
15 mm × 16.7 mm × 0.7 mm (aluminum)

**Package SOT-223**

Epoxy pcb: 40 mm × 40 mm × 1.5 mm with 6 cm<sup>2</sup> copper area for drain connection

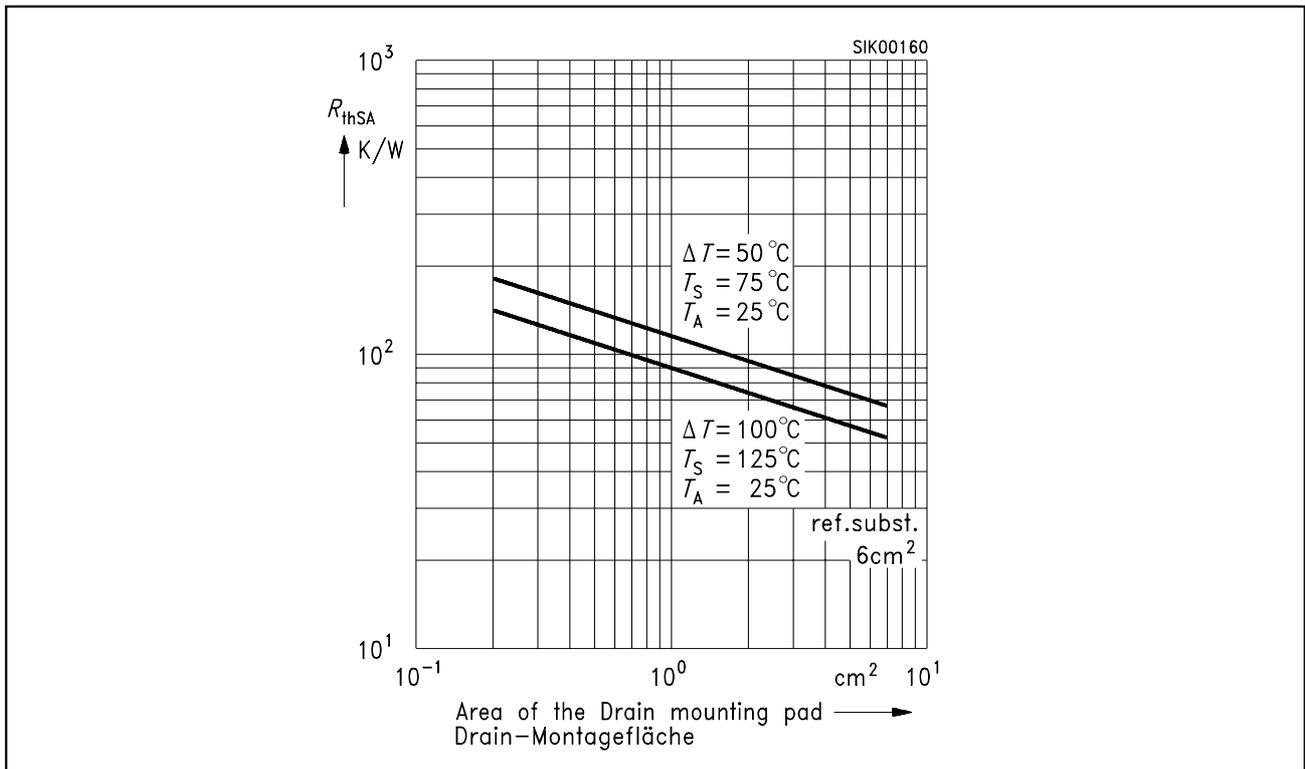
**Package TO-92**

Without heat sink

The two diagrams below show, to an approximation, the thermal resistance as a function of the substrate area, assuming that the test device is located in the center of a virtually square substrate.

**Heat Dissipation from Epoxy PCB Board to Ambient Air**

(mounting pad Cu 35 µm/substrate: epoxy 1.5 mm)



**Bild 18**

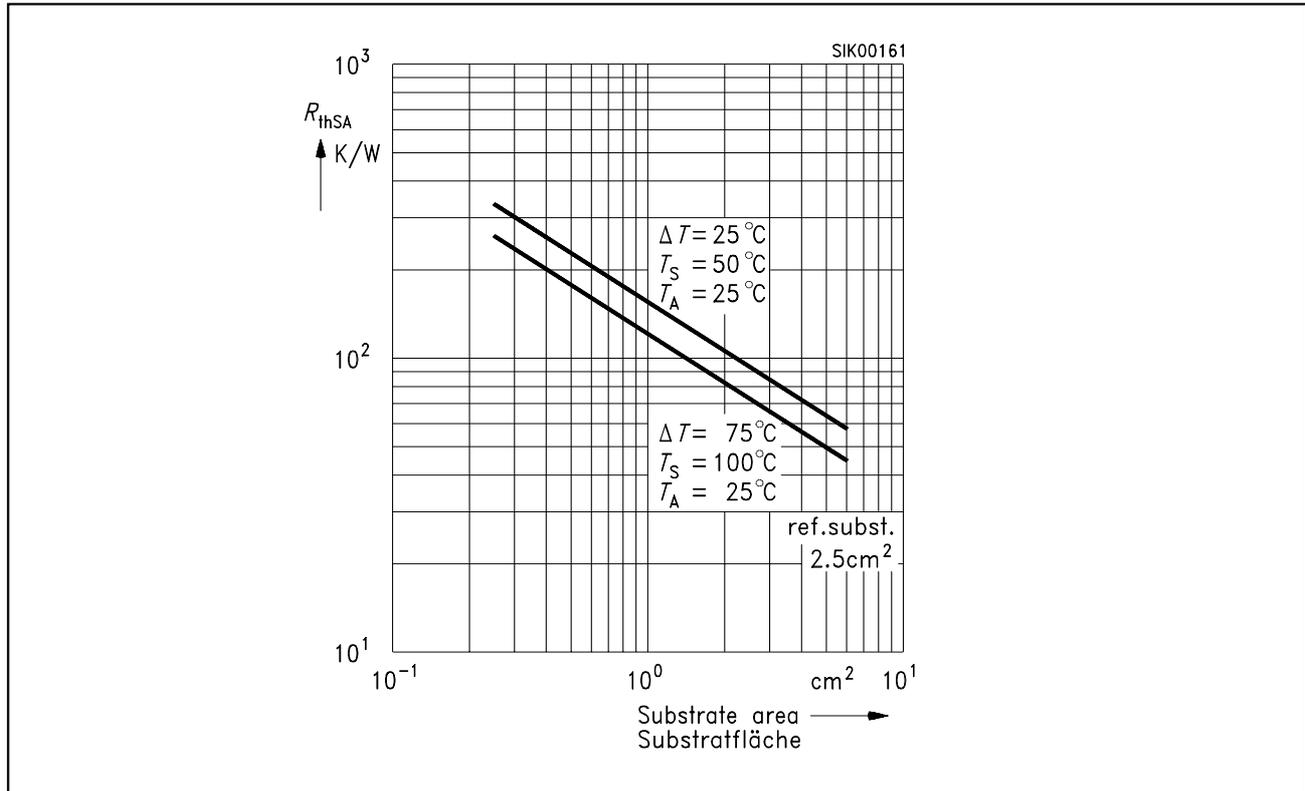
**Figure 18**

**Wärmeableitung von Al<sub>2</sub>O<sub>3</sub>-Substrat  
in Umgebungsluft**

(Substrat in ruhender Luft, vertikale  
Dicke 0,7 mm) Substratfläche

**Heat Dissipation from Al<sub>2</sub>O<sub>3</sub>  
– Substrate to Ambient Air**

(substrate in still air, vertical 0.7 mm thick)



**Bild 19**

**Figure 19**

**Gehäuse SOT-223**

Das Gehäuse SOT-223 vereint in sich alle Vorteile der Oberflächenmontage, läßt eine höhere Verlustleistung zu und ist so bereits zu einem Standard-SMD-Gehäuse (191 IEC I-129 E-a) für diskrete Halbleiter im mittleren Leistungsbereich geworden. Die breite Kollektor- oder Drain-Anschlußfahne leitet den Großteil der im Chip erzeugten Wärme auf die Leiterplatte ab. Die Effektivität der Wärmeableitung wird in erster Linie durch das Material und die Auslegung der Leiterplatte bestimmt. Bei geeigneter Konstruktion der Kollektoran-schlußfläche mit Berücksichtigung der Umgebungstemperatur läßt sich bei

**Package SOT-223**

The SOT-223 package combines all the advantages of surface mounting, permits higher power dissipation and has thus already become a standard SMD package (191 IEC I-129 E-a) for discrete semi-conductors in the medium power range. Its wide collector or drain pin conducts the majority of the heat produced in the chip away to the circuit board. The effectiveness of heat dissipation is determined primarily by the material and layout of the board, meaning that if the collector pin area is designed appropriately and allowing for ambient temperature, levels of power dissipation up to 1.8 W can be

SIPMOS-Kleinsignaltransistoren eine Verlustleistung in Höhe von max. 1,8 W erzielen.

Die in den Datenblättern für Kleinsignaltransistoren angegebene maximale Verlustleistung von 1,8 W beim Gehäuse SOT-223 setzt eine Epoxidleiterplatte der Abmessungen 40 mm × 40 mm × 1,5 mm als Substrat und eine Kupferfläche von 6 cm<sup>2</sup> voraus.

Diese Anordnung bietet einen thermischen Gesamtwiderstand (d.h. zwischen Chip und Umgebung)  $R_{thJA} = 72$  K/W, der sich aus folgenden thermischen Teilwiderständen zusammensetzt:  $R_{thJT}$  zwischen dem Chip und den Anschlüssen des Bauelements,  $R_{thTC}$  zwischen den Anschlüssen und den Lötflächen des Substrats und  $R_{thSA}$  zwischen dem Substrat und der Umgebung.

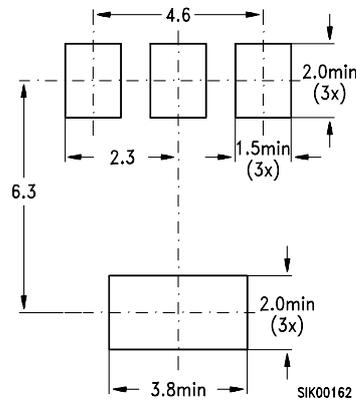
Der thermische Gesamtwiderstand  $R_{thJA}$  wird hauptsächlich durch die Wärmeleitung zwischen den Lötflächen des Substrats und der Umgebung bestimmt. Während die Werte des Wärmewiderstands  $R_{thJT} = 1 \dots 3$  K/W und  $R_{thTS} = 5 \dots 7$  K/W durch die Struktur des Transistors in seinem Gehäuse vorgegeben werden, hängt der Wärmewiderstand  $R_{thSA}$  von der Montage des Bauelements auf der Leiterplatte ab und muß 64 K/W betragen, damit die maximale Verlustleistung von 1,8 W erreicht wird.

achieved even with small-signal transistors.

The maximum power dissipation of 1.8 W stated in the data sheets of small-signal transistors for an SOT-223 package calls for an epoxy circuit board of 40 mm × 40 mm × 1.5 mm as the substrate and a 6 cm<sup>2</sup> copper area.

This kind of arrangement has a total thermal resistance (i.e. between the chip and its ambient) of  $R_{thJA} = 72$  K/W, which is composed of the partial thermal resistances between the chip and the pins  $R_{thJT}$ , between the pins and the solder surfaces of the substrate  $R_{thTC}$  and between the substrate and the ambient  $R_{thSA}$ .

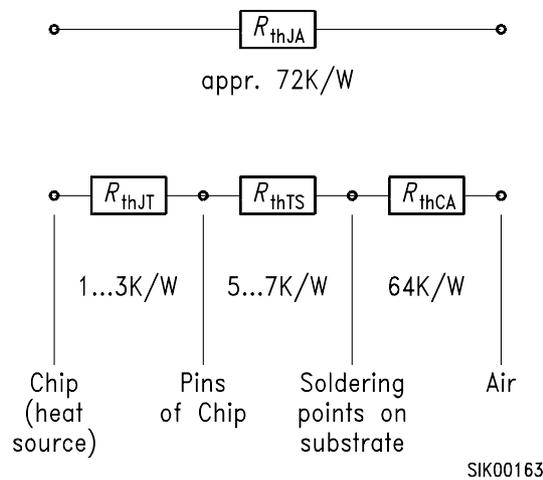
The total thermal resistance  $R_{thJA}$  is mainly determined by the conduction of heat between the solder surfaces of the substrate and the environment. Whereas the values of thermal resistance  $R_{thJT} = 1 \dots 3$  K/W and  $R_{thTS} = 5 \dots 7$  K/W are given by the structure of the transistor in its package, the thermal resistance  $R_{thSA}$  depends on the mounting of the component on the board and must be 64 K/W for the maximum power dissipation of 1.8 W to be achieved.



dimensions in mm

Montageflächen für Transistoren im SOT-223.

The dimensions of the foot prints for transistors in an SOT-223 package.



Der Wärmewiderstand  $R_{thCA}$  zwischen den Kontaktflächen der Leiterplatte und der Luft ist entscheidend für die erforderliche Verlustleistung von SOT-223-Gehäusen.

The thermal resistance  $R_{thCA}$  between the contact surfaces of the circuit board and air is very decisive for the dissipation necessary in SOT-223 packages.

Bild 20

Figure 20

## Gehäuse TO-92

Hier ist statt der Anschlußstifte hauptsächlich das Gehäuse für die Wärmeübertragung vom Bauelement in seine Umgebung verantwortlich. Deshalb ist „S“ (für Löt-punkt) durch „C“ (für Gehäuse) zu ersetzen.

## TO-92 Package

Here, instead of the pins, it is primarily the case that is responsible for heat transfer from the component to its environment. So “S” for soldering point is replaced by “C” for case.

$$R_{thJA} = R_{thJT} + R_{thTC} + R_{thCA}$$

$R_{thJA}$  Wärmewiderstand zwischen Sperrschicht und Umgebung. Die Sperrschichttemperatur resultiert aus der Verlustleistung  $P_{tot}$  und der Umgebungstemperatur (Luft)  $T_A$ :

$R_{thJA}$  thermal resistance between junction and ambient. The junction temperature is the result of the power dissipation  $P_{tot}$  and the ambient temperature (air)  $T_A$ :

$$T_J = T_A + P_{tot} \times R_{thJA}$$

$R_{thJC}$  Wärmewiderstand zwischen Sperrschicht und Gehäuse  $T_C$ . Die Sperrschichttemperatur wird aus  $T_C$  (Gehäusetemperatur) und  $P_{tot}$  errechnet.

$R_{thJC}$  thermal resistance between junction and case  $T_C$ . The junction temperature is calculated from  $T_C$  (case temperature) and  $P_{tot}$ .

$$T_J = T_C + P_{tot} \times R_{thJC}$$

## Temperaturmeßmethoden der Bauelementanschlüsse

- **Messen mit Thermoelement**  
Das Messen erfolgt mittels Miniatur-Mantel-Thermoelement mit niedriger Wärmekapazität. Das Thermoelement ist mit Wärmeleitpaste überzogen und wird gegen den Kollektoranschluß gedrückt. Der Einfluß des Meßobjektes ist äußerst gering, und der Meßfehler beträgt nur wenige Prozent.
- **Messen mit Temperaturindikatoren** (z.B. Thermopapier)

Beim Messen mit Temperaturindikatoren kann die Temperatur ohne zusätzli-

## Temperature Measuring Methods of Device Connections

- **Measuring with a thermocouple**  
Measurements are made with a miniature clad thermocouple of low thermal capacity. The thermocouple is coated with a thermally conductive paste and pressed against the collector connection. The influence of the device under test is extremely slight, and the measuring error is only a few percent.
- **Measuring with temperature indicators** (e.g. temperature-sensitive paper)

When temperature indicators are used for measuring purposes, the temperature can

che Wärmeableitung und somit fast fehlerfrei bestimmt werden. Der entsprechende Fehler ist praktisch nur durch die Abstufung und der Toleranz der Temperaturindikatoren gegeben. Diese Methode ist einfach durchzuführen und dabei aus-reichend genau. Sie eignet sich besonders für Messungen auf Platinen.

be determined without additional heat dissipation and thus virtually without error. The associated error is due nearly entirely to the gradation and the tolerance of the temperature indicators. This method is simple to implement, and sufficiently accurate at the same. It is particularly suitable for measurements on printed circuit boards.

**Zulässige Gesamtverlustleistung im Gleichstrombetrieb**

Die Gesamtverlustleistung  $P_{tot}$  definiert den maximalen Temperaturgradienten im Bauelement. Infolge der Erwärmung der Bauelemente ist die in den Datenblättern angegebene maximale Gesamtverlustleistung  $P_{tot}$  nur bis zu den Grenzwerten  $T_{S\ max}$  oder durch SMD-Transistoren,  $T_{C\ max}$  ( $R_{thJC}$ ) durch herkömmliche Transistoren) oder  $T_{A\ max}$  zulässig. Diese kritischen Temperaturen beschreiben den Punkt, an dem die höchstzulässige Sperrschichttemperatur  $T_{J\ max}$  erreicht wird. Die höchstzulässige Umgebungs- oder Lötpointtemperatur wird wie folgt berechnet:

**Permissible Total Power Dissipation in DC Operation**

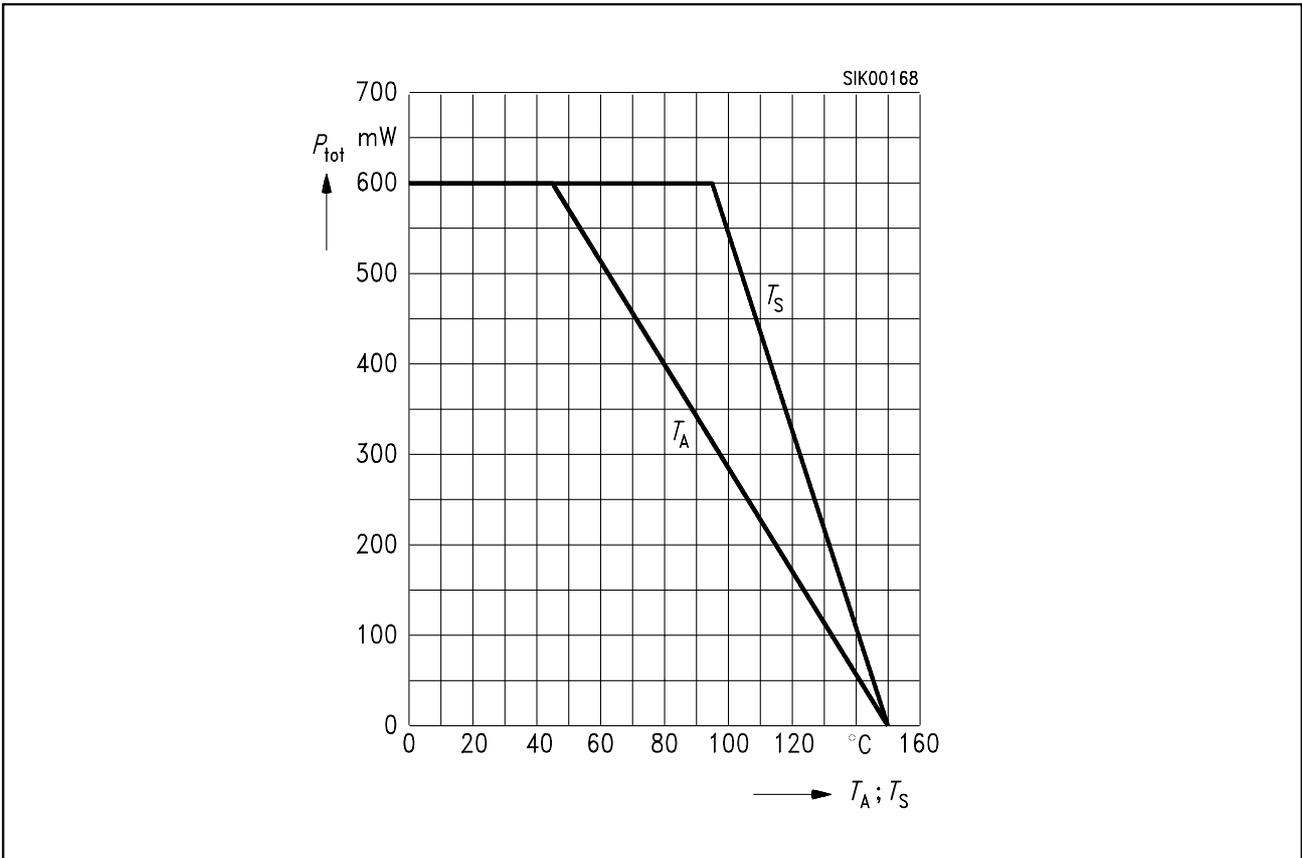
The total power dissipation  $P_{tot}$  defines the maximum thermal gradient in the component. As a result of the heating of components, the maximum total power dissipation  $P_{tot}$  stated in the data sheets is only permissible up to limits of  $T_{S\ max}$  or by SMD transistors or  $T_{C\ max}$  ( $R_{thJC}$ ) by conventional transistors or  $T_{A\ max}$ . These critical temperatures describe the point at which the maximum permissible junction temperature  $T_{J\ max}$  is reached. The maximum permissible ambient or soldering-point temperature is calculated as follows:

$$T_{S\ max} = T_{J\ max} - P_{tot} \times R_{thJS}$$

$$T_{A\ max} = T_{J\ max} - P_{tot} \times R_{thJA}$$

Für  $R_{thJA}$  wurde in jedem Fall das entsprechende Standard-Substrat verwendet. Die hier gezeigten Diagramme sind als Beispiele gedacht. Für die Anwendung ist die in den Datenblättern angegebene Kurve zu verwenden. Das Überschreiten der maximalen Temperaturwerte ist unzulässig, weil es die bleibende Verschlechterung der Eigenschaften des Bauelements oder sogar dessen Zerstörung nach sich ziehen kann.

For  $R_{thJA}$  the appropriate standard substrate was taken in each case. The diagram show here are intended as examples. For the application the curve given in the data sheet is to be taken. Exceeding the thermal max. ratings is not permissible because this could mean lasting degradation of the component's characteristics or even its destruction.



**Bild 21**  
**Gesamtverlustleistung  $P_{tot} = f(T_S; T_A^*)$**

**Figure 21**  
**Total Power Dissipation  $P_{tot} = f(T_S; T_A^*)$**

\*Gehäuse auf Aluminium-Substrat der Abmessungen 15 mm x 16,7 mm x 0,7 mm montiert.

\*Package mounted on aluminium 15 mm x 16.7 mm x 0.7 mm

**Zulässige Gesamtverlustleistung im Impulsbetrieb**

Im Impulsbetrieb kann unter bestimmten Umständen eine höhere Gesamtverlustleistung als im Gleichstrombetrieb zugelassen werden. Dies ist der Fall, wenn die Impulsdauer  $t_p$ , d.h. die Zeitspanne, in der Strom angelegt wird, im Vergleich zur thermischen Zeitkonstante des Systems klein ist. Diese Zeitkonstante, d.h. die Zeit bis zum Erreichen der Endtemperatur, hängt von der thermischen Kapazität und vom Wärmewiderstand von Chip, Gehäuse und Substrat des Bauelements ab. Die im Bauelement wirksame thermische Kapazität ist eine Funktion der Impulsdauer. Hier wird dies durch den transienten Wärmewiderstand beschrieben. Der Impulslast-Wärmewiderstand oder die daraus ableitbare zulässige Steigerung von  $P_{tot}$  wird in den folgenden Kurven beispielhaft gezeigt. Für Anwendungszwecke ist das entsprechende Datenblatt heranzuziehen.

**Permissible Total Power Dissipation in Pulse Operation**

In pulse operation, under certain circumstances, higher total power dissipation than in DC operation can be permitted. This will be the case when the pulse duration  $t_p$ , i.e. the length of time that power is applied, is small compared to the thermal time constant of the system. This time constant, i. e. the time until the final temperature is reached, depends on the thermal capacitances and resistances of the components chip, case and substrate. The thermal capacitance utilized in the component is a function of the pulse duration. Here we describe this through the transient thermal resistance. The pulse-load thermal resistance, or the permissible increase in  $P_{tot}$  that can be derived from it, is shown by way of examples in the following curves. For the application the particular data sheet will be taken.

$P_{tot}/P_{tot\ DC} = f(t_p)$
--------------------------------

Das Puls-Pausen-Verhältnis  $t_p/T$  wird als Parameter für periodische Impulsbelastung mit Periode  $T$  angegeben. Bei langer Impulsdauer nähert sich der Faktor  $\hat{P}_{tot}/P_{tot\ DC}$  dem Wert 1 an, d.h.  $P_{tot}$  im Impulsbetrieb kann dem Wert für Dauerlast gleichgesetzt werden. Bei extrem kurzer Impulsbreite wird andererseits der Temperaturanstieg infolge des Impulses (Restwelligkeit) vernachlässigbar, und im System wird eine mittlere Temperatur entsprechend dem Gleichstrombetrieb mit durchschnittlicher Impulsleistung erzeugt.

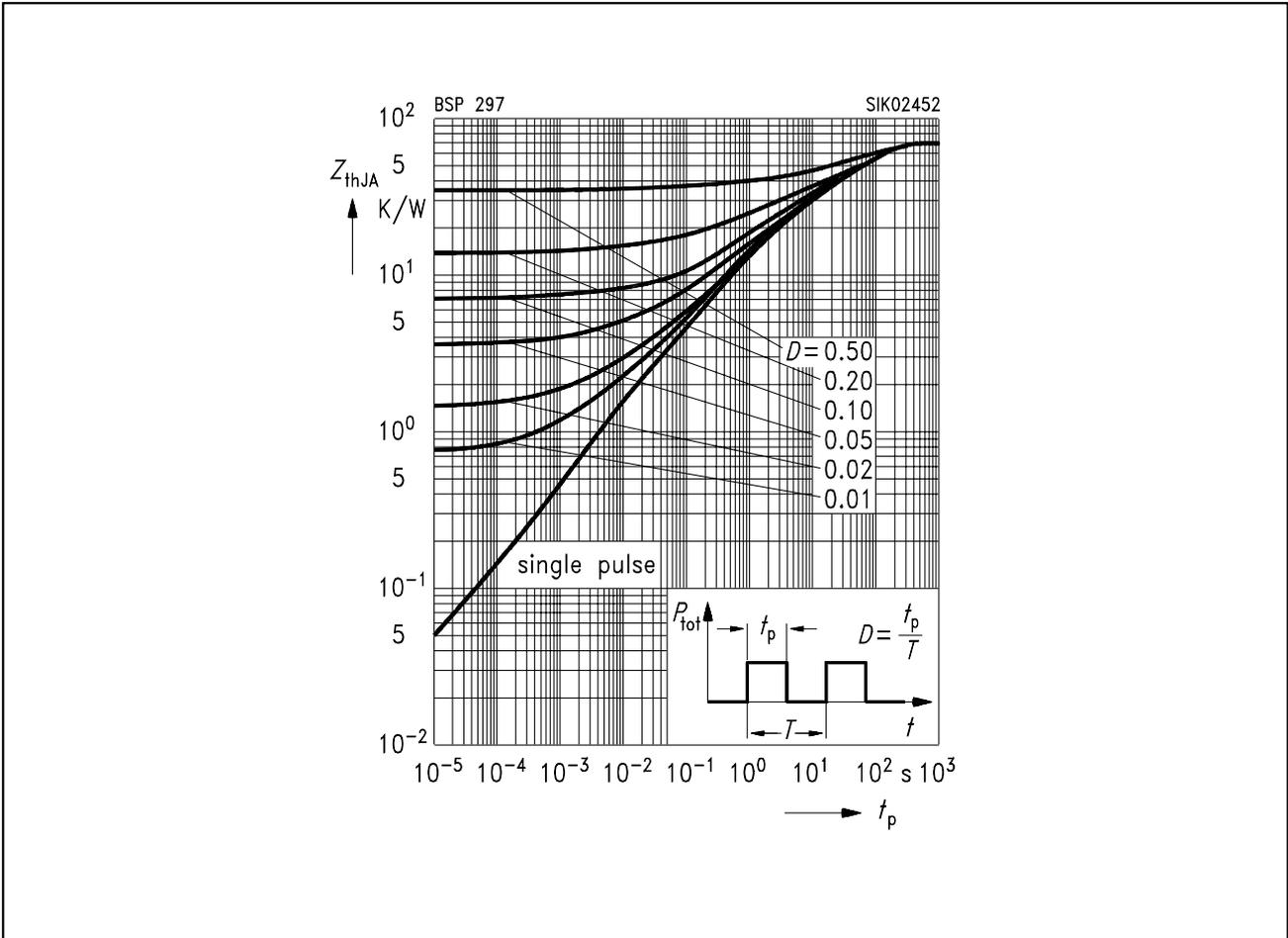
The duty cycle  $t_p/T$  is given as a parameter for periodic pulse load with a period of  $T$ . For long pulse durations the factor  $\hat{P}_{tot}/P_{tot\ DC}$  approaches a value of 1, i.e.  $P_{tot}$  in pulsed operation can be equated to the static value. At extremely short pulse widths, on the other hand, the increase in temperature as a result of the pulse (residual ripple) becomes negligible and a mean temperature is created in the system that corresponds to DC operation with average pulse power.

**Transienter Wärmewiderstand**

$$Z_{thJA} = f(t_p)$$

**Transient Thermal Impedance**

$$Z_{thJA} = f(t_p)$$

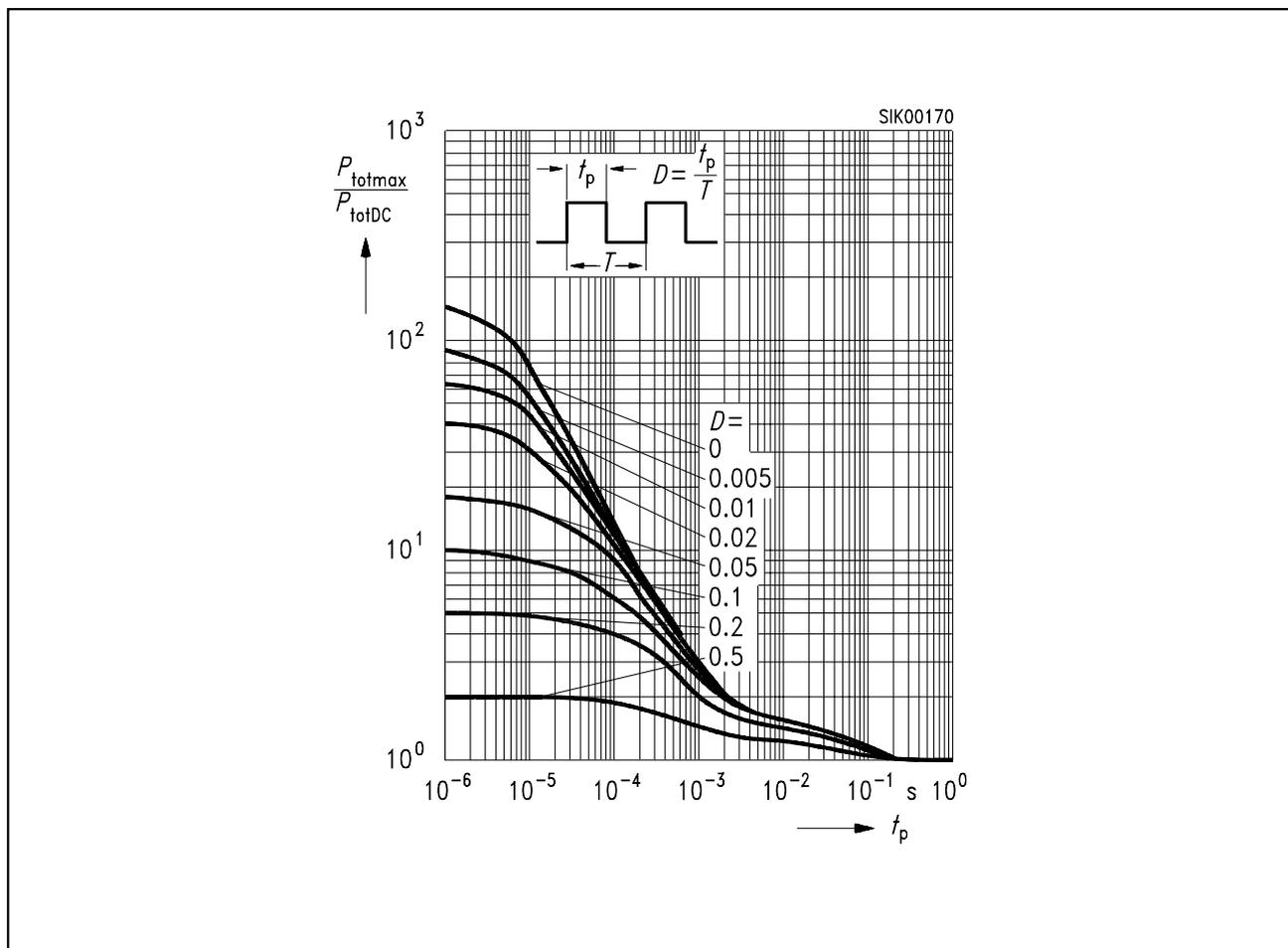


**Bild 22**

**Figure 22**

**Zulässige Impulslast  $\hat{P}_{\text{tot}} / P_{\text{tot DC}} = f(t_p)$**

**Permissible Pulse Load  $\hat{P} / P_{\text{tot DC}} = f(t_p)$**



**Bild 23**

**Figure 23**

**12 Spice-Parameter**

Spice-Parameter können auf Anfrage bereitgestellt werden. Bitte wenden Sie sich an Ihre zuständige Siemens-Dienststelle.

**12 Spice Parameter**

For information on spice parameters please contact your nearest Siemens Office, Semiconductor Group.

**13 SITAC-AC-Schalter**  
(SITAC = **S**iemens **I**solierter  
Thyristor **AC** Schalter)

Der SITAC ist ein Wechselstromschalter, bei dem Steuer- und Lastkreis optisch gekoppelt sind. Damit lässt sich durch einen Steuerstrom (wenige mA) am 220-V-Netz eine Last von 65 W (300 mA) direkt schalten. Trotz dieser relativ hohen Ansteuerempfindlichkeit ist der Ausgang des SITAC unempfindlich gegenüber steilen Spannungsanstiegsflanken ( $dv/dt_{cr} \geq 10.000 \text{ V}/\mu\text{s}$ ), hohen Stromanstiegsgeschwindigkeiten ( $di/dt_{cr} \geq 8 \text{ A}/\mu\text{s}$ ) sowie gegenüber jeglicher Kommutierungsbeanspruchung.

Ein besonderer Vorteil des SITAC ist die Fähigkeit, induktive Lasten problemlos zu schalten. Die maximale Betriebsfrequenz beträgt 1,5 kHz. Standardmäßig werden die Anforderungen einer sicheren elektrischen Trennung für Isolationgruppe C bei einer Bezugsspannung bis  $250 V_{AC}$  nach DIN VDE 0804/1.83 erfüllt. SITAC für eine maximale Betriebsisolationsspannung von 630 V nach VDE 0884 sind als Option 1 lieferbar.

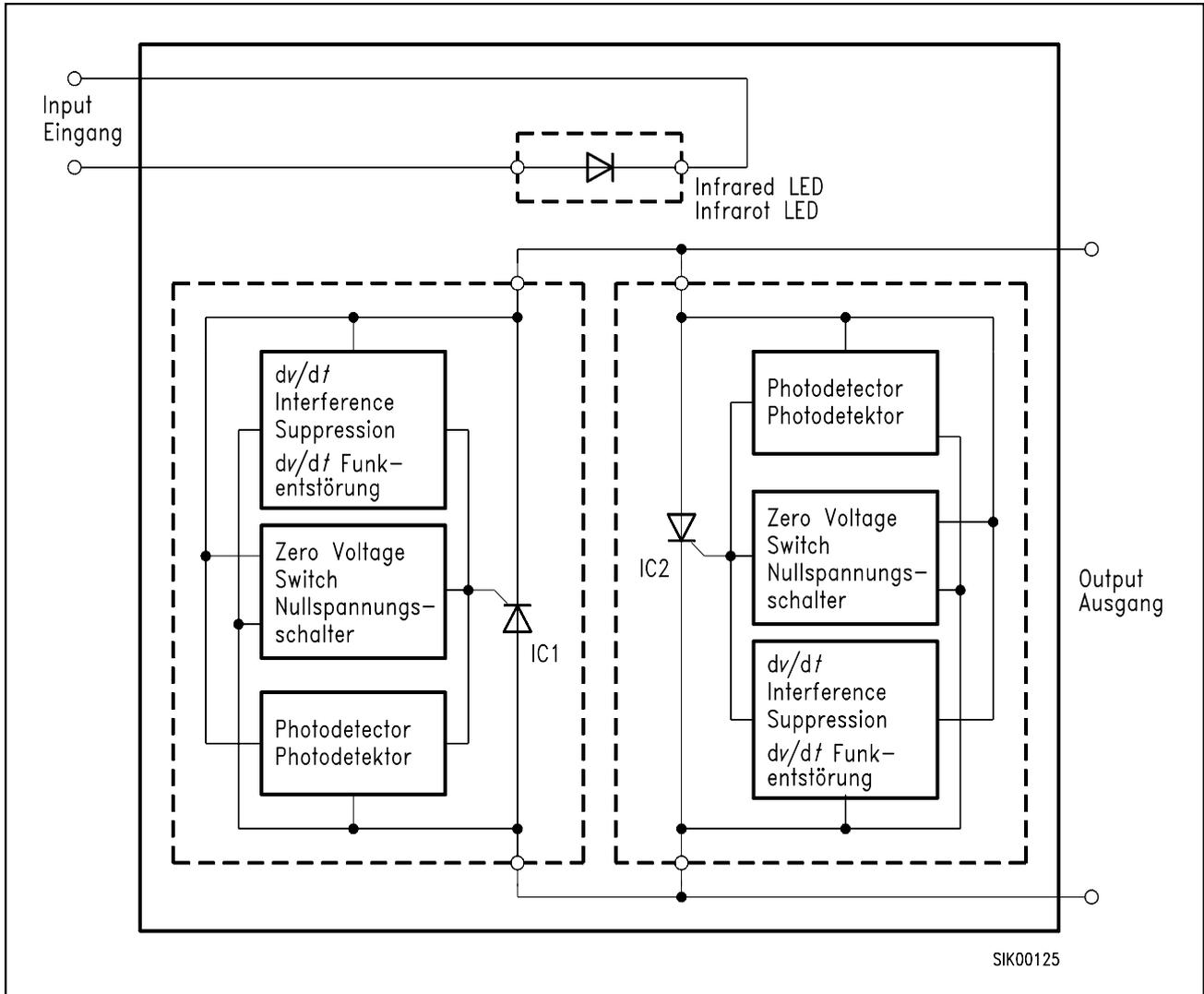
**13 SITAC AC Switch**  
(SITAC = **S**iemens **I**nsulated  
Thyristor **AC** Switch)

The SITAC AC switch consists of optically coupled input and output circuits which can directly switch a load of 65 W (300 mA) on a 220 V-line using a control current of a few mA only. Despite this relatively high control sensitivity, the output of the switch is neither sensitive to steep edges of voltage rise ( $dv/dt_{cr} \geq 10\,000 \text{ V}/\mu\text{s}$ ), high rates of current rise ( $di/dt_{cr} \geq 8 \text{ A}/\mu\text{s}$ ) nor to any commutation stress.

A special feature of the SITAC is the switching of inductive loads without problems. The maximum operating frequency is 1.5 kHz. The switch complies with the standards of safe electrical separation for insulation group C at a reference voltage up to  $250 V_{AC}$  according to DIN VDE 0804/1.83. SITAC switches for a maximum operating insulation voltage of 630 V in accordance with VDE 0884 are available as Option 1.

**Schaltungsentwurf**

**Circuit Design**



**Bild 24**

**Figure 24**

**Kommutierungsverhalten**

Bei Verwendung eines Triac am Ausgang ergeben sich wegen struktureller Verknüpfung der beiden integrierten Thyristorsysteme Schwierigkeiten bei der Kommutierung. Der Triac kann nach Abschalten des Steuerstroms durch Parasitärzündung weiter leitend bleiben. Durch die Ausstattung mit zwei separaten Thyristor-Chips hoher  $dv/dt$ -Festigkeit ist auch für den Kommutierungsfall keine  $RC$ -Beschaltung notwendig.

**Commutation Behaviour**

The use of a triac at the output creates difficulties in commutation stress due to both the built-in coupled thyristor systems. The triac can remain conducting by parasitic triggering after turning off the control current. However, if the SITAC is equipped with two separate thyristor chips featuring high  $dv/dt$  strength, no  $RC$  circuit is needed in case of commutation.

### **Ansteuerung und Einschaltverhalten**

Der Zündstrom des SITAC besitzt einen positiven Temperaturgradienten. Vom Anlegen des Steuerstroms bis zum Einschalten des Laststroms vergeht die Zündverzugszeit ( $t_{gd}$ ). Sie ist im wesentlichen eine Funktion der Übersteuerung, das ist das Verhältnis vom angebotenen Steuerstrom zum Zündstrom ( $I_F/I_{FT}$ ). Entspricht der Steuerstrom gerade dem individuellen Zündstrom eines SITAC, dann ergeben sich die Einschaltverzugszeiten in der Größenordnung von Millisekunden. Als kürzeste Zeiten sind 5 ... 10  $\mu$ s für eine Übersteuerung  $\geq 10$  erreichbar. Die Zündverzugszeit steigt mit höherer Temperatur an.

Für sehr kurze Steuerstromimpulse ( $t_{pIF} < 500 \mu$ s) muß ein entsprechend höherer Steuerstrom angeboten werden. Für diese Betriebsart eignet sich nur der SITAC ohne Nullpunktschalter.

### **Nullpunktschalter**

Der SITAC mit Nullpunktschalter kann nur im Bereich des Nulldurchgangs der Sinus-Wechselspannung gezündet werden. Dies verhindert Stromspitzen z.B. beim Einschalten von kalten Lampen oder kapazitiven Lasten.

### **Control and Turn-On Behaviour**

The trigger current of the SITAC has a positive temperature gradient. The time which expires from applying the control current to the turn-on of the load current is defined as the trigger delay time ( $t_{gd}$ ). On the whole this is a function of the overdrive meaning the ratio of the applied control current versus the trigger current ( $I_F/I_{FT}$ ). If the value of the control current corresponds to that of the individual trigger current of a SITAC, turn-on delay times amount to a few milliseconds only. The shortest times of 5 to 10  $\mu$ s can be achieved for an overdrive greater or equal than 10. The trigger delay time rises with an increase in temperature.

For very short control current pulses ( $t_{pIF} < 500 \mu$ s) a correspondingly higher control current must be used. Only the SITAC without zero voltage switch is suitable for this operating mode.

### **Zero Voltage Switch**

The SITAC with zero voltage switch can only be triggered during the zero crossing of the sine AC voltage. This prevents current spikes, e.g. when turning-on cold lamps or capacitive loads.

### Anwendungen

**Direkter Schalterbetrieb:** Der SITAC eignet sich hier bevorzugt zum Steuern von Synchronmotoren, Ventilen, Relais und Hubmagneten in Grätz-Schaltungen. Wegen seines niedrigen Einraststroms (500  $\mu$ A) lassen sich auch sehr kleine Lastströme problemlos schalten. Dies gilt besonders auch deshalb, weil der SITAC keine RC-Beschaltung am Ausgang benötigt.

**Indirekter Schalterbetrieb:** Der SITAC dient in diesem Fall als Treiber. In dieser Funktion ermöglicht er ein Ansteuern von Thyristoren und Triacs höherer Leistung durch Mikroprozessoren. Der Treiberstrompuls darf den maximal zulässigen Stoßstrom des SITAC nicht überschreiten. Für den SITAC ohne Nullpunktschalter ist deshalb in vielen Fällen eine Strombegrenzung durch einen Vorwiderstand notwendig.

Auch in dieser Betriebsart ist der geringe Einraststrom vorteilhaft, weil sich daraus Wechselstromschalter ergeben, die Lastströme von wenigen Milliampere bis zu hohen Strömen störungsfrei schalten.

### Anwendungshinweise

- **Schutz gegen Überspannungen:** Kann durch einen spannungsbegrenzenden Varistor erfolgen (z.B. SIO VS05K250), der unmittelbar an den SITAC-Ausgang angeschlossen wird.
- **Stromkommutierung:** Die Werte 100 A/ms mit nachfolgender Rückstromspitze > 80 mA dürfen nicht überschritten werden.

### Applications

**Direct Switching Operation:** The SITAC switch is mainly suited to control synchronous motors, valves, relays and solenoids in Grätz circuits. Due to the low latching current (500  $\mu$ A) and the lack of an RC circuit at the output, very low load currents can easily be switched.

**Indirect Switching Operation:** The SITAC switch acts here as a driver and thus enables the driving of thyristors and triacs of higher performance by microprocessors. The driving current pulse should not exceed the maximum permissible surge current of the SITAC. For this reason, the SITAC without zero voltage switch often requires current limiting by a series resistor.

The low latching current in this operating mode results in AC current switches which can handle load currents from some mA up to high currents.

### Application Notes

- **Overvoltage Protection:** A voltage-limiting varistor (e.g. SIOV S05K250) which is directly connected to the SITAC output can protect the component against overvoltage.
- **Current Commutation:** The values 100 A/ms with following peak reverse recovery current > 80 mA should not be exceeded.

• **Vermeiden von hochfrequenten Abschalt-Stromoszillationen:**

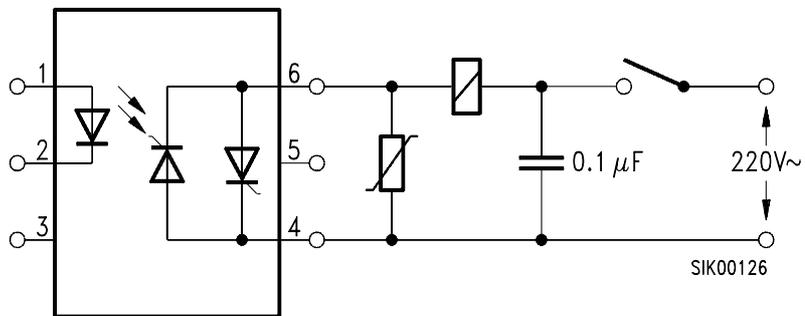
Dieser Effekt kann auftreten, wenn ein Stromkreis geschaltet wird. Stromoszillationen, die im wesentlichen bei induktiven Lasten mit größerer Wicklungskapazität entstehen, wirken sich als Stromkommutierung aus und können relativ hohe Rückstromspitzen erzeugen. Wir empfehlen für die Betriebsfälle folgende alternative Schutzmaßnahmen:

• **Avoiding High-Frequency Turn-Off Current Oscillations:**

This effect can occur when switching a circuit. Current oscillations which appear essentially with inductive loads of a higher winding capacity result in current commutation and can generate a relatively high peak reverse recovery current. The following alternative protective measures are recommended for the individual operating states:

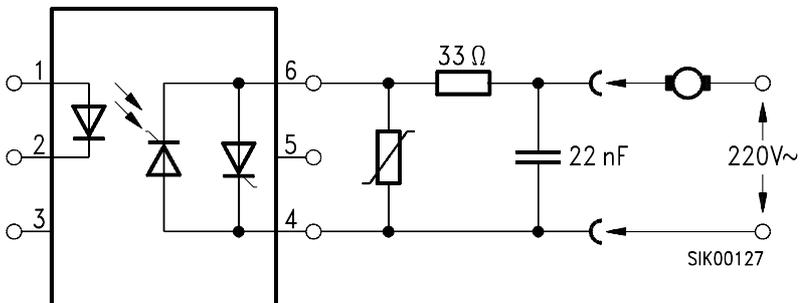
1. Abschluß der Anschlußleitungen zur Spannungsversorgung lastseitig mit einem Kondensator.

Capacitor across the supply voltage connection.



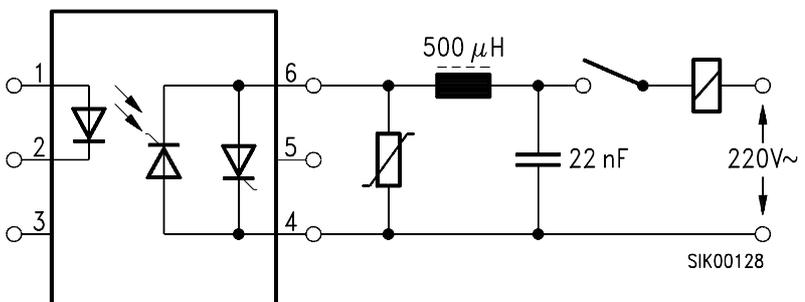
2. Vorschalten eines Widerstandes am SITAC-Ausgang und Überbrücken dieser Reihenschaltung mit einem Kondensator.

Connect a series resistor to the SITAC output and bridge both by a capacitor.



3. Vorschalten einer Drossel mit geringer Wicklungskapazität (z.B. Ringkern-Drossel), bei höheren Lastströmen.

Connect a choke of low winding capacity in series, e.g. a ringcore choke with higher load currents.



Pin 5 nicht anschließen!

Pin 5: do not connect!

**Bild 25**

**Figure 25**

### Hinweis:

Die Maßnahmen nach 2 und 3 sind besonders dann erforderlich, wenn während des Betriebs die Last vom SITAC abgetrennt wird. Bei SITAC-Stromkreisen, die über Transformatoren mit dem Netz gekoppelt sind, und die intern keine mechanische Stromunterbrechung erfahren, treten die Effekte nicht auf. Die diesbezüglichen Schutzbeschaltungen können entfallen; dies gilt hier auch für Anwendungsfälle mit rein ohmscher Last.

### Option 1 SITAC für die sichere elektrische Trennung nach VDE 0884

Dieses Bauelement ist für sichere elektrische Trennung **nur** innerhalb der Sicherheitsgrenzdaten geeignet. Die Einhaltung der Sicherheitsgrenzdaten muß durch Schutzschaltungen sichergestellt sein.

Die Teilentladungsmessung stellt sicher, daß während des Betriebs mit der maximal zulässigen Betriebsisolationsspannung ( $V_{IORM}$ ) keine Teilentladung auftritt. Fortwährende Teilentladung schädigt die Isolationsmaterialien und kann zum Hochspannungsdurchschlag führen.

**Von Prüfungen mit der Isolationsprüfung ( $V_{ISOL}$ ) ist abzuraten. Dabei könnten Teilentladungen auftreten, die die Isolationseigenschaften so verschlechtern, daß dann auch bei Betrieb mit der maximal zulässigen Betriebsisolationsspannung Teilentladungen auftreten können. Die Isolationsprüfung nach VDE 0884 ist allen anderen Hochspannungsprüfungen nachgeschaltet.**

### Note:

Measures 2 to 3 are especially required for the load separated from the SITAC during operation. The above mentioned effects do not occur with SITAC circuits which are connected to the line by transformers and which are not mechanically interrupted. In such cases as well as in applications with a resistive load the corresponding protective circuits can be neglected.

### Option 1 SITAC for Safe Electrical Insulation in acc. with VDE 0884

This component is suitable for safe electrical insulation **only** within the safety maximum ratings. The compliance with the safety maximum ratings must be ensured by protective circuits.

The partial discharge measurement ensures that no partial discharge occurs during operation at maximum permissible operating insulation voltage ( $V_{IORM}$ ). Permanent partial discharge affects the insulating materials and can result in a high-voltage breakdown.

**It is recommended that tests with the insulation test voltage ( $V_{ISOL}$ ) should not be made. Otherwise partial discharges may occur impairing the insulation characteristics. Thus, partial discharges may also occur at the maximum permissible operating insulation voltage. The insulation test in acc. with VDE 0884 is carried out after all the other high-voltage test.**

### Isoliereigenschaften

(Alle angegebenen Spannungen sind Scheitelwerte.)

Bezeichnung	Symbol	Werte	Einheit
Einsatzklasse (DIN VDE 0109, Dez. 83, Tabelle <sup>1)</sup> ) für Nenn-Netzspannungen $\leq 300 V_{\text{rms}}$ für Nenn-Netzspannungen $\leq 600 V_{\text{rms}}$		I – IV I – III	–
Klimatische Prüfklasse (DIN IEC 68 Teil 1/09.80)		55/150/21	–
Verschmutzungsgrad (DIN VDE 0109, Dez. 83)		2	–
Max. Betriebsisolationsspannung	$V_{\text{IORM}}$	630	V
Prüfspannung Eingang/Ausgang, Verfahren b) <sup>1)</sup> $V_{\text{Pr}} = 1,6 \times V_{\text{IORM}}$ , Stückprüfung mit $t_p = 1 \text{ s}$ Teilentladung $< 5 \text{ pC}$	$V_{\text{Pr}}$	1000	V
Prüfspannung Eingang/Ausgang, Verfahren a) <sup>1)</sup> $V_{\text{Pr}} = 1,2 \times V_{\text{IORM}}$ , Typ- und Stichprobenprüfung mit $t_p = 60 \text{ s}$ Teilentladung $< 5 \text{ pC}$	$V_{\text{Pr}}$	720	V
Max. zulässige Überspannung <sup>1)</sup> (transiente Überspannung, $t_{\text{Tr}} = 10 \text{ s}$ , Verfahren a)	$V_{\text{Tr}}$	6000	V
Sicherheitsgrenzwerte (im Fehlerfall max. zulässige Werte, siehe auch Diagramm)		DIP-6	
Gehäusetemperatur	$T_{\text{si}}$	175	°C
Strom (Eingangsstrom $I_{\text{F}}$ , $P_{\text{si}} = 0$ )	$I_{\text{si}}$	400	mA
Leistung (Ausgangs- bzw. Gesamtverlustleistung)	$P_{\text{si}}$	2000	mW
Isolationswiderstand bei $T_{\text{si}}$ $V_{\text{IO}} = 500 \text{ V}$	$R_{\text{IS}}$	$10^9$	$\Omega$

1) Siehe Zeit-Prüfspannungs-Diagramm.

### Insulation Characteristics

(All voltages referred to are peak values.)

Parameter	Symbol	Values	Unit
Installation category (DIN VDE 0109, Dec. 83, table <sup>1)</sup> ) for rated line voltages $\leq 300 V_{rms}$ for rated line voltages $\leq 600 V_{rms}$		I – IV I – III	–
IEC climac category (DIN IEC 68 part 1/09.80)		55/150/21	–
Pollution degree (DIN VDE 0109, Dec. 83)		2	–
Max. operating insulation voltage	$V_{IORM}$	630	V
Test voltage input/output, procedure b) <sup>1)</sup> $V_{Pr} = 1.6 \times V_{IORM}$ , routine test with $t_p = 1$ s Partial discharge $< 5$ pC	$V_{Pr}$	1000	V
Test voltage input/output, procedure a) <sup>1)</sup> $V_{Pr} = 1.2 \times V_{IORM}$ , type and sampling test with $t_p = 60$ s Partial discharge $< 5$ pC	$V_{Pr}$	720	V
Maximum permissible overvoltage <sup>1)</sup> (transient overvoltage, $t_{Tr} = 10$ s, procedure a)	$V_{Tr}$	6000	V
Safety maximum ratings (max. permissible ratings in case of fault, also refer to the diagram)		DIP-6	
Package temperature	$T_{si}$	175	°C
Current (Input current $I_F$ , $P_{si} = 0$ )	$I_{si}$	400	mA
Power (Output or total power dissipation)	$P_{si}$	2000	MW
Insulation resistance at $T_{si}$ $V_{I/O} = 500$ V	$R_{IS}$	$10^9$	$\Omega$

1) See time-test voltage diagram.

## Zeit-Prüfspannungs-Diagramm gemäß VDE 0884 Maximum Ratings in acc. with VDE 0884

### Verfahren a)

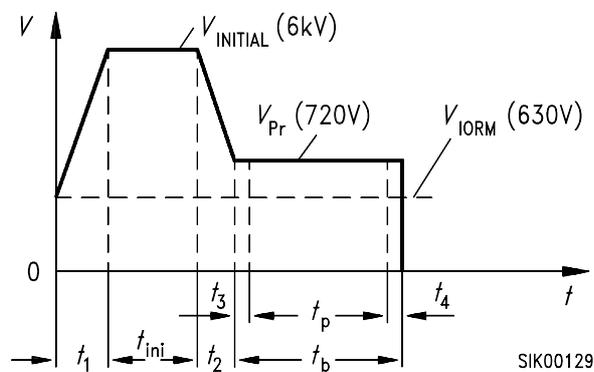
(für Typ- und Stichprobenprüfung,  
zerstörende Prüfung)

$t_1, t_2$	= 1 bis 10 s
$t_3, t_4$	= 1 s
$t_p$ (Meßzeit für Teilentladung)	= 60 s
$t_b$	= 62 s
$t_{ini}$	= 10 s

### Procedure a)

(for type and sampling tests,  
destructive test)

$t_1, t_2$	= 1 to 10 s
$t_3, t_4$	= 1 s
$t_p$ (Measuring time for partial discharge)	= 60 s
$t_b$	= 62 s
$t_{ini}$	= 10 s



### Verfahren b)

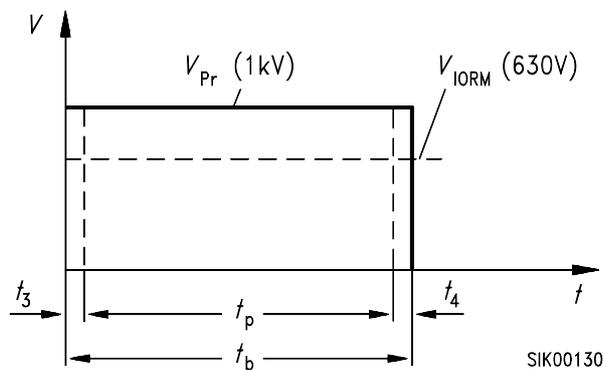
(für Sückprüfung,  
zerstörungsfreie Prüfung)

$t_3, t_4$	= 0.1 s
$t_p$ (Meßzeit für Teilentladung)	= 1 s
$t_b$	= 1,2 s

### Procedure b)

(for sample tests,  
non-destructive test)

$t_3, t_4$	= 0.1 s
$t_p$ (Measuring time for partial discharge)	= 1 s
$t_b$	= 1.2 s



**Bild 26**

**Figure 26**

### Maximalwerte gemäß VDE 0884

$P_{si}$  = Maximal zulässige Verlustleistung

$I_{si}$  = Maximal zulässiger Strom

### Time-Test Voltage Diagram in acc. with VDE 0884

$P_{si}$  = Maximum power dissipation

$I_{si}$  = Maximum current

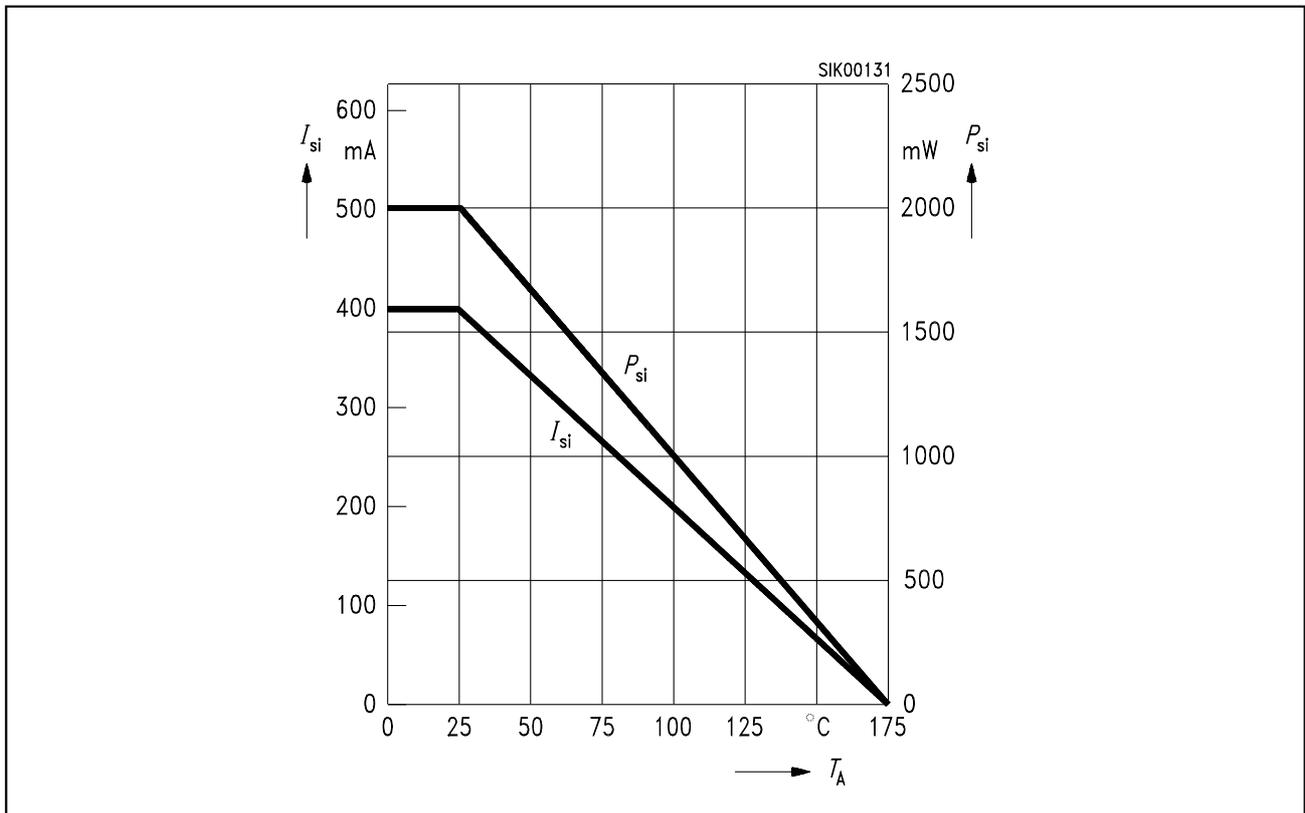


Bild 27

Figure 27

### Option 6

#### SITAC mit Anschlüssen 10,16-mm-Raster

Die Anschlüsse sind aufgebogen auf 10,16-mm-Raster. Vom Standardtyp abweichende Abmessungen:

Rastermaß	10,16 mm
Kriechstrecke	> 8,0 mm
Luftstrecke	> 8,0 mm

### Option 6

#### SITAC with Leads in 10.16 mm (0.4") Spacing

The leads are bent according to a 10.16 mm spacing. Dimensions deviating from the standard type:

Lead spacing	10.16 mm (0.4")
Creepage distance	> 8.0 mm
Clearance	> 8.0 mm

### Option 7 SITAC mit Anschlüssen für SMD Montage

Diese Version ist für SMD Montage geeignet.

Vom Standardtyp abweichende Abmessungen:

Kriechstrecke	> 8,0 mm
Luftstrecke	> 8,0 mm

Es werden zusätzlich folgende Normen erfüllt:

- DIN IEC 380/VDE 0806/8.81  
Verstärkte Isolierung bis zu einer Betriebsspannung von  $250 V_{AC\ eff}$
- DIN IEC 435/VDE 0805 Entwurf Nov. 84  
Verstärkte Isolierung bis zu einer Betriebsspannung von  $250 V_{AC\ eff}$

Um die Isolationseigenschaften nicht zu beeinträchtigen, darf das Gehäuse während des Lötvorgangs nicht durch das Lötzinn benetzt werden.

Zulässig sind (außer Kolbenlötung) nur Reflowlötverfahren: (Vaporphase, Infrarot- und Heizgas-Lötung).

Zulässige Lötbedingungen:	260 °C	10 s
	:	:
	:	:
	:	:
	215 °C	30 s

Der Lötvorgang darf max. zweimal wiederholt werden. Dabei ist jedoch zu beachten, daß das Bauteil zwischen den Lötungen auf 25 °C abkühlt.

### Option 7 SITAC with Lead Forming for Surface Mounting (SMD)

These versions are suitable for surface mounting.

Dimensions deviating from the standard type:

Creepage distance	> 8.0 mm
Clearance	> 8.0 mm

This additionally complies with the following standards:

- DIN IEC 380/VDE 0806/8.81  
Reinforced insulation up to an operating voltage of  $250 V_{AC\ rms}$
- DIN IEC 435/VDE 0805 draft Nov. 84  
Reinforced insulation up to an operating voltage of  $250 V_{AC\ rms}$

During the soldering process, the package should not be wetted with tin-lead solder in order to prevent the impairment of the insulation features.

Apart from iron soldering, only reflow soldering methods (vapor phase, infrared and hot gas) are permissible.

Permissible soldering conditions:	260 °C	10 s
	:	:
	:	:
	:	:
	215 °C	30 s

The soldering process may be repeated two times at the most. However, attention must be paid to the cooling down of the device to 25 °C between the soldering processes.