

PIC16F87X

Универсальный синхронно-асинхронный приемопередатчик USART в микроконтроллерах PIC16F87X (2-я редакция)

Перевод основывается на технической документации DS30292C
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2001

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

Содержание

10.0 Универсальный синхронно-асинхронный приемопередатчик (USART)	3
10.1 Генератор частоты обмена USART BRG.....	5
10.1.1 Выборка	5
10.2 Асинхронный режим USART	7
10.2.1 Асинхронный передатчик USART	7
10.2.2 Асинхронный приемник USART.....	9
10.2.3 Настройка 9-разрядного асинхронного приема с детектированием адреса	11
10.3 Синхронный ведущий режим USART	13
10.3.1 Передача синхронного ведущего	13
10.3.2 Прием синхронного ведущего.....	15
10.4 Синхронный ведомый режим USART	16
10.4.1 Передача синхронного ведомого.....	16
10.4.2 Прием синхронного ведомого	17

10.0 Универсальный синхронно-асинхронный приемопередатчик (USART)

USART – это модуль последовательного ввода/вывода, который может работать в полнодуплексном асинхронном режиме для связи с терминалами, персональными компьютерами или синхронном полудуплексном режиме для связи с микросхемами ЦАП, АЦП, последовательными EEPROM и т.д.

USART может работать в трех режимах:

- асинхронный, полный дуплекс;
- ведущий синхронный, полудуплекс;
- ведомый синхронный, полудуплекс.

Биты SPEN (RCSTA<7>) и TRISC<7:6> должны быть установлены в '1' для использования выводов RC6/TX/CK и RC7/RX/DT в качестве портов универсального синхронно-асинхронного приемопередатчика. Модуль USART поддерживает режим детектирования 9-разрядного адреса для работы в сетевом режиме.

TXSTA (адрес 98h) Регистр управления и статуса передатчика

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D
Бит 7							Бит 0

R – чтение бита
W – запись бита
U – не реализовано, читается как 0
-п – значение после POR
-x – неизвестное значение после POR

бит 7: **CSRC:** Выбор источника тактового сигнала

Синхронный режим
1 = ведущий, внутренний тактовый сигнал от BGR
0 = ведомый, внешний тактовый сигнал с входа CK

Асинхронный режим
Не имеет значения

бит 6: **TX9:** Разрешение 9-битной передачи

1 = 9-битная передача
0 = 8-битная передача

бит 5: **TXEN:** Разрешение передачи

1 = разрешена
0 = запрещена

Примечание. В синхронном режиме биты SREN/CREN отменяют действие бита TXEN.

бит 4: **SYNC:** Режим работы USART

1 = синхронный
0 = асинхронный

бит 3: **Не используется:** читается как '0'

бит 2: **BRGH:** Выбор высокоскоростного режима

Синхронный режим
Не имеет значения

Асинхронный режим
1 = высокоскоростной режим
0 = низкоскоростной режим

бит 1: **TRMT:** Флаг очистки сдвигового регистра передатчика TSR

1 = TSR пуст
0 = TSR полон

бит 0: **TX9D:** 9-й бит передаваемых данных (может использоваться для программной проверки четности)

RCSTA (адрес 18h) Регистр управления и статуса приемника

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
Бит 7							Бит 0

R – чтение бита
W – запись бита
U – не реализовано, читается как 0
–n – значение после POR
–x – неизвестное значение после POR

- бит 7: **SPEN:** Разрешение работы последовательного порта
1 = модуль USART включен (выводы RC7/RX/DT, RC6/TX/CK подключены к USART)
0 = модуль USART выключен
- бит 6: **RX9:** Разрешение 9-разрядного приема
1 = 9-разрядный прием
0 = 8-разрядный прием
- бит 5: **SREN:** Разрешение одиночного приема
Синхронный режим
1 = разрешен одиночный прием
0 = запрещен одиночный прием
Сбрасывается в '0' по завершению приема.
Примечание. В режиме ведомого не имеет значения
- Асинхронный режим
Не имеет значения
- бит 4: **CREN:** Разрешение приема
Синхронный режим
1 = прием разрешен (при установке бита CREN автоматически сбрасывается бит SREN)
0 = прием запрещен
- Асинхронный режим
1 = прием разрешен
0 = прием запрещен
- бит 3: **ADDEN:** Разрешение детектирования адреса
Асинхронный 9-битный прием (RX9=1)
1 = детектирование адреса разрешено. Если бит RSR<8>=1, то генерируется прерывание и загружается приемный буфер.
0 = детектирование адреса запрещено. Принимаются все байты, девятый бит может использоваться для проверки четности.
- Асинхронный 8-битный прием (RX9=0)
Не имеет значения
- Синхронный режим
Не имеет значения
- бит 2: **FERR:** Ошибка кадра, сбрасывается при чтении регистра RCREG
1 = произошла ошибка кадра
0 = ошибки кадра не было
- бит 1: **OERR:** Ошибка переполнения внутреннего буфера, устанавливается в '0' при сбросе бита CREN
1 = произошла ошибка переполнения
0 = ошибки переполнения не было
- бит 0: **RX9D:** 9-й бит принятых данных (может использоваться для программной проверки четности)

10.1 Генератор частоты обмена USART BRG

BRG используется для работы USART в синхронном ведущем и асинхронном режимах. BRG представляет собой отдельный 8-разрядный генератор скорости обмена в бодах, период которого определяется значением в регистре SPBRG. В асинхронном режиме бит BRGH (TXSTA<2>) тоже влияет на скорость обмена (в синхронном режиме бит BRGH игнорируется). В таблице 10-1 указаны формулы для вычисления скорости обмена в бодах при различных режимах работы модуля USART (относительно внутреннего тактового сигнала микроконтроллера).

Учитывая требуемую скорость и F_{OSC} , выбирается самое близкое целое значение для записи в регистр SPBRG, рассчитанное по формулам приведенным в таблице 10-1. Затем рассчитывается ошибка скорости обмена.

В некоторых случаях может быть выгодно использовать высокоскоростной режим работы USART (BRGH=1), поскольку уравнение $F_{OSC} / (16 (X + 1))$ позволяет уменьшить погрешность скорости. Запись нового значения в регистр SPBRG сбрасывает таймер BRG, гарантируя немедленный переход на новую скорость.

Таблица 10-1 Формулы расчета скорости обмена данными

SYNC	BRGH = 0	BRGH = 1
0	(Асинхронный) Скорость обмена = $F_{OSC} / (64 (X + 1))$	(Асинхронный) Скорость обмена = $F_{OSC} / (16 (X + 1))$
1	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$

X = значение регистра SPBRG (от 0 до 255)

Таблица 10-2 Регистры и биты, связанные с работой генератора BRG

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

10.1.1 Выборка

Сигнал с входа RC7/RX/DT опрашивается цепью мажоритарного детектора три раза за такт передачи, чтобы определить, высокого или низкого уровня сигнал присутствует на входе. Если выбран низкоскоростной режим (BRRH=0), то выборка производится по седьмому, восьмому и девятому заднему фронту тактового сигнала x16. Если BRGH = 1 (выбран высокоскоростной режим), выборка производится на втором такте сигнала x4 тремя запросами).

Таблица 10-3 Скорость обмена в асинхронном режиме (BRGH=0)

Скорость обмена (К)	Fosc = 20 МГц			Fosc = 16 МГц			Fosc = 10 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	-	-	-	-	-	-	-	-	-
1,2	1,221	1,75	255	1,202	0,17	207	1,202	0,17	129
2,4	2,404	0,17	129	2,404	0,17	103	2,404	0,17	64
9,6	9,766	1,73	31	9,615	0,16	25	9,766	1,73	15
19,2	19,531	1,72	15	19,231	0,16	12	19,531	1,72	7
28,8	31,25	8,51	9	27,778	3,55	8	31,25	8,51	4
33,6	34,722	3,34	8	35,714	6,29	6	31,25	6,99	4
57,6	62,500	8,51	4	62,500	8,51	3	52,083	9,58	2
Максим.	312,5	-	0	250	-	0	156,3	-	0
Миним.	1,221	-	255	0,977	-	255	0,6104	-	255

Скорость обмена (К)	Fosc = 4 МГц			Fosc = 3,6864 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	0,300	0	207	0,3	-	191
1,2	1,202	0,17	51	1,2	-	47
2,4	2,404	0,17	25	2,4	-	23
9,6	8,929	6,99	6	9,6	-	5
19,2	20,833	8,51	2	19,2	-	2
28,8	31,250	8,51	1	28,8	-	1
33,6	-	-	-	-	-	-
57,6	62,500	8,51	0	57,6	0	0
Максим.	62,500	-	0	57,6	-	0
Миним.	3,906	-	255	0,225	-	255

Таблица 10-4 Скорость обмена в асинхронном режиме (BRGH=1)

Скорость обмена (К)	Fosc = 20 МГц			Fosc = 16 МГц			Fosc = 10 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	-	-	-	-	-	-	-	-	-
1,2	-	-	-	-	-	-	-	-	-
2,4	-	-	-	-	-	-	2,441	1,71	255
9,6	9,615	0,16	129	9,615	0,16	103	9,615	0,16	64
19,2	19,231	0,16	64	19,231	0,16	51	19,531	1,72	31
28,8	29,070	0,94	42	29,412	2,13	33	28,409	1,36	21
33,6	33,784	0,55	36	33,333	0,79	29	32,895	2,10	18
57,6	59,524	3,34	20	58,824	2,13	16	56,818	1,36	10
Максим.	1250	-	0	1000	-	0	625	-	0
Миним.	4,883	-	255	3,906	-	255	2,441	-	255

Скорость обмена (К)	Fosc = 4 МГц			Fosc = 3,6864 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	-	-	-	-	-	-
1,2	1,202	0,17	207	1,2	0	191
2,4	2,404	0,17	103	2,4	0	95
9,6	9,615	0,16	25	9,6	0	23
19,2	19,231	0,16	12	19,2	0	11
28,8	27,798	3,55	8	28,8	0	7
33,6	35,714	6,29	6	32,9	2,04	6
57,6	62,500	8,51	3	57,6	0	3
Максим.	250	-	0	230,4	-	0
Миним.	0,977	-	255	0,9	-	255

10.2 Асинхронный режим USART

В этом режиме USART использует стандартный формат NRZ: один стартовый бит, восемь или девять битов данных и один стоповый бит. Наиболее часто встречается 8-разрядный формат передачи данных. Интегрированный 8-разрядный генератор BRG позволяет получить стандартные скорости передачи данных. Генератор скорости обмена может работать в одном из двух режимов: высокоскоростной (x16 BRGH=1 TXSTA<2>), низкоскоростной (x64 BRGH=0 TXSTA<2>). Приемник и передатчик последовательного порта работают независимо друг от друга, но используют один и тот же формат данных и одинаковую скорость обмена. Бит четности аппаратно не поддерживается, но может быть реализован программно, применяя 9-разрядный формат данных. Все данные передаются младшим битом вперед. В SLEEP режиме микроконтроллера модуль USART (асинхронный режим) выключен. Выбор асинхронного режима USART выполняется сбросом бита SYNC в '0' (TXSTA<4>).

Модуль USART в асинхронном режиме состоит из следующих элементов:

- генератор скорости обмена;
- цепь опроса;
- асинхронный передатчик;
- асинхронный приемник.

10.2.1 Асинхронный передатчик USART

Структурная схема асинхронного передатчика USART показана на рисунке 10-1. Главным в передатчике является сдвиговый регистр TSR, который получает данные из буфера передатчика TXREG. Данные в регистр TXREG загружаются программно. После передачи стопового бита предыдущего байта, в последнем машинном такте цикла BRG, TSR загружается новым значением из TXREG (если оно присутствует), после чего выставляется флаг прерывания TXIF (PIR1<4>). Прерывание может быть разрешено или запрещено битом TXIE (PIE1<1>). Флаг TXIF устанавливается независимо от состояния бита TXIE и не может быть сброшен в '0' программно. Очистка флага TXIF происходит только после загрузки новых данных в регистр TXREG. Аналогичным образом бит TRMT (TXSTA<1>) отображает состояние регистра TSR. Бит TRMT доступен только на чтение и не может вызвать генерацию прерывания.

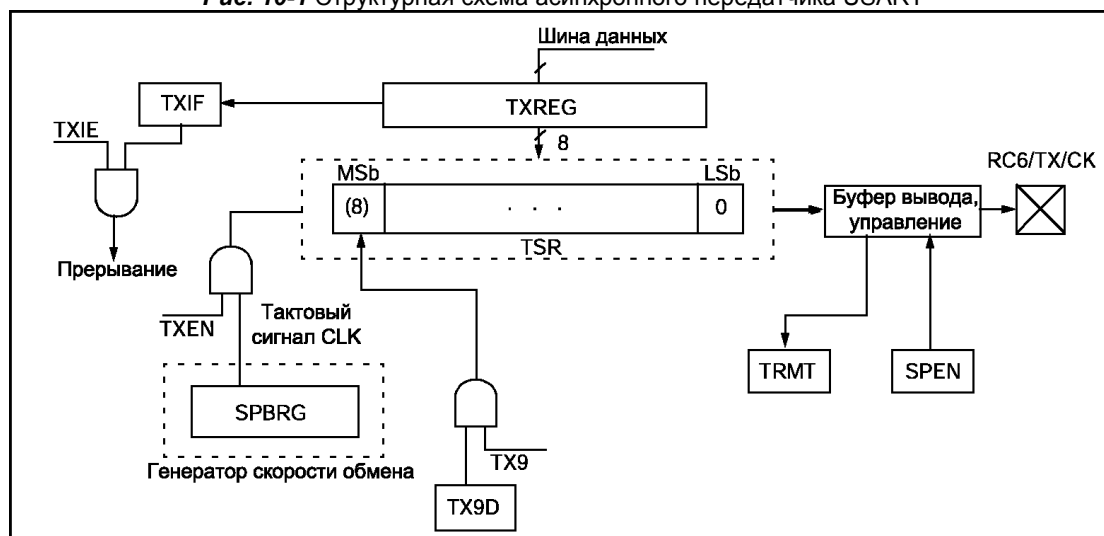
Примечания:

1. Регистр TSR не отображается на память и не доступен для чтения.
2. Флаг TXIF устанавливается в '1' только, когда бит TXEN=1 и сбрасывается автоматически в '0' после загрузки новых данных в регистр TXREG.

Для разрешения передачи необходимо установить бит TXEN (TXSTA<5>) в '1'. Передача данных не начнется до тех пор, пока: в TXREG не будут загружены новые данные; не придет очередной тактовый импульс от генератора BRG (см рисунок 10-2). Можно сначала загрузить данные в TXREG, а затем установить бит TXEN. Как правило, после разрешения передачи регистр TSR пуст, таким образом, данные записываемые в TXREG сразу передаются в TSR, а TXREG остается пустым. Это позволяет реализовать слитную передачу данных (см. рисунок 10-3). Сброс бита TXEN в '0' вызовет немедленное прекращение передачи, сброс передатчика и перевод вывода RC6/TX/CK в третье состояние.

Для разрешения 9-разрядной передачи необходимо установить бит TX9 (TXSTA<6>) в '1'. Девятый бит данных записывается в бит TX9D (TXSTA<0>). Девятый бит данных должен быть указан до записи в регистр TXREG, потому что данные, записанные в регистр TXREG, могут быть сразу загружены в сдвиговый регистр TSR (если он пуст).

Рис. 10-1 Структурная схема асинхронного передатчика USART



Рекомендованная последовательность действий для передачи данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 10.1).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой бита TXIE в '1'.
4. Если передача 9-разрядная, установить бит TX9 в '1'.
5. Разрешить передачу установкой бита TXEN в '1', автоматически устанавливается флаг TXIF.
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D.
7. Записать данные в регистр TXREG.
8. Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Рис. 10-2 Временная диаграмма асинхронной передачи данных

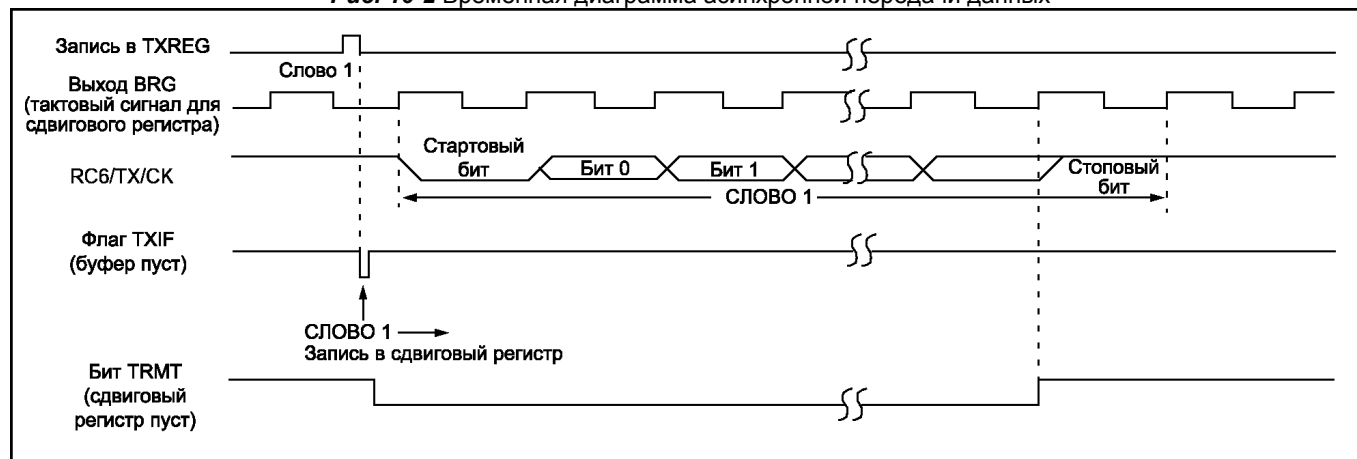


Рис. 10-3 Временная диаграмма слитной асинхронной передачи (последовательная передача двух байт)

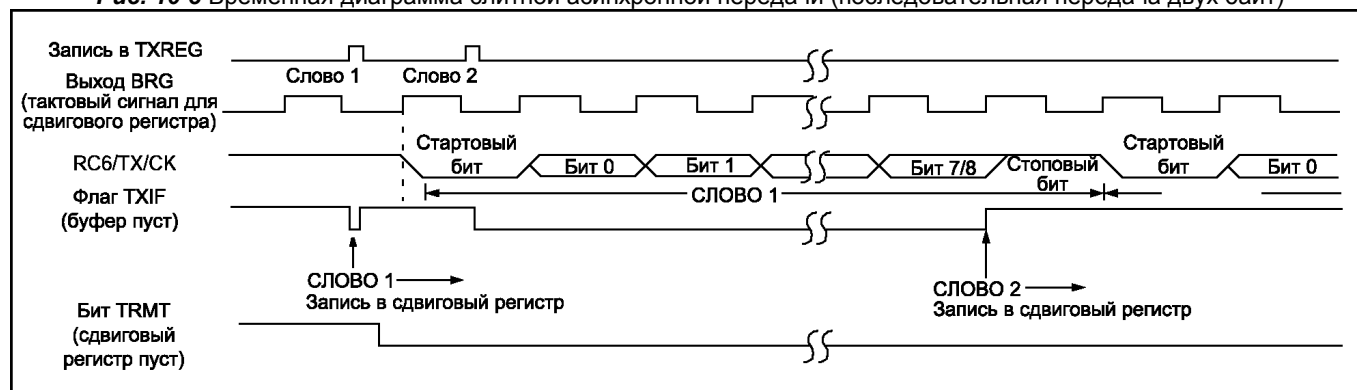


Таблица 10-5 Регистры и биты, связанные с работой передатчика USART в асинхронном режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.2.2 Асинхронный приемник USART

Структурная схема асинхронного приемника USART показана на рисунке 10-4. Данные подаются на вход RC7/RX/DT в блок восстановления данных, представляющий собой скоростной сдвиговый регистр, работающий на частоте в 16 раз превышающей скорость передачи или F_{osc} .

Включение приемника производится установкой бита CREN регистра RCSTA в '1'.

Главным в приемнике является сдвиговый регистр RSR. После получения стопового бита данные переписываются в регистр RCREG, если он пуст. После записи в регистр RCREG выставляется флаг прерывания RCIF (PIR1<5>). Прерывание можно разрешить/запретить установкой/сбросом бита RCIE (PIE1<5>). Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый буфер FIFO. Поэтому, можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR. Если FIFO заполнен и обнаружен стоповый бит третьего байта, устанавливается бит переполнения приемника OERR (RCSTA<1>). Байт, принятый в RSR будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать регистр RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приемника выключена.

Бит ошибки кадра FERR (RCSTA<2>) устанавливается в '1', если не обнаружен стоповый бит. FERR и девятый бит принятых данных буферизируются так же, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять информацию RX9D и FERR.

Рис. 10-4 Структурная схема асинхронного приемника USART

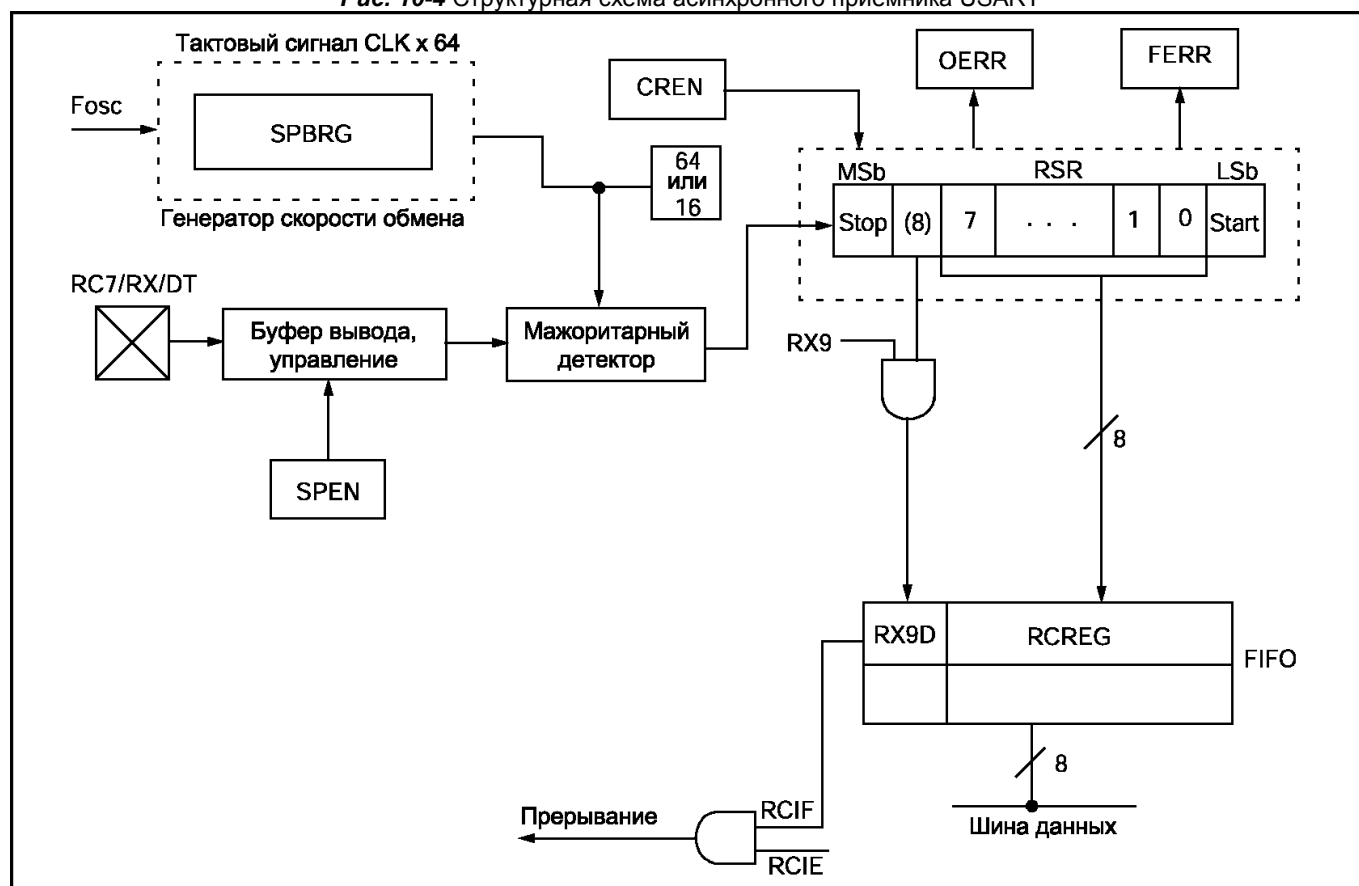
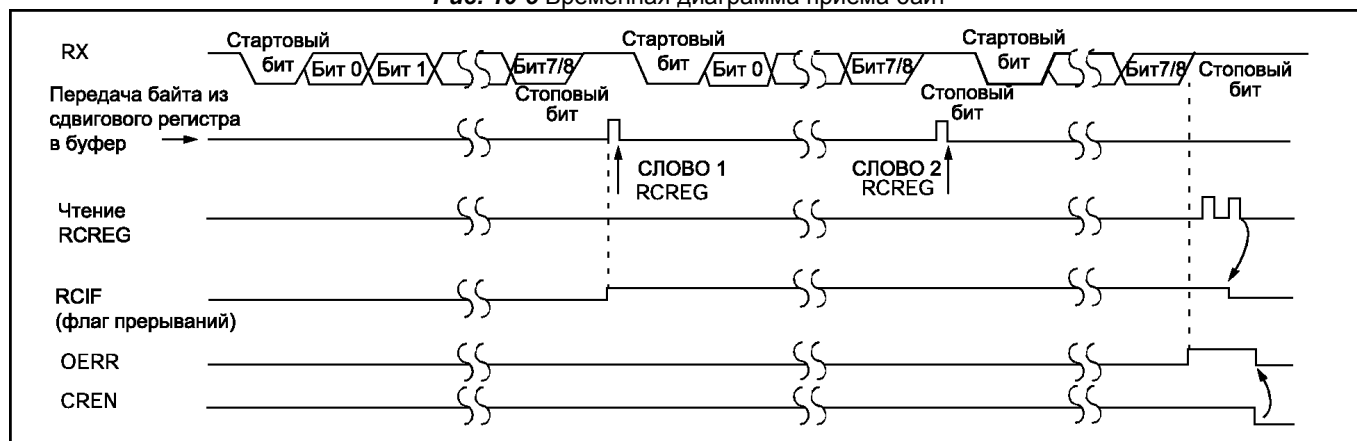


Рис. 10-5 Временная диаграмма приема байт

Примечание к рисунку. На временной диаграмме показан последовательный прием трех байт. Регистр RCREG (приемный буфер) читается после приема трех байт, поэтому устанавливается бит OERR в '1'.

Рекомендованные действия при приеме данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 10.1).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
4. Если прием 9-битный, установить бит RX9 в '1'.
5. Разрешить прием установкой бита CREN в '1'.
6. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
7. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
8. Считать 8 бит данных из регистра RCREG.
9. При возникновении ошибки переполнения сбросить бит CREN в '0'.
10. Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Таблица 10-6 Регистры и биты, связанные с работой приемника USART в асинхронном режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	Регистр данных приемника USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.2.3 Настройка 9-разрядного асинхронного приема с детектированием адреса

Рекомендованная последовательность действия при использовании детектора адреса:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 10.1).
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
4. Установить бит RX9 в '1' для включения 9-разрядного приема.
5. Установить бит ADDEN в '1' для разрешения детектирования адреса.
6. Разрешить прием установкой бита CREN в '1'.
7. Ожидать установку бита RCIF или прерывание, если оно разрешено битом RCIE.
8. Считать 8 бит данных из регистра RCREG для проверки адресации устройства.
9. При возникновении ошибки переполнения сбросить бит CREN в '0'.
10. Если принятый адрес соответствует адресу устройства, сбросить биты ADDEN и RCIF в '0' для начала приема данных.

Рис. 10-6 Структурная схема асинхронного приемника USART в режиме детектирования адреса

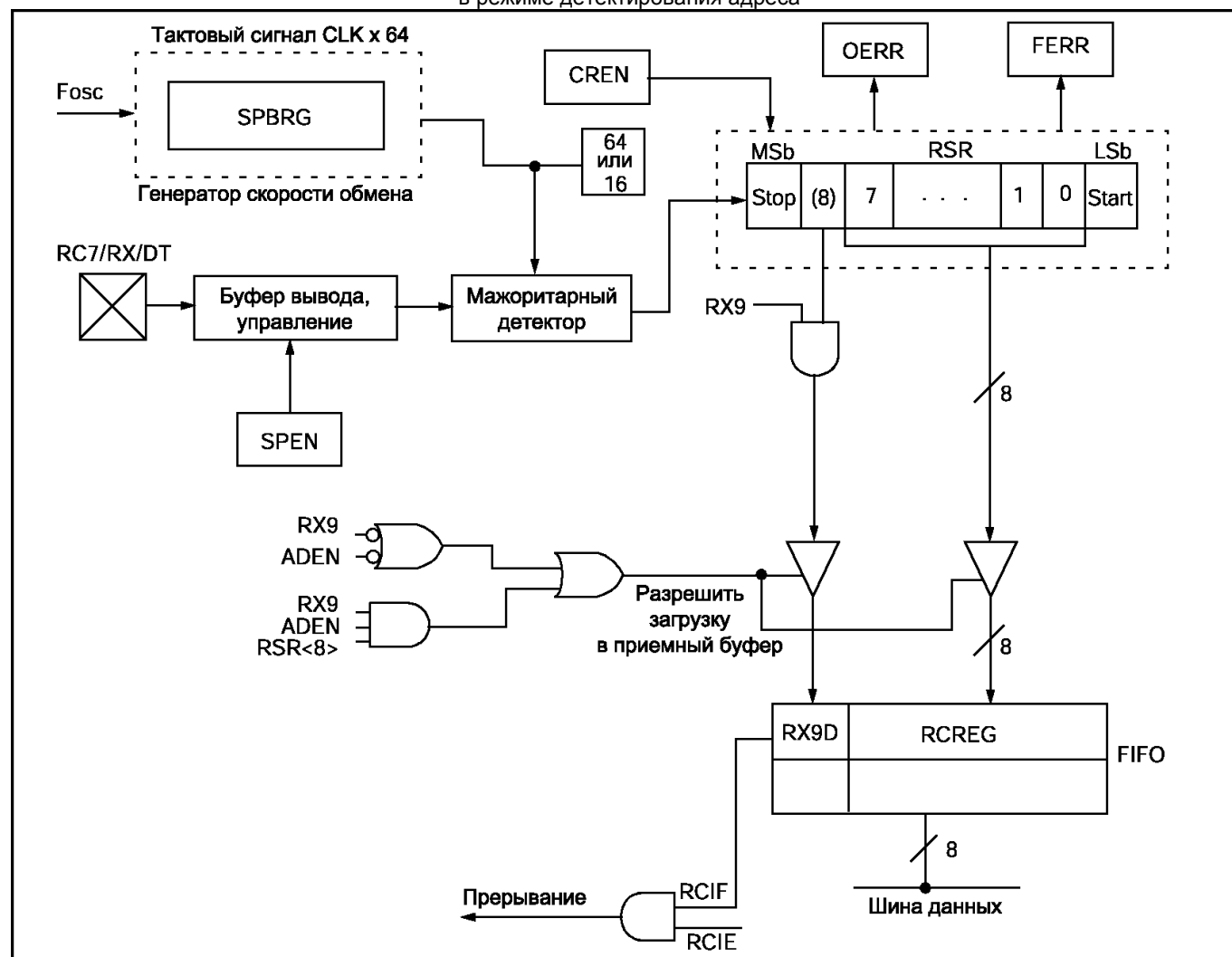
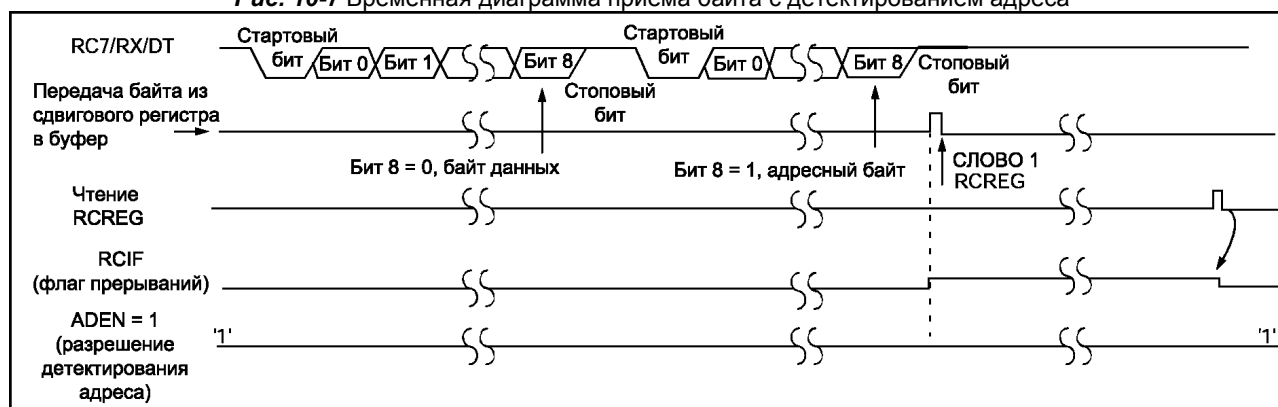
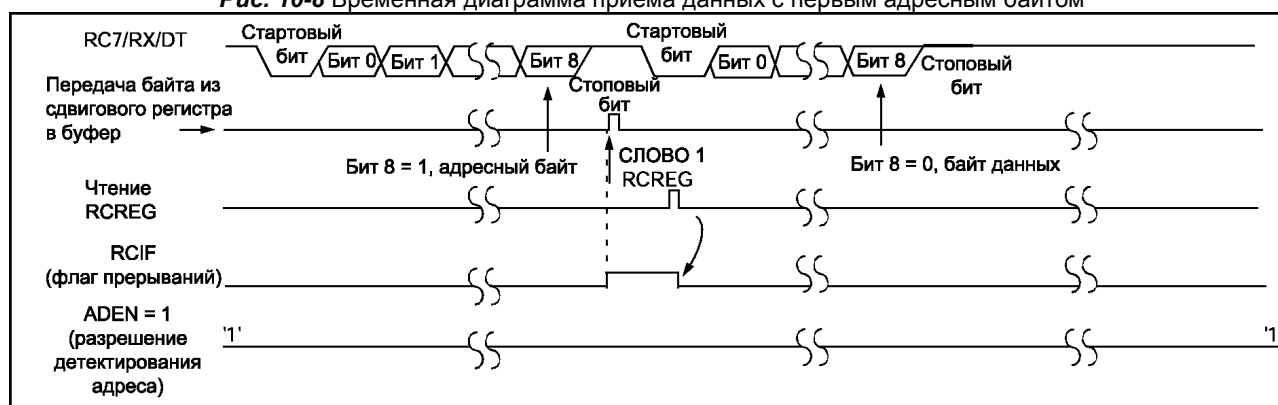


Рис. 10-7 Временная диаграмма приема байта с детектированием адреса



Примечание к рисунку. На временной диаграмме показан последовательный прием байта данных и байта адреса. Байт данных не записывается в RCREG, т.к. ADDEN=1, а бит8 = 0.

Рис. 10-8 Временная диаграмма приема данных с первым адресным байтом



Примечание к рисунку. На временной диаграмме показан последовательный прием байта адреса и байта данных. Байт данных не записывается в RCREG, т.к. ADDEN не был сброшен в '0' (ADDEN=1), а бит8 = 0.

Таблица 10-7 Регистры и биты, связанные с работой приемника USART в асинхронном режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	Регистр данных приемника USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.3 Синхронный ведущий режим USART

В ведущем синхронном режиме данные передаются полудуплексом, т.е. прием и передача не происходит одновременно. При передаче запрещен прием и наоборот. Синхронный режим включается установкой бита SYNC (TXSTA<4>) в '1'. Также необходимо включить модуль USART, установкой бита SPEN (RCSTA<7>) в '1', для настройки портов ввода/вывода RC6/TX/CK и RC7/RX/DT в качестве тактового сигнала CK и линии данных DT соответственно. В режиме ведущего модуль USART формирует тактовый сигнал CK. Выбор режима ведущего производится установкой бита CSRC (TXSTA<7>) в '1'.

10.3.1 Передача синхронного ведущего

Структурная схема передатчика USART показана на рисунке 10-1. Главным в передатчике является сдвиговый регистр TSR. Сдвиговый регистр получает данные из буфера передатчика TXREG. В регистр TSR не загружаются новые данные, пока не будет передан последний бит предыдущего байта. После передачи последнего бита предыдущего байта TSR загружается новым значением из TXREG (если оно присутствует), и устанавливается флаг прерывания TXIF (PIR1<4>). Это прерывание может быть разрешено/запрещено битом TXIE (PIE<4>). Флаг TXIF устанавливается вне зависимости от состояния бита TXIE и может быть сброшен только загрузкой новых данных в регистр TXREG. Также, как TXIF отображает состояние TXREG, бит TRMT (TSTA<1>) показывает состояние регистра TSR. Этот бит не вызывает генерацию прерывания, доступен только на чтение и устанавливается в '1', когда регистр TSR пуст. Регистр TSR не отображается на память и не доступен пользователю.

Передача разрешается установкой бита TXEN (TXSTA<5>), но не начнется до тех пор, пока не будут загружены регистр TXREG. Данные появятся на выходе по первому переднему фронту тактового сигнала CK. Выходные данные стабилизируются к заднему фронту тактового сигнала (см. рисунок 10-9). Можно сначала загрузить данные в TXREG, и потом установить бит TXEN в '1' (см. рисунок 10-10). Это полезно при низких скоростях передачи данных, когда генератор BRG остановлен, а биты TXEN, CREN, SREN сброшены в нуль. Установка бита TXEN в '1' запустит генератор BRG, который немедленно начнет формировать тактовый сигнал. Обычно после разрешения передачи регистр TSR пуст, и в результате записи в TXREG данные переписываются в TSR, что позволяет реализовать слитную передачу данных.

Сброс бита TXEN в '0' вызовет немедленное прекращение передачи, остановку логики передатчика и переведет выводы CK, DT в третье состояние. Установка бита CREN или SREN во время передачи вызовет ее прекращение и переведет вывод в третье состояние (для приема данных), а вывод CK останется выходом тактового сигнала, если бит CSRC установлен. Логика передатчика не сбрасывается, хотя отключена от вывода, для сброса логики передатчика необходимо очистить бит TXEN. Если бит SREN был установлен в '1', чтобы прервать текущую передачу и принять одиночное слово, получив слово бит SREN сбросится, последовательный порт продолжит передачу, если установлен бит TXEN. Линия данных DT переключится из третьего состояния для начала передачи данных. Чтобы это предотвратить, необходимо сбросить бит TXEN в '0'.

Для разрешения 9-разрядной передачи, необходимо установить бит TX9 (TXSTA<6>) в '1'. Девятый бит данных записывается в бит TX9D (TXSTA<0>). Девятый бит данных должен быть указан до записи в регистр TXREG, потому что данные, записанные в регистр TXREG, могут быть сразу загружены в сдвиговый регистр TSR.

Рекомендованная последовательность действий для передачи данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 10.1).
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'.
3. Если необходимо, разрешить прерывания установкой бита TXIE в '1'.
4. Если передача 9-разрядная, установить бит TX9 в '1'.
5. Разрешить передачу установкой бита TXEN в '1'.
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D.
7. Записать данные в регистр TXREG.
8. Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Рис. 10-9 Временная диаграмма синхронной передачи двух 8-разрядных слов (SPBRG = 0)

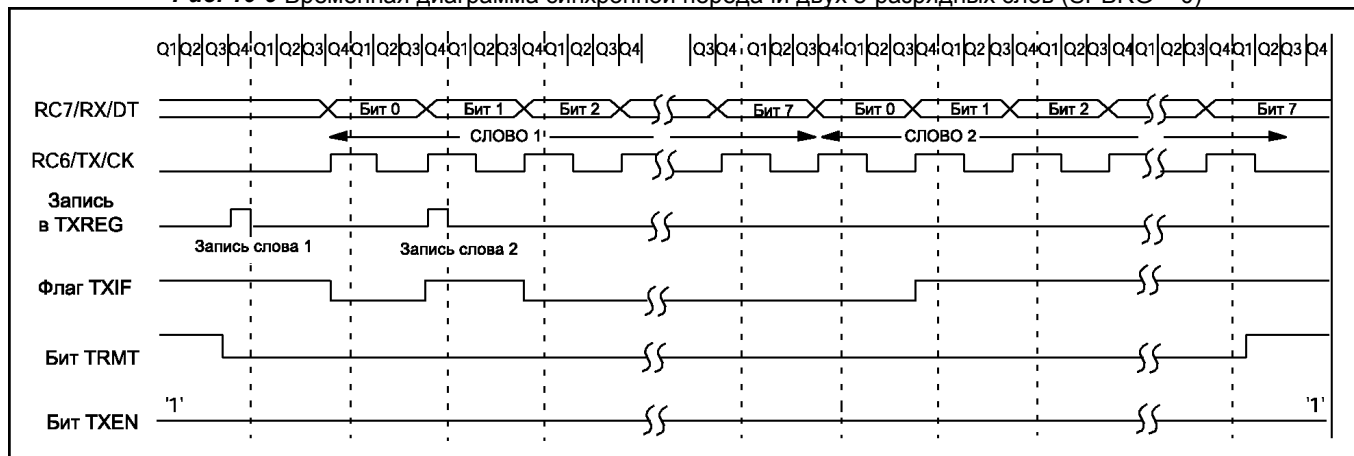
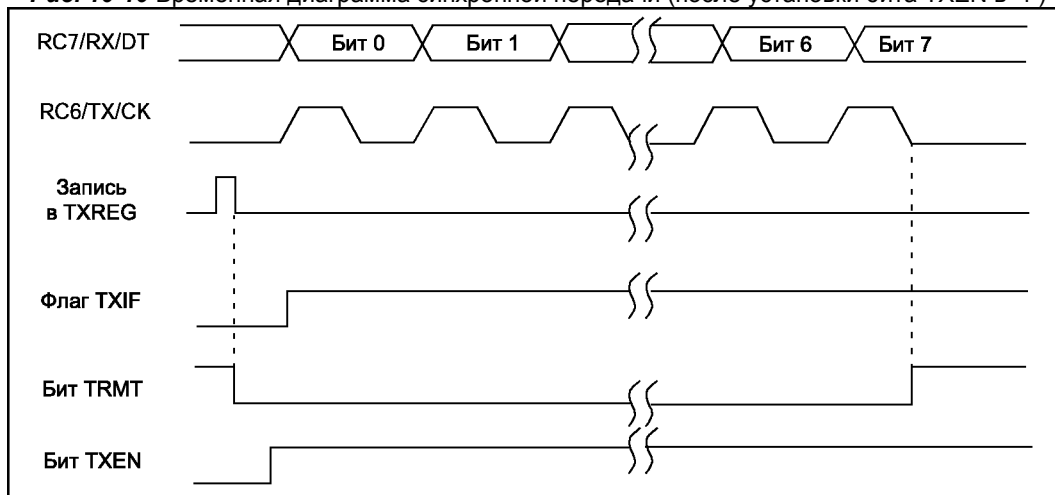


Рис. 10-10 Временная диаграмма синхронной передачи (после установки бита TXEN в '1')**Таблица 10-8** Регистры и биты, связанные с работой передатчика USART в синхронном ведущем режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.3.2 Прием синхронного ведущего

В синхронном режиме прием разрешается установкой битов CREN (RCSTA<4>) или SREN (RCSTA<5>) в '1'. Линия данных RC7/RX/DT опрашивается по заднему фронту тактового сигнала. Если бит SREN установлен в '1', то принимается одиночное слово. Если бит CREN установлен в '1', то в не зависимости от состояния бита SREN будет производиться поточный прием данных. Получив последний бит очередного слова, данные переписываются из RSR в регистр RCREG (если он пуст). После записи в регистр RCREG выставляется флаг прерывания RCIF (PIR1<5>). Прерывание можно разрешить/запретить установкой/сбросом бита RCIE (PIE1<5>). Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый FIFO. Поэтому, можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR. Если FIFO заполнен и обнаружен последний бит третьего байта, устанавливается бит переполнения приемника OERR (RCSTA<1>) в '1'. Байт принятый в RSR будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать из регистра RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приема отключена.

Девятый бит принятых данных буферизируются также, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять бит записанный в RX9D.

Рекомендованные действия при приеме данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 10.1).
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'.
3. Сбросить биты SREN и CREN в '0'.
4. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
5. Если прием 9-битный, установить бит RX9 в '1'.
6. Если необходимо выполнить одиночный прием установите бит SREN в '1'. Для поточного приема установите бит CREN в '1'.
7. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
8. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
9. Считать 8 бит данных из регистра RCREG.
10. При возникновении ошибки переполнения сбросить бит CREN в '0'.
11. Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Рис. 10-11 временная диаграмма синхронного приема в режиме ведущего (SREN = 1, SPBRG = 0)

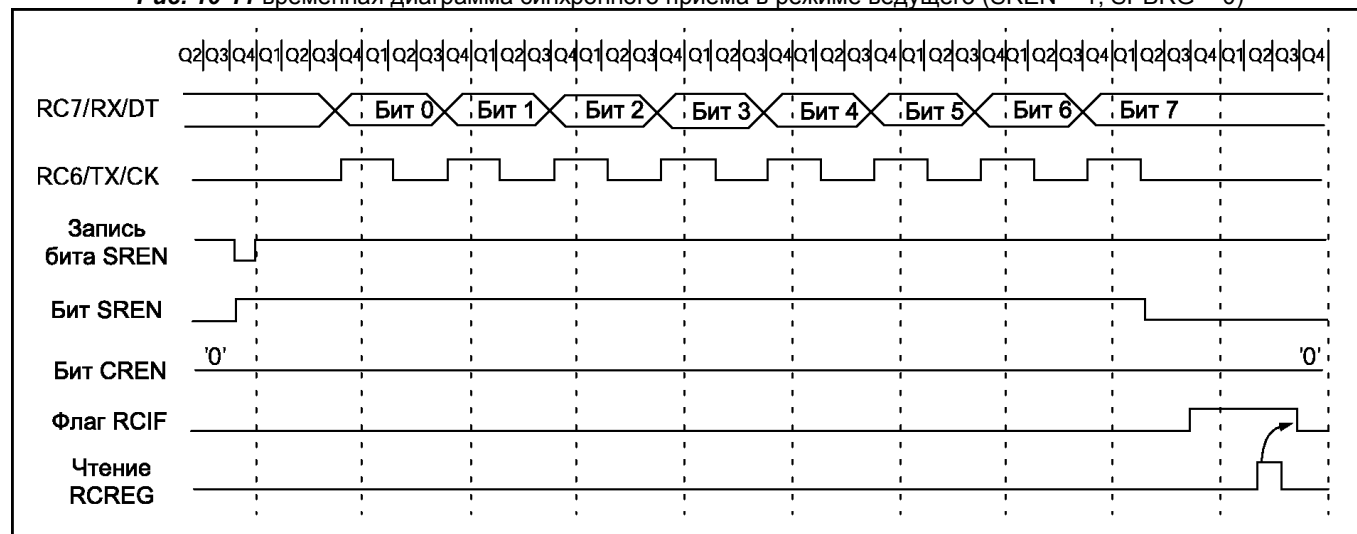


Таблица 10-9 Регистры и биты, связанные с работой приемника USART в синхронном ведущем режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	Регистр данных приемника USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Регистр генератора скорости USART								0000 0000	0000 0000

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*: Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.4 Синхронный ведомый режим USART

Режим ведомого отличается от ведущего тем, что микроконтроллер использует тактовый сигнал с входа RC6/TX/CK, а не формирует его самостоятельно. Это позволяет устройству принимать и передавать данные в SLEEP режиме. Выбрать режим ведомого можно сбросом бита CSRC (TXSTA<7>) в '0'.

10.4.1 Передача синхронного ведомого

Работа передатчика в обоих синхронных режимах одинакова, за исключением работы ведомого в SLEEP режиме микроконтроллера.

Если в TXREG были записаны два слова подряд и исполнена команда SLEPP, выполняются следующие действия:

- Первое слово сразу записывается в TSR и передается по мере прихода тактового сигнала.
- Второе слово остается в TXREG
- Флаг TXIF не устанавливается в '1'.
- После передачи первого слова, второе слово передается из TXREG в TSR, и устанавливается флаг TXIF в '1'.
- Если установлен бит TXIE в '1', микроконтроллер выходит из режима SLEEP, происходит переход по вектору 0004h, если GIE=1.

Рекомендованная последовательность действий для передачи данных в синхронном ведомом режиме:

- Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'.
- Сбросить биты SREN и CREN в '0'.
- Если необходимо, разрешить прерывания установкой бита TXIE в '1'.
- Если передача 9-разрядная, установить бит TX9 в '1'.
- Разрешить передачу установкой бита TXEN в '1'.
- Если передача 9-разрядная, записать 9-й бит данных в TX9D.
- Для начала передачи записать данные в регистр TXREG.
- Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Таблица 10-10 Регистры и биты связанные с работой передатчика USART в синхронном ведомом режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	Регистр данных передатчика USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

10.4.2 Прием синхронного ведомого

Работа приемника в обоих синхронных режимах одинакова, кроме работы в режиме SLEEP. В синхронном ведомом режиме не учитывается состояние бита SREN.

Если перед выполнением команды SLEEP был разрешен прием (бит CREN = 1), то модуль USART может принять слово в SLEEP режиме микроконтроллера. По окончании приема данные передаются из регистра RSR в RCREG, и если бит RCIE = 1, микроконтроллер выйдет из режима SLEEP. Если GIE=1, произойдет переход по адресу вектора прерываний 0004h.

Рекомендованные действия при приеме данных в синхронном ведомом режиме:

1. Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'.
2. Если необходимо, разрешить прерывания установкой бита RCIE в '1'.
3. Если прием 9-битный, установить бит RX9 в '1'.
4. Установите бит CREN в '1' для разрешения приема.
5. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE.
6. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки.
7. Считать 8 бит данных из регистра RCREG.
8. При возникновении ошибки переполнения сбросить бит CREN в '0'.
9. Если используются прерывания, то биты GIE и PEIE в регистре INTCON должны быть установлены в '1'.

Таблица 10-11 Регистры и биты связанные с работой приемника USART в синхронном ведомом режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR	Другие сбросы
0Bh/8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF*	ADIF	RCIF	TXIF	SSPIF	CCP1F	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE*	ADIE	RCIE	TXIE	SSPIE	CCP1E	TMR2IE	TMR1IE	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	Регистр данных приемника USART								0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010	0000 -010

Обозначения: - - не используется, читается как 0; u – не изменяется; x – не известно; q – зависит от условий.

Примечание*. Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

(095) 963-9601

(095) 737-7545

и адресу sales@microchip.ru

На сайте

www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.