

TMR0, TMR1, TMR2, ШИМы и регистры захвата в микроконтроллерах PIC16C7X

Статья основывается на технической документации DS30390e
компании Microchip Technology Incorporated, USA.

**© ООО «Микро-Чип»
Москва - 2001**

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

TMR0, TMR1, TMR2, ШИМы и регистры захвата в микроконтроллерах PIC16C7X

Статья основывается на технической документации DS30390e
компании Microchip Technology Incorporated, USA.

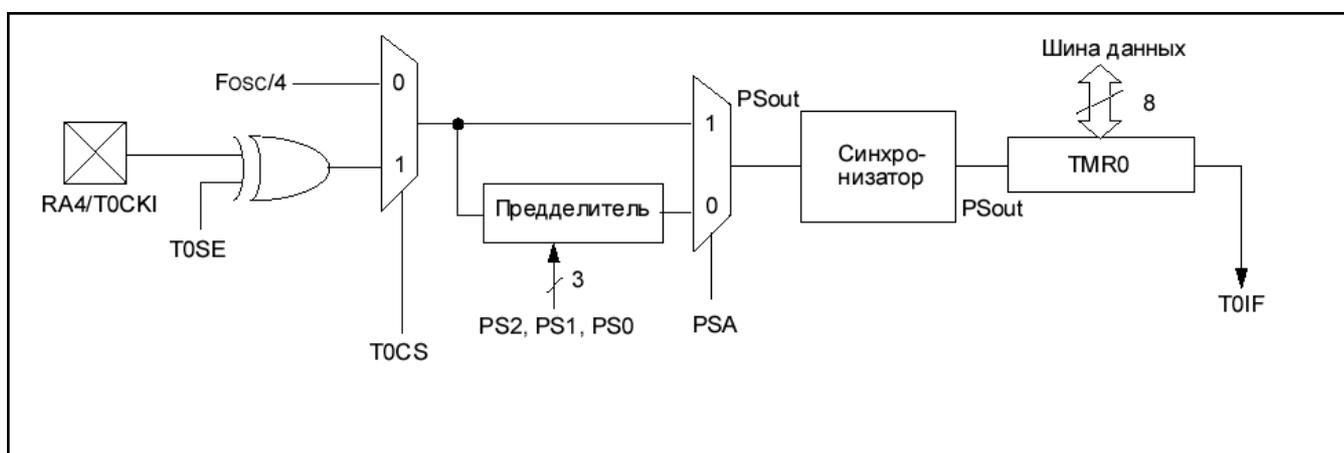
В статье описывается TMR0, TMR1, TMR2, TMR3, ШИМы и регистры захвата микроконтроллеров:
PIC16C72; PIC16C73; PIC16C73A; PIC16C74; PIC16C74A, PIC16C76, PIC16C77.

Модуль TMR0

TMR0 - таймер-счетчик, имеет следующие особенности:

- 8-разрядный таймер/счетчик;
- возможность чтения и записи текущего значения счетчика;
- 8-разрядный программируемый предделитель;
- внутренний или внешний источник тактового сигнала;
- прерывания при переполнении.

Структурная схема TMR0



Биты управления модулем TMR0 находятся в регистре OPTION.

OPTION (адрес 81h, 181h): регистр управления TMR0

R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1
RBP	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0
бит7							бит0

бит 7: **RBP**: включение подтягивающих резисторов на входах порта PORTB
 1 = подтягивающие резисторы отключены
 0 = подтягивающие резисторы включены

бит 6: **INTEG**: выбор активного фронта сигнала прерывания на входе RB0/INT
 1 = прерывания по переднему фронту
 0 = прерывания по заднему фронту

бит 5: **TOCS**: выбор источника тактового сигнала
 1 = тактовый сигнал с входа RA4/T0CKI
 0 = внутренний источник тактового сигнала (CLKOUT)

бит 4: **TOSE**: выбор активного фронта внешнего тактового сигнала
 1 = активный задний фронт
 0 = активный передний фронт

бит 3: **PSA**: выбор включения предделителя
 1 = предделитель включен перед WDT
 0 = предделитель включен перед TMR0

бит 2-1: **PS3:PS0**: выбор коэффициента предделителя
 Предделитель включен перед WDT

000 = 1:1
 001 = 1:2
 010 = 1:4
 :
 :
 111 = 1:128

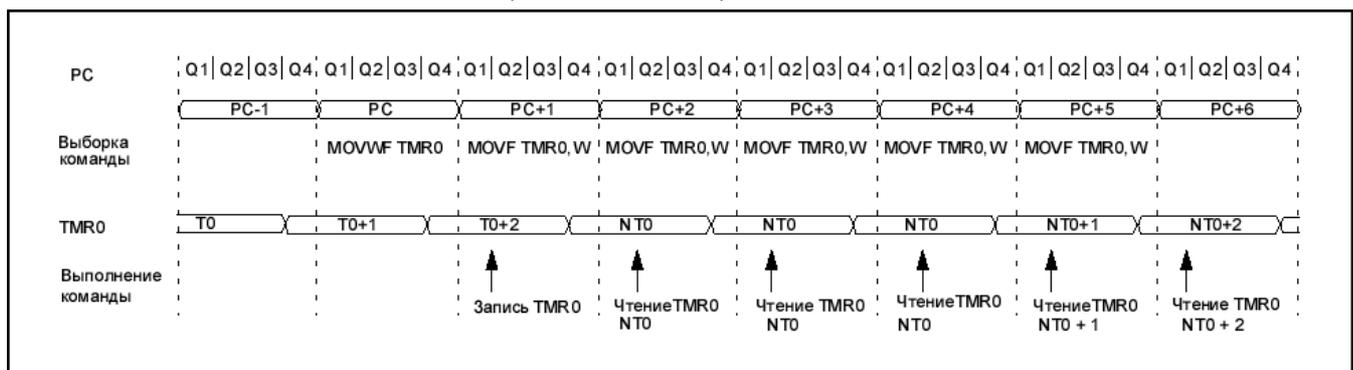
Предделитель включен перед TMR0

000 = 1:2
 001 = 1:4
 010 = 1:8
 :
 :
 111 = 1:256

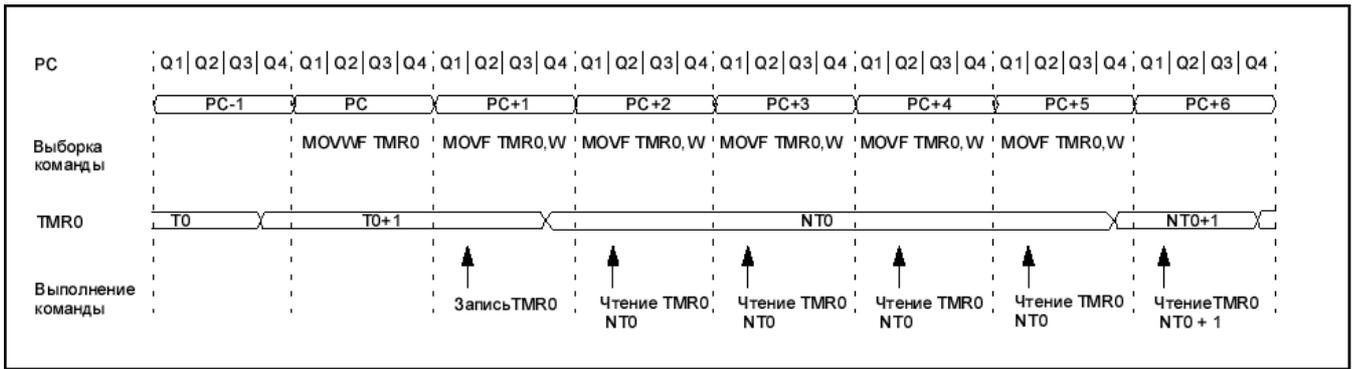
Работа TMR0

Когда бит TOCS сброшен, TMR0 работает от внутреннего тактового сигнала. Приращение счетчика TMR0 происходит каждый машинный цикл при выключенном предделителе. Пользователь может записать новое значение счетчика при работающем модуле TMR0.

Временная диаграмма работы TMR0 от внутреннего источника тактового сигнала при выключенном предделителе



Временная диаграмма работы TMR0 от внутреннего источника тактового сигнала с делителем 1:2



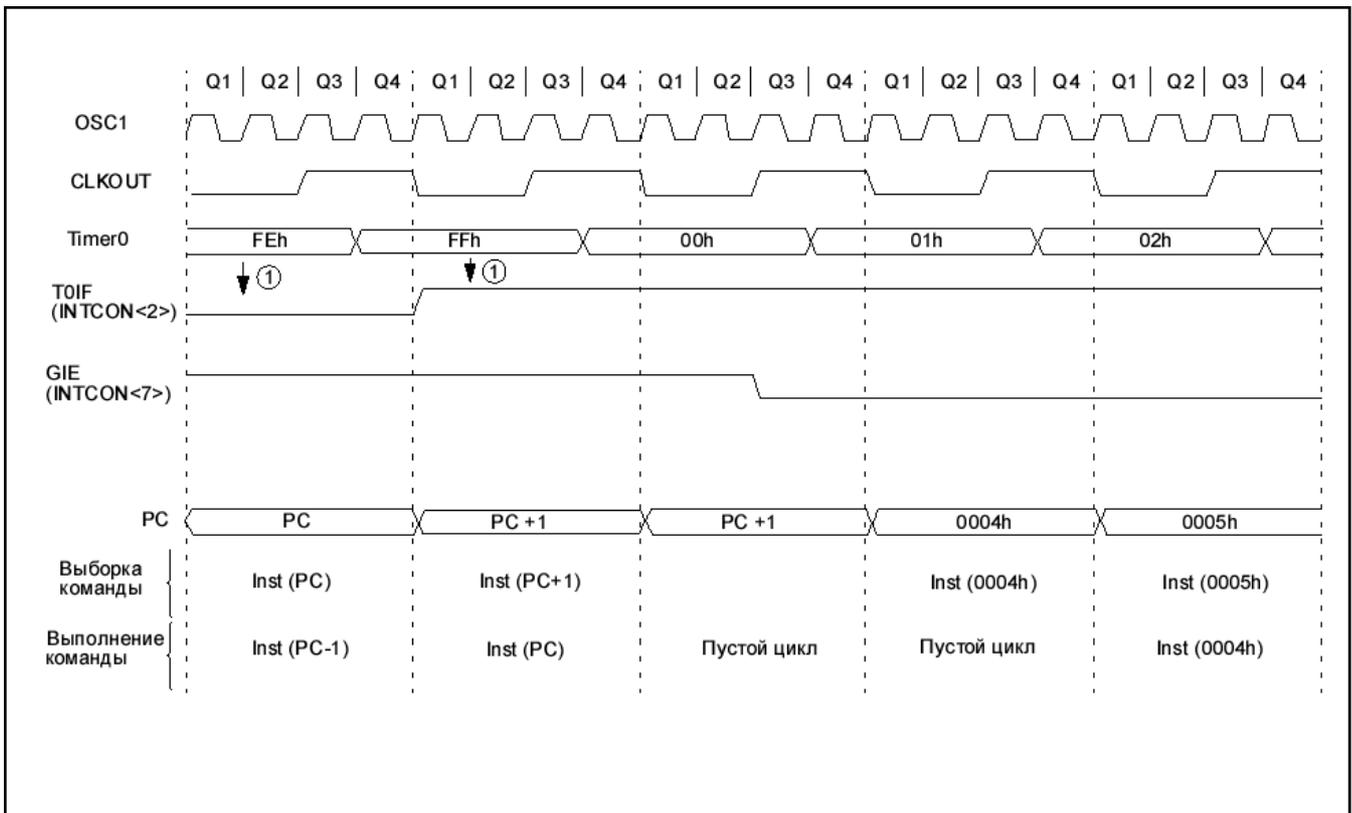
Когда бит TOCS установлен, TMR0 работает от внешнего источника тактового сигнала с входа RA4/T0CKI. Активный фронт внешнего тактового сигнала выбирается битом TOSE в регистре OPTION. Работа модуля TMR0 с внешним источником тактового сигнала будет рассмотрена ниже.

Предделитель может быть включен перед WDT или TMR0, в зависимости от состояния бита PSA.

Прерывания от TMR0

Прерывания от TMR0 возникают при переполнении счетчика, т.е. при переходе его значения от FFh к 00h. При возникновении прерывания устанавливается TOIF в регистре INTCON. Само прерывание может быть разрешено/запрещено установкой/сбросом бита TOIE в регистре INTCON. Флаг прерывания от TMR0 TOIF должен быть сброшен в подпрограмме обработки прерываний. В SLEEP режиме микроконтроллера модуль TMR0 выключен и не может генерировать прерывания.

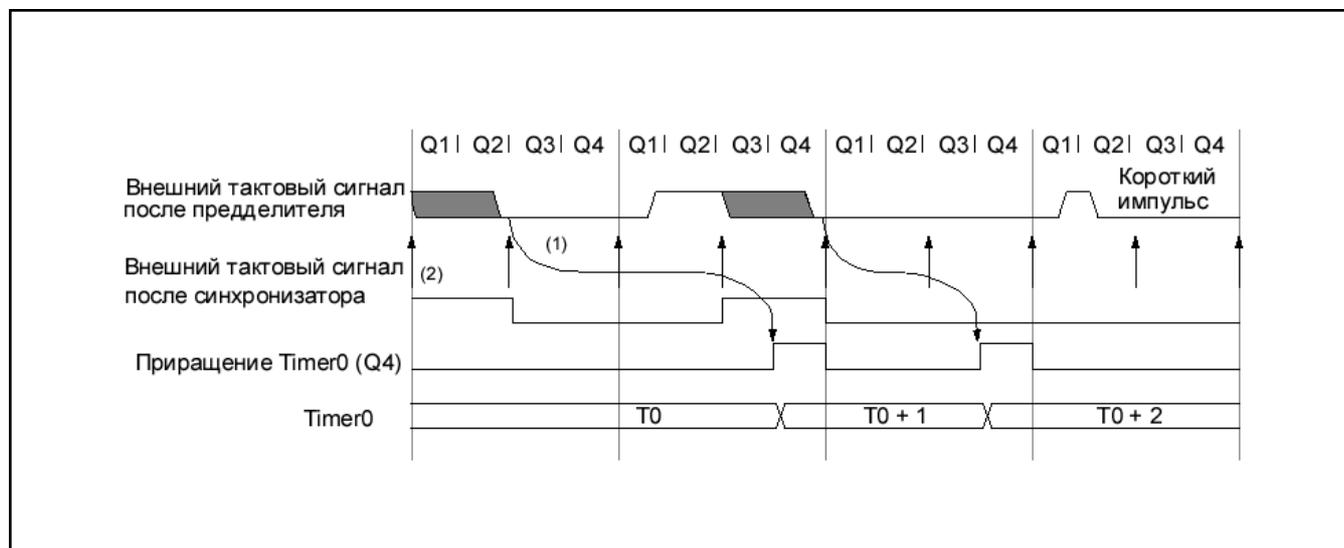
Временная диаграмма прерывания от TMR0



Использование внешнего источника тактового сигнала для TMR0

Когда для TMR0 используется тактовый сигнал от внешнего источника, то этот сигнал на выходе предделителя синхронизируется с внутренним тактовым сигналом. На рисунке показан процесс синхронизации.

Временная диаграмма работы TR0 от внешнего источника тактового сигнала



Примечания к рисунку:

1. Задержка от активного фронта на TOC1 до приращения TMR0 от $3T_{osc}$ до $7T_{osc}$.
2. Состояние выхода PSOUT проверяется здесь.

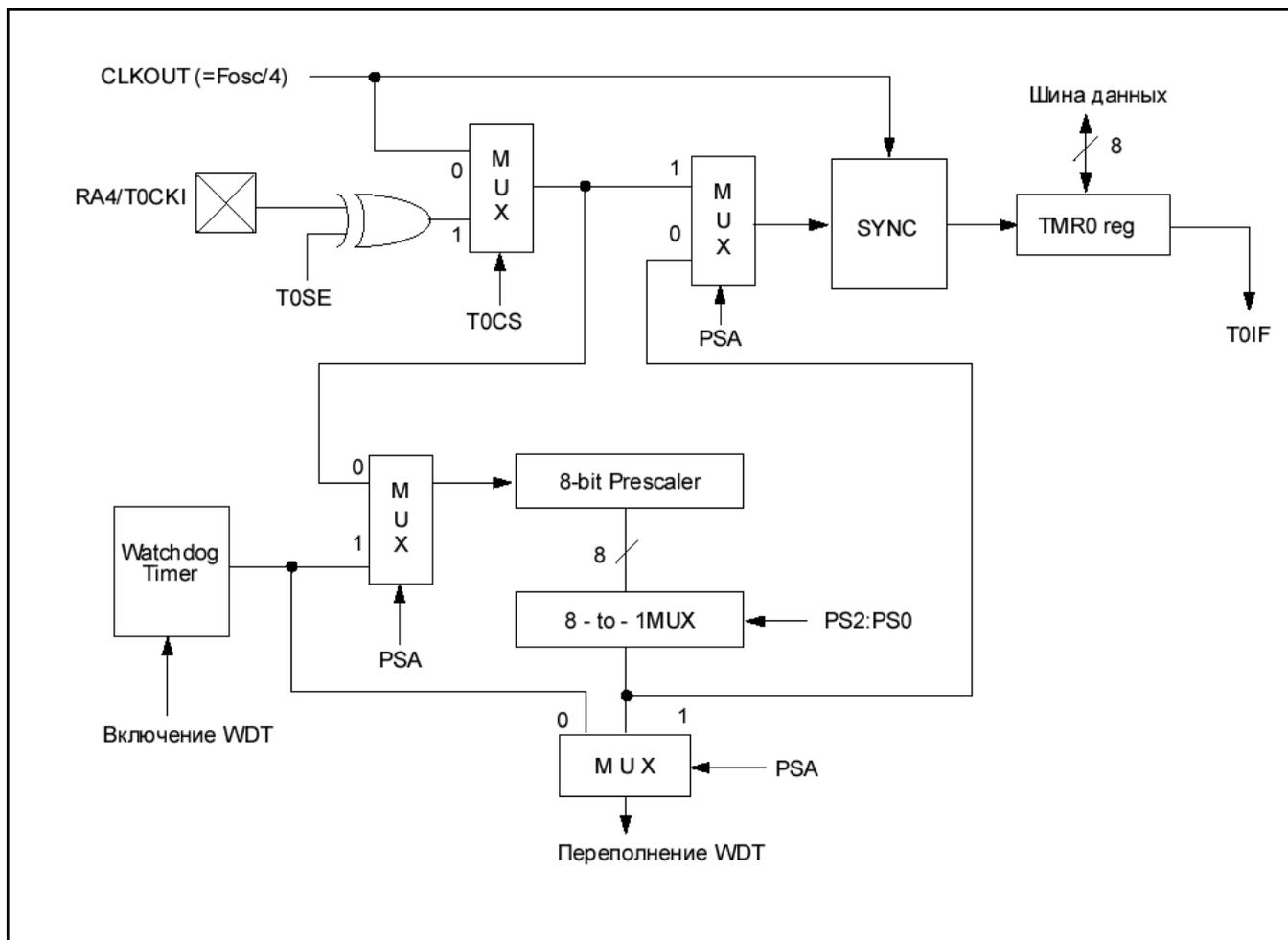
Если предделитель не используется, синхронизация выполняется аналогично.

Вход синхронизатора опрашивается дважды в течение машинного цикла, чтобы обнаружить на нем задний фронт сигнала. В результате чего возникает небольшая задержка от появления активного фронта внешнего тактового сигнала до приращения счетчиков TMR0. На рисунке, представленном выше видно, что эта задержка может быть от 3 до 7 T_{osc} . Длительность высокого уровня сигнала на входе внешнего источника тактового сигнала должна быть не менее $2T_{osc}$, если предделитель отключен.

Предделитель

8-разрядный предделитель может быть включен перед WDT или модулем TMR0 в зависимости от состояния бита PSA.

Структурная схема предделителя



Обратите внимание, что если предделитель включен перед модулем TMR0, значит перед WDT предделителя нет.

Коэффициент деления предделителя определяется битами PSA и PS2:PS0 в регистре OPTION.

Запись нового значения в TMR0 сбрасывает предделитель, если он подключен к TMR0. Когда предделитель подключен к WDT, команда CLRWDT очищает таймер WDT и предделитель.

Переключение предделителя может быть выполнено, при необходимости в ходе выполнения программы.

Примечание. Переключение предделителя от WDT к TMR0 (или обратно) не сбрасывает предделитель. Для предотвращения сброса микроконтроллера следует использовать указанные примеры.

Пример переключения предделителя от TMR0 к WDT

- | | | |
|-----------|---------------|---------------------------------------|
| 1) BSF | STATUS, PRO | ; Выбрать банк 1 |
| 2) MOVLW | b'xx0x0xxx' | ; Выбрать источник тактового сигнала |
| 3) MOVWF | OPTION_REG | ; и коэффициент деления 1:1 |
| 4) BCF | STSTATUS, PRO | ; Выбрать банк 0 |
| 5) CLRF | TMR0 | ; Сбросить TMR0 и предделитель |
| 6) BSF | STATUS, PRO | ; Выбрать банк 1 |
| 7) MOVLW | b'xxx1xxx' | ; Включить предделитель перед WDT, |
| 8) MOVWF | OPTION_REG | ; но не выбирать коэффициент деления |
| 9) CLRWDT | | ; Сбросить WDT и предделитель |
| 10) MOVLW | b'xxx1xxx' | ; Выбрать новое значение коэффициента |
| 11) MOVWF | OPTION_REG | ; деления |
| 12) BCF | STSTATUS, PRO | ; Выбрать банк 0 |

Примечания к примеру. Если желаемое значение коэффициента деления отличное от 1:1, то строки 2 и 3 в текст программы не включать. Коэффициент деления будет установлен в строках 10,11.

Пример переключения предделителя от WDT к TMR0

```

BSF          STATUS, PRO          ; Выбрать банк 1
CLRWDT      ; Сбросить WDT и предделитель
MOVLW      b'xxxx0xxx'          ; Включить предделитель перед TMR0 и
MOVWF      OPTION_REG          ; выбрать новое значение коэффициента деления
BCF          STATUS, PRO          ; Выбрать банк 0

```

Связанные с TMR0 регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR BOR	Состояние после Reset	
01h, 110h	TMR0	Регистр TMR0									xxxx xxxx	uuuu uuuu
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u	
81h, 181h	OPTION	RBPU	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111	1111 1111	
85h	TRISA	-	-	Регистр направления PORTA						--11 1111	--11 1111	

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

TMR1

TMR1 – 16-разрядный таймер/счетчик, который считает инкрементируя от 0000h до FFFFh в спаренных 8-разрядных регистрах TMR1H:TMR1L. При переполнении счетчика устанавливается флаг прерывания TMR1IF в регистре PIR1. Само прерывание можно разрешить/запретить битом TMR1IE в регистре PIE1.

TMR1 может работать в двух режимах:

- таймера
- счетчика

T1CON (адрес 10h) : регистр управления TMR1

U - 0	U - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
-	-	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
бит7							бит0

бит 7-6: **Не используется:** читается как '0'

бит 5-4: **T1CKPS1:T1CKPS0:** выбор коэффициента деления предделителя TMR1

- 11 = 1:8
- 10 = 1:4
- 01 = 1:2
- 00 = 1:1

бит 3: **T1OSCEN:** включение внутреннего тактового генератора TMR1

- 1 = генератор включен
- 0 = генератор выключен

бит 2: **T1SYNC:** синхронизация внешнего тактового сигнала

- TMR1CS = 1
- 1 = не синхронизировать внешний тактовый
- 0 = синхронизировать внешний тактовый

- TMR1CS = 0
- Значение бита игнорируется

бит 1: **TMR1CS:** выбор источника тактового сигнала

- 1 = внешний источник с вывода RC0/T1OSO/T1CKI
- 0 = внутренний источник Fosc/4

бит 0: **TMR1ON:** включение модуля TMR1

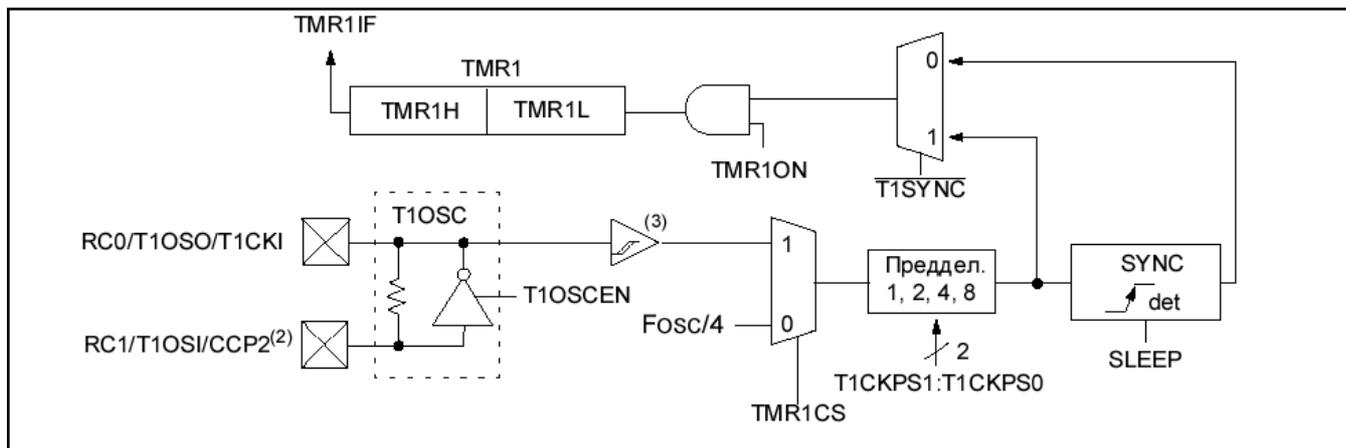
- 1 = включен
- 0 = выключен

Включение модуля TMR1 осуществляется установкой бита TMR1ON. Битом TMR1CS выбирается источник тактовых импульсов. В случае внешнего источника тактовых импульсов, битом T1SYNC можно разрешить/запретить синхронизацию к тактовой частоте микроконтроллера.

Для микроконтроллеров PIC16C72/73A/74A/76/77, когда включен генератор тактовых импульсов выводы RC1/T1OSI/CCP2 и RC0/T1OSO/T1CKI настроены как входы. Значение битов TRISC<1:0> игнорируется.

Для микроконтроллеров PC16C73/74, когда включен генератор тактовых импульсов вывод RC1/T1OSI/CCP2 работает как вход, а вывод RC0/T1OSO/T1CKI должен быть настроен на вход установкой бита TRISC<0>.

Структурная схема модуля TMR1



Работа TMR1 с внешним синхронизированным тактовым сигналом

Если бит TMR1CS установлен, то приращения таймера будут происходить по каждому переднему фронту сигнала с входа RC1/T1OSI/CCP2, когда бит T1OSCEN установлен, или с входа RC0/T1OSO/T1CKI, когда T1OSCEN=0.

При сброшенном бите T1SYNC внешний тактовый сигнал TMR1 на выходе предделителя синхронизируется с внутренним тактовым сигналом микроконтроллера. В этой конфигурации, в SLEEP режиме микроконтроллера, приращение таймера происходит не будет из-за отключенного синхронизатора.

Когда предделитель имеет коэффициент деления 1:1, внешний тактовый сигнал поступает сразу на синхронизатор. Выборка синхронизатором производится два раза за машинный цикл в тактах Q2 и Q4, из-за чего может возникнуть некоторая задержка от активного фронта сигнала на внешнем тактовом входе до приращения TMR1. Высокий и низкий уровни внешнего тактового сигнала должны быть длительностью не менее 2Tosc.

Работа TMR1 с внешним не синхронизированным тактовым сигналом

Если бит T1SYNC установлен, внешний тактовый сигнал TMR1 не будет синхронизироваться с внутренним тактовым сигналом микроконтроллера. Таймер продолжает работать в режиме SLEEP микроконтроллера. Переполнение таймера вызовет «пробуждение» микроконтроллера, если разрешено прерывание от TMR1.

Чтение 16-разрядного значения таймера требует некоторой осторожности, поскольку одной командой можно прочитать только старший или младший 8-разрядный байт. Рекомендуется сначала остановить таймер, а затем произвести операцию чтения или записи. В примере показана реализация чтения таймера, когда он не может быть остановлен.

```
; Выключить все прерывания
MOVF   TMR1H, W      ; Чтение старшего байта
MOVWF  TMPH          ;
MOVF   TMR1L, W      ; Чтение младшего байта
MOVWF  TMPL          ;
MOVF   TMR1H, W      ; Чтение старшего байта
SUBWF  TMPH, W       ; Сравнение с предыдущим чтением
BTFSC  STATUS, Z     ;
GOTO   CONTINUE      ; 16-разрядное значение прочитано правильно
;
MOVF   TMR1H, W      ; Чтение старшего байта
MOVWF  TMPH          ;
MOVF   TMR1L, W      ; Чтение младшего байта
MOVWF  TMPL          ;
CONTINUE:            ;
; Включить прерывания
```

Генератор TMR1

Керамический резонатор подключается к выводам T1OSI и T1OSO. Максимальная частота резонатора 200КГц. Включение генератора производится установкой бита T1OSEN в регистре T1CON, что позволяет работать TMR1 в SLEEP режиме микроконтроллера.

Пользователь должен обеспечить программную задержку, чтобы гарантировать надлежащий запуск генератора.

Связанные с TMR1 регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR BOR	Состояние после Reset
0Eh	TMR1L	Регистр младшего байта TMR1								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Регистр старшего байта TMR1								xxxx xxxx	uuuu uuuu
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
10h	T1CON	-	-	T1CK PS1	T1CK PS0	T1OS CEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

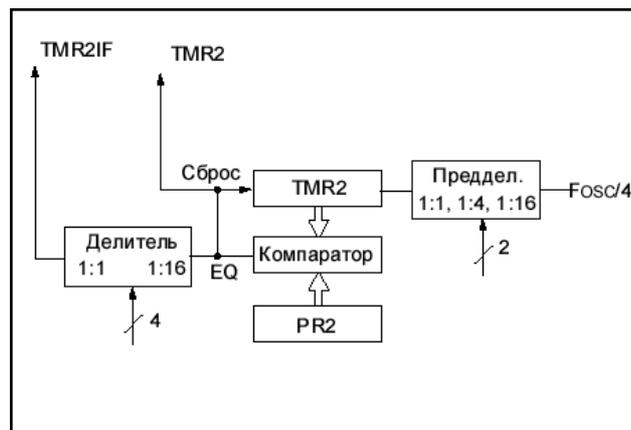
TMR2

Структурная схема TMR2

TMR2 – 8-разрядный счетчик с предварительным и выходным делителем частоты. Таймер может использоваться для совместной работы с модулем ШИМ и регистрами захвата. Внутренний тактовый сигнал $F_{osc}/4$ подается на вход TMR через программируемый предварительный делитель (T2CKPS1 : T2CKPS0).

Таймер 2 работает, инкрементируя от 00h до значения в регистре периода PR2, затем сбрасывается в 00h на следующем машинном цикле. Сигнал о сбросе значения таймера проходит через выходной программируемый делитель (TOUTPS3 : TOUTPS0), для формирования флага прерывания TMR2IF.

TMR2 может быть выключен сбросом бита TMR2ON в регистре T2CON, что снижает общий ток потребления микроконтроллера.



Предварительный и выходной делитель сбрасывается в следующих случаях:

- при записи в TMR2 регистр;
- при записи в T2CON регистр;
- при общем сбросе микроконтроллера

T2CON (адрес 12h) : регистр управления TMR2

U - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
-	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
бит7							бит0

бит 7: **Не используется:** читается как '0'

бит 6-3: **TOUTPS3:TOUTPS0:** выбор коэффициента выходного делителя TMR2

- 0000 = 1:1
- 0001 = 1:2
- ...
- 1111 = 1:16

бит 2: **TMR2ON:** включение модуля TMR2

- 1 = включен
- 0 = выключен

бит 1-0: **T2CKPS1:T2CKPS0:** выбор коэффициента деления предделителя TMR1

- 00 = 1:1
- 01 = 1:4
- 1x = 1:16

Связанные с TMR2 регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR BOR	Состояние после Reset
11h	TMR2	Регистр TMR2								0000 0000	0000 0000
92h	PR2	Регистр периода TMR2								1111 1111	1111 1111
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
12h	T2CON	-	TOUT PS3	TOUT PS2	TOUT PS1	TOUT PS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

CCP модули

В микроконтроллерах PIC16C7X имеется по два модуля CCP. Каждый CCP (Захват/Сравнение/ШИМ) содержит 16-разрядный регистр CCPRxH:CCPRxL, который может использоваться как регистр захвата. Работа модулей CCP1 и CCP2 идентична за исключением механизма их пуска.

CCP1CON (адрес 17h) : регистр управления CCP1/ **CCP2CON (адрес 1Dh) :** регистр управления CCP1

U - 0	U - 0	R/W - 0						
-	-	CCPxX	CCPxY	CCPxM3	CCPxM2	CCPxM1	CCPxM0	
бит7								бит0

бит 7-6: **Не используется:** читается как '0'

бит 5-4: **CCPxX:CCPxY:** младшие биты скважности ШИМ

Режим захвата: не используются
 Режим сравнения: не используются
 Режим ШИМ: младшие биты скважности

бит 3-0: **CCPxM3:CCPxM0:** режим работы CCPx модуля

0000 = CCPx модуль выключен
 0100 = захвата по каждому заднему фронту сигнала
 0101 = захват по каждому переднему фронту сигнала
 0110 = захват по каждому 4-му переднему фронту сигнала
 0111 = захват по каждому 16-му переднему фронту сигнала
 1000 = сравнение, устанавливает выходной сигнал (устанавливается флаг CCPxIF)
 1001 = сравнение, сбрасывает выходной сигнал (устанавливается флаг CCPxIF)
 1010 = сравнение, на выходной сигнал не влияет (устанавливается флаг CCPxIF)
 1011 = сравнение, триггер специальных функций (устанавливается флаг CCPxIF; CCP1 сбрасывает TMR1; CCP2 сбрасывает TMR1 и запускает АЦП на преобразование если оно включено)
 11xx = ШИМ режим

Режим захвата

При возникновении события захвата 16-разрядное значение счетчика TMR1 переписывается в регистры CCPR1L:CCPR1H для модуля CCP1. Событием захвата может быть:

- каждый задний фронт сигнала на входе RC2/CCP1
- каждый передний фронт сигнала
- каждый 4-й передний фронт сигнала
- каждый 16-й передний фронт сигнала

Тип события захвата устанавливается битами CCP1M3:CCP1M0 в регистре CCP1CON. После выполнения захвата устанавливается флаг прерывания CCP1F, который должен быть сброшен программно. Само прерывание можно разрешить битом CCP1IE в регистре PIE1. Запись нового значения захвата происходит и в том случае, если предыдущие данные не были прочитаны, при этом никаких дополнительных флагов не устанавливается.

Порт ввода/вывода RC2/CCP1 должен быть настроен на вход установкой бита TRISC<2>. Если порт ввода/вывода настроен на выход, то захват может происходить командой из программы.

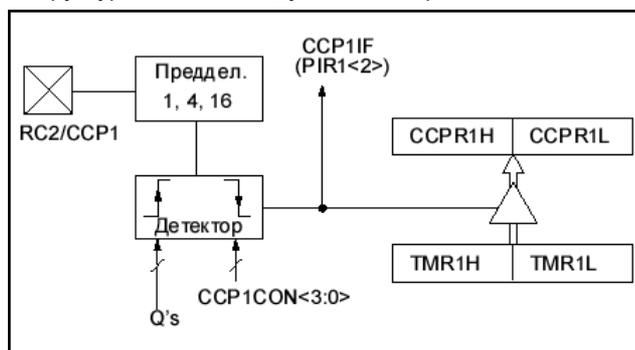
TMR1 должен работать в синхронизированном режиме в случае использования внешнего тактового сигнала с вывода RC0/T1OSO/T1CKI.

Включение режима захвата очищает предварительный счетчик событий. Переключение между типами событий не очищает счетчик событий, поэтому результат первого захвата после переключения может быть недостоверным.

В примере показано как нужно производить переключение типа события, чтобы не вызвать ложное срабатывание.

```
CLRF    CCP1CON    ; Выключить CCP модуль
MOVLW  NEW_CAPT_PS ; Записать W новый тип захвата и режим работы CCP
MOVWF  CCP1CON    ; Загрузить настройку в регистр CCP1CON
```

Структурная схема модуля CCP1 в режиме захвата



Режим сравнения

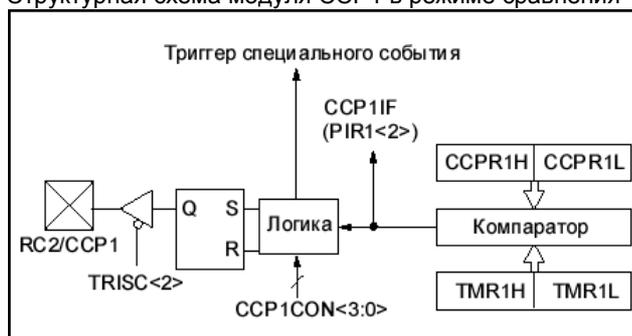
В этом режиме, 16-разрядный регистр CCP1 сравнивается со значением TMR1. Как только значения в регистрах становятся одинаковыми, модуль CCP1 изменяет состояние вывода RC2/CCP1:

- устанавливает высокий уровень сигнала;
- устанавливает низкий уровень сигнала;
- на вывод не воздействует.

Действие при совпадении может быть выбрано битами CCP1M3:CCP1M0 в регистре CCP1CON. В момент изменение состояния вывода устанавливается флаг прерывания CCP1IF. Само прерывание может быть разрешено битом CCP1E в регистре PIE1.

Для изменения состояния вывода RC2/CCP1, он должен быть настроен на выход сбросом бита TRISC<2>.

Структурная схема модуля CCP1 в режиме сравнения



Примечание. При очистки регистра CCP1CON на выводе RC2/CCP1 появиться сигнал низкого уровня, что не является результатом сравнения.

TMR1 должен работать в синхронизированном режиме в случае использования внешнего тактового сигнала с вывода RC0/T1OSO/T1CKI.

Триггер специального события сбрасывает значения таймера TMR1 при каждом положительно выполненном сравнении. CPP2, дополнительно запускает на преобразование модуль АЦП, если он был включен.

Для микроконтроллеров PIC16C72, только модуль CCP1 выполняет сброс TMR1 и запускает АЦП на преобразование.

Примечание. После выполнения сравнения и сброса TMR1 флаг прерывания TMR1IF устанавливаться не будет.

Связанные с CCP модулем в режиме захвата/сравнения регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR BOR	Состояние после Reset
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	-	-	-	-	-	-	-	CCP2IF	---- ---0	---- ---0
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	-	-	-	-	-	-	-	CCP2IE	---- ---0	---- ---0
87h	TRISC	Регистр направления PORTC								1111 1111	1111 1111
0Eh	TMR1L	Регистр младшего байта TMR1								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Регистр старшего байта TMR1								xxxx xxxx	uuuu uuuu
10h	T1CON	-	-	T1CK PS1	T1CK PS0	T1OS CEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
15h	CCPR1L	Регистр младшего байта CPP1								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Регистр старшего байта CCP1								xxxx xxxx	uuuu uuuu
17h	CCP1CON	-	-	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	Регистр младшего байта CPP2								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	Регистр старшего байта CPP2								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	-	-	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

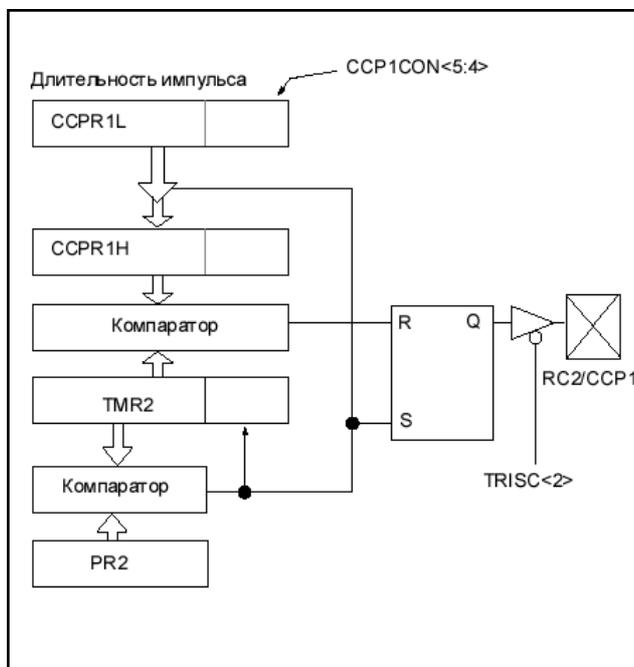
Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

ШИМ режим

Модуль CCPx поддерживает режим 10-разрядного ШИМ.

Выход CCP1 мультиплицирован с портом ввода/вывода PORTC, поэтому бит TRISC<2> должен быть сброшен.

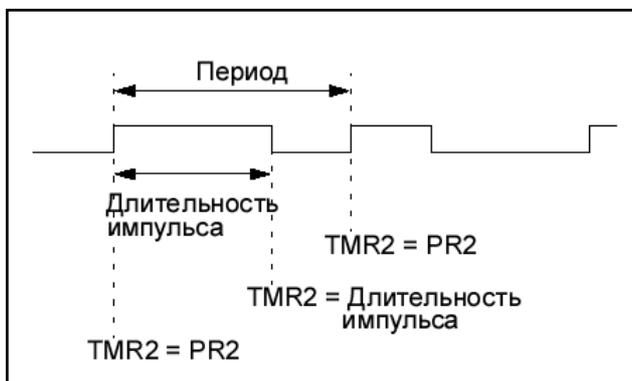
Упрощенная структурная схема модуля CCPx в ШИМ режиме



Период ШИМ определяется значением в регистре PR2 и может быть вычислен по формуле:

Период ШИМ = $[(PR2) + 1] \times 4 \times T_{osc} \times (\text{коэффициент делителя TMR2})$

Частота ШИМ = $1 / \text{Период ШИМ}$



Когда значение TMR2 сравнивается с PR2, выполняются следующие действия:

- TMR2 сбрасывается в 00h;
- Устанавливается в высокий уровень сигнал на выводе CCP1 (Если скважность равна 0%, то сигнал в высокий уровень устанавливаться не будет)
- Модуль ШИМ начинает новый цикл загружая значение из регистра CCP1L в CCP1H.

Длительность импульса ШИМ определяется регистрами CCP1L и битами регистра CCP1CON<5:4>. Для 10-разрядного ШИМ в регистре CCP1L сохраняются старшие 8 бит, в регистре CCP1CON<5:4> сохраняются младшие 2 бита.

Уравнение для вычисления длительности импульса ШИМ:

Длительность импульса = $(CCP1L:CCP1CON<5:4>) \times T_{osc} \times (\text{коэффициент делителя TMR2})$

Записать новое значение скважности в регистры CCP1L:CCP1CON<5:4> можно в любое время, поскольку перезапись в регистр CCP1H произойдет только при начале нового цикла ШИМ. Регистр CCP1H доступен только на чтение.

Разрядность ШИМ можно вычислить по формуле:

$$= \text{Log} (\text{Fosc}/\text{Частота ШИМ}) / \text{Log}(2)$$

Пример вычислений:

Желаемая частота ШИМ = 78.125КГц,
 Fosc = 20 MHz
 Коэффициент делителя TMR2 = 1

$$1/78.125\text{КГц} = [(\text{PR2}) + 1] \times 4 \times 1/20\text{МГц} \times 1$$

$$12.8\text{мкс} = [(\text{PR2}) + 1] \times 4 \times 50\text{нс} \times 1$$

$$\text{PR2} = 63$$

Найдем максимальное разрешение ШИМ:

$$1/78.125\text{КГц} = 2^{(\text{разрешение ШИМ})} \times 1/20\text{МГц} \times 1$$

$$12.8\text{мкс} = 2^{(\text{разрешение ШИМ})} \times 50\text{нс} \times 1$$

$$256 = 2^{(\text{разрешение ШИМ})}$$

$$\text{Log}(256) = (\text{разрешение ШИМ}) \times \text{Log}(2)$$

$$\text{разрешение ШИМ} = 8.0$$

При 8-разрядном ШИМ с частотой 78.125КГц и тактовой частотой микроконтроллера 20МГц, рабочий диапазон значений регистров управления $0 \leq \text{CCPR1L}:\text{CCP1CON} \langle 5:4 \rangle \leq 255$. Если записать значение больше чем 255, то будет получена скважность 100%.

Разрешение ШИМ в зависимости от частоты ШИМ, при тактовой частоте микроконтроллера 20МГц.

Частота ШИМ	1.22КГц	4.88КГц	19.53КГц	78.12КГц	156.3КГц	208.3КГц
Коэффициент делителя TMR2	16	4	1	1	1	1
PR2	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
Разрешение ШИМ	10	10	10	8	7	5.5

Рекомендованная последовательность действий включения модуля CCP в ШИМ режиме:

- установить период ШИМ в регистре PR2;
- установить длительность импульса в регистрах CCPR1L и CCP1CON <5:4>;
- настроить вывод CCP1 как выход, сбросив бит TRISC<2>;
- настроить делитель TMR2;
- включить CCP1 в режиме ШИМ.

Связанные с CCP модулем в ШИМ регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR BOR	Состояние после Reset
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	-	-	-	-	-	-	-	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	-	-	-	-	-	-	-	CCP2IE	---- --0	---- --0
87h	TRISC	Регистр направления PORTC								1111 1111	1111 1111
11h	TMR2	Регистр TMR2								0000 0000	0000 0000
92h	PR2	Регистр периода TMR2								1111 1111	1111 1111
12h	T2CON	-	TOUT PS3	TOUT PS2	TOUT PS1	TOUT PS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
15h	CCPR1L	Регистр младшего байта CPP1								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Регистр старшего байта CCP1								xxxx xxxx	uuuu uuuu
17h	CCP1CON	-	-	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	Регистр младшего байта CPP2								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	Регистр старшего байта CPP2								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	-	-	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Статья основывается на технической документации DS30390e компании Microchip Technology Incorporated, USA.