

# **PIC16F87X**

## **Модуль ведущего синхронного последовательного порта MSSP в микроконтроллерах PIC16F87X** (2-я редакция)

Перевод основывается на технической документации DS30292C  
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»  
Москва - 2001

Распространяется бесплатно.  
Полное или частичное воспроизведение материала допускается только с письменного разрешения  
ООО «Микро-Чип»  
тел. (095) 737-7545  
[www.microchip.ru](http://www.microchip.ru)

## Содержание

|                                                                                  |          |
|----------------------------------------------------------------------------------|----------|
| <b>9.0 Модуль ведущего синхронного последовательного порта (MSSP).....</b>       | <b>3</b> |
| 9.1 Режим SPI.....                                                               | 7        |
| 9.1.1 Режим ведущего SPI.....                                                    | 8        |
| 9.1.2 Режим ведомого SPI.....                                                    | 9        |
| 9.2 Режим I <sup>2</sup> C.....                                                  | 10       |
| 9.2.1 Режим ведомого I <sup>2</sup> C.....                                       | 11       |
| 9.2.1.1 Адресация.....                                                           | 12       |
| 9.2.1.2 Прием данных ведомым.....                                                | 12       |
| 9.2.1.3 Передача данных ведомым.....                                             | 13       |
| 9.2.2 Поддержка общего вызова.....                                               | 14       |
| 9.2.3 Работа в SLEEP режиме.....                                                 | 14       |
| 9.2.4 Эффект сброса.....                                                         | 14       |
| 9.2.5 Режим ведущего I <sup>2</sup> C.....                                       | 15       |
| 9.2.6 Режим конкуренции.....                                                     | 15       |
| 9.2.7 Поддержка режима ведущего I <sup>2</sup> C.....                            | 16       |
| 9.2.8 Работа в режиме ведущего I <sup>2</sup> C.....                             | 16       |
| 9.2.8 Генератор скорости обмена.....                                             | 17       |
| 9.2.9 Формирование бита START в режиме ведущего I <sup>2</sup> C.....            | 18       |
| 9.2.9.1 Флаг WCOL.....                                                           | 18       |
| 9.2.10 Формирование бита повторный START в режиме ведущего I <sup>2</sup> C..... | 19       |
| 9.2.10.1 Флаг WCOL.....                                                          | 19       |
| 9.2.11 Передача данных в режиме ведущего I <sup>2</sup> C.....                   | 20       |
| 9.2.11.1 Флаг BF.....                                                            | 20       |
| 9.2.11.2 Флаг WCOL.....                                                          | 20       |
| 9.2.11.3 Флаг ACKSTAT.....                                                       | 20       |
| 9.2.12 Прием данных в режиме ведущего I <sup>2</sup> C.....                      | 22       |
| 9.2.12.1 Флаг BF.....                                                            | 22       |
| 9.2.12.2 Флаг SSPOV.....                                                         | 22       |
| 9.2.12.3 Флаг WCOL.....                                                          | 22       |
| 9.2.13 Формирование бита подтверждения в режиме ведущего I <sup>2</sup> C.....   | 24       |
| 9.2.13.1 Флаг WCOL.....                                                          | 24       |
| 9.2.14 Формирование бита STOP в режиме ведущего I <sup>2</sup> C.....            | 24       |
| 9.2.14.1 Флаг WCOL.....                                                          | 24       |
| 9.2.15 Синхронизация тактового сигнала.....                                      | 25       |
| 9.2.16 Режим конкуренции, арбитраж и конфликты шины.....                         | 25       |
| 9.2.16.1 Конфликт шины при формировании бита START.....                          | 26       |
| 9.2.16.2 Конфликт шины при формировании бита повторный START.....                | 28       |
| 9.2.16.3 Конфликт шины при формировании бита STOP.....                           | 29       |
| 9.3 Подключение к шине I <sup>2</sup> C.....                                     | 30       |

## 9.0 Модуль ведущего синхронного последовательного порта (MSSP)

Модуль ведущего синхронного последовательного порта (MSSP) может использоваться для связи с периферийными микросхемами или другими микроконтроллерами. Периферийными микросхемами могут быть: EEPROM память, сдвиговые регистры, драйверы ЖКИ, АЦП и др. Модуль MSSP может работать в двух режимах:

- Последовательный периферийный интерфейс (SPI);
- Inter-Integrated Circuit (I<sup>2</sup>C).

На рисунке 91- показана структурная схема модуля MSSP в режиме SPI, а на рисунках 9-5, 9-9 в двух разных режимах I<sup>2</sup>C.

Дополнительно смотрите техническую документацию AN734 "Using the PICmicro SSP for Slave I<sup>2</sup>C™ Communication" и AN735 "Using the PICmicro MSSP Module for I<sup>2</sup>C™ Communication".

**SSPSTAT (адрес 94h) Регистр статуса модуля MSSP**

|            |            |             |          |          |             |           |           |
|------------|------------|-------------|----------|----------|-------------|-----------|-----------|
| R/W-0      | R/W-0      | R-0         | R-0      | R-0      | R-0         | R-0       | R-0       |
| <b>SMP</b> | <b>CKE</b> | <b>DI-A</b> | <b>P</b> | <b>S</b> | <b>R/-W</b> | <b>UA</b> | <b>BF</b> |
| Бит 7      |            |             |          |          |             |           | Бит 0     |

R – чтение бита  
W – запись бита  
U – не реализовано,  
читается как 0  
–n – значение после POR  
–x – неизвестное  
значение после POR

- бит 7: **SMP:** Фаза выборки бита  
Ведущий режим SPI  
1 = опрос входа в конце периода вывода данных  
0 = опрос входа в середине периода вывода данных  
  
Ведомый режим SPI  
Для режима ведомого SPI этот бит всегда должен быть сброшен в '0'  
  
Ведущий или ведомый режим I<sup>2</sup>C  
1 = управление длительностью фронта выключено в стандартном режиме (100кГц и 1МГц)  
0 = управление длительностью фронта включено в скоростном режиме (400кГц)
- бит 6: **CKE:** Выбор фронта тактового сигнала (см. рис. 9-2, 9-3 и 9-4)  
SPI режим, CKP=0  
1 = данные передаются по переднему фронту сигнала на выводе SCK  
0 = данные передаются по заднему фронту сигнала на выводе SCK  
  
SPI режим, CKP=1  
1 = данные передаются по заднему фронту сигнала на выводе SCK  
0 = данные передаются по переднему фронту сигнала на выводе SCK  
  
Ведущий или ведомый режим I<sup>2</sup>C  
1 = входные уровни соответствуют спецификации SMBus  
0 = входные уровни соответствуют спецификации I<sup>2</sup>C
- бит 5: **DI-A:** Бит Данные/Адрес (только для режима I<sup>2</sup>C)  
1 = последний принятый или переданный байт является информационным  
0 = последний принятый или переданный байт является адресным
- бит 4: **P:** Бит STOP (только для режима I<sup>2</sup>C)  
Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.  
1 = указывает, что бит STOP был обнаружен последним (этот бит равен '0' после сброса)  
0 = бит STOP не является последним
- бит 3: **S:** Бит START (только для режима I<sup>2</sup>C)  
Этот бит сбрасывается в '0' когда модуль MSSP выключен, SSPEN=0.  
1 = указывает, что бит START был обнаружен последним (этот бит равен '0' после сброса)  
0 = бит START не является последним
- бит 2: **R/-W:** Бит чтения/записи (только для режима I<sup>2</sup>C)  
Значение бита действительно только после совпадения адреса и до приема бита START, STOP или -ACK.  
Ведомый режим I<sup>2</sup>C  
1 = чтение  
0 = запись  
  
Ведущий режим I<sup>2</sup>C  
1 = выполняется передача данных  
0 = передачи данных не происходит  
Логическое ИЛИ этого бита с битами SEN, RSEN, PEN, RCEN или ACKEN укажет на неактивное состояние модуля MSSP.
- бит 1: **UA:** Флаг обновления адреса устройства (только для режима 10-разрядного I<sup>2</sup>C)  
1 = необходимо обновить адрес в регистре SSPADD  
0 = обновление адреса не требуется
- бит 0: **BF:** Бит статуса буфера  
Прием (SPI и I<sup>2</sup>C режимы)  
1 = прием завершен, буфер SSPBUF полон  
0 = прием не завершен, буфер SSPBUF пуст  
  
Передача (только I<sup>2</sup>C режима)  
1 = выполняется передача данных (исключая биты -ACK и STOP), буфер SSPBUF полон  
0 = передача данных завершена (исключая биты -ACK и STOP), буфер SSPBUF пуст

**SSPCON (адрес 14h) Регистр управления модуля MSSP**

| R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 | R/W-0 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| WCOL  | SSPOV | SSPEN | CKP   | SSPM3 | SSPM2 | SSPM1 | SSPM0 |

Бит 7

Бит 0

R – чтение бита  
W – запись бита  
U – не реализовано,  
читается как 0  
–n – значение после POR  
–x – неизвестное  
значение после POR

бит 7: **WCOL:** Бит конфликта записиВедущий режим

1 = запись в SSPBUF была выполнена при не выполнении условий шины I<sup>2</sup>C  
0 = конфликта не было

Ведомый режим

1 = была предпринята попытка записи в SSPBUF во время передачи предыдущего байта  
0 = конфликта не было

бит 6: **SSPOV:** Бит переполнения приемникаSPI режим

1 = принят новый байт в то время как SSPBUF содержит предыдущие данные(байт в SSPSR будет потерян). В ведомом режиме пользователь должен прочитать содержимое регистра SSPBUF даже, если только передает данные. В ведущем режиме бит в '1' не устанавливается, т.к. каждая операция инициализируется записью в SSPBUF. (сбрасывается в '0' программно)  
0 = нет переполнения

I<sup>2</sup>C режим

1 = принят новый байт в то время как SSPBUF содержит предыдущие данные. Значение бита не действительно при передаче данных. (сбрасывается в '0' программно)  
0 = нет переполнения

бит 5: **SSPEN:** Бит включения модуля MSSP

Когда модуль включен, соответствующие порты ввода/вывода настраиваются на выход или вход

SPI режим

1 = модуль MSSP включен, выводы SCK, SDO, SDI, -SS используются модулем MSSP  
0 = модуль MSSP выключен, выводы работают как цифровые порты ввода/вывода

I<sup>2</sup>C режим

1 = модуль MSSP включен, выводы SDA, SCL используются модулем MSSP  
0 = модуль MSSP выключен, выводы работают как цифровые порты ввода/вывода

бит 4: **CKP:** Бит выбора полярности тактового сигналаSPI режим

1 = пассивный высокий уровень сигнала  
0 = пассивный низкий уровень сигнала

Ведомый режим I<sup>2</sup>C

Управление тактовым сигналом SCK

1 = не управлять тактовым сигналом  
0 = удерживать тактовый сигнал в низком логическом уровне (используется для подготовки данных)

Ведущий режим I<sup>2</sup>C

Не имеет значения

биты 3-0: **SSPM3:SSPM0:** Режим работы модуля MSSP

0000 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/4$

0001 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/16$

0010 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/64$

0011 = ведущий режим SPI, тактовый сигнал = выход TMR2 / 2

0100 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS подключен к MSSP

0101 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS не подключен к MSSP

0110 = ведомый режим I<sup>2</sup>C, 7-разрядная адресация

0111 = ведомый режим I<sup>2</sup>C, 10-разрядная адресация

1000 = ведущий режим I<sup>2</sup>C, тактовый сигнал =  $F_{osc}/(4 * (SSPAD+1))$

1011 = программная поддержка ведущего режима I<sup>2</sup>C (ведомый режим выключен)

1110 = программная поддержка ведущего режима I<sup>2</sup>C, 7-разрядная адресация с разрешением прерываний по приему бит START и STOP

1111 = программная поддержка ведущего режима I<sup>2</sup>C, 10-разрядная адресация с разрешением прерываний по приему бит START и STOP

1001, 1010, 1100, 1101 = резерв

**SSPCON2 (адрес 91h) Регистр управления модуля MSSP**

| R/W-0       | R/W-0          | R/W-0        | R/W-0        | R/W-0       | R/W-0      | R/W-0       | R/W-0      |
|-------------|----------------|--------------|--------------|-------------|------------|-------------|------------|
| <b>GCEN</b> | <b>ACKSTAT</b> | <b>ACKDT</b> | <b>ACKEN</b> | <b>RCEN</b> | <b>PEN</b> | <b>RSEN</b> | <b>SEN</b> |

Бит 7

Бит 0

R – чтение бита  
W – запись бита  
U – не реализовано,  
читается как 0  
–n – значение после POR  
–x – неизвестное  
значение после POR

- бит 7: **GCEN**: Бит разрешения поддержки общего вызова (только для ведомого режима I<sup>2</sup>C)  
1 = разрешить прерывания при приеме в регистр SSPSR адреса общего вызова (0000h)  
0 = поддержка общего вызова выключена
- бит 6: **ACKSTAT**: Бит статуса подтверждения (только для ведущего режима I<sup>2</sup>C)  
Передача ведущего I<sup>2</sup>C  
1 = подтверждения не было получено от ведомого  
0 = подтверждение от ведомого было получено
- бит 5: **ACKDT**: Бит подтверждения (только для ведущего режима I<sup>2</sup>C)  
Прием ведущего I<sup>2</sup>C  
Значение этого бита передается при разрешении формирования бита подтверждения.  
1 = подтверждение  
0 = нет подтверждения
- бит 4: **ACKEN**: Сформировать бит подтверждения (только для ведущего режима I<sup>2</sup>C)  
1 = на выводах SCL, SDA формируется бит ACKDT. Аппаратно сбрасывается в '0'  
0 = подтверждение не формируется
- бит 3: **RCEN**: Разрешить прием данных (только для ведущего режима I<sup>2</sup>C)  
1 = разрешить прием данных с шины I<sup>2</sup>C  
0 = приемник выключен
- бит 2: **PEN**: Сформировать бит STOP (только для ведущего режима I<sup>2</sup>C)  
1 = на выводах SCL, SDA формируется бит STOP. Аппаратно сбрасывается в '0'  
0 = бит STOP не формируется
- бит 1: **RSEN**: Сформировать бит повторный START (только для ведущего режима I<sup>2</sup>C)  
1 = на выводах SCL, SDA формируется бит повторный START. Аппаратно сбрасывается в '0'  
0 = бит повторный START не формируется
- бит 0: **SEN**: Сформировать бит START (только для ведущего режима I<sup>2</sup>C)  
1 = на выводах SCL, SDA формируется бит START. Аппаратно сбрасывается в '0'  
0 = бит START не формируется

**Примечание.** Для битов ACKEN, RCEN, PEN, RSEN, SEN. Если I<sup>2</sup>C модуль находится в пассивном состоянии, то ни один из битов не может быть установлен в '1' (поставлен в очередь), не может быть выполнена запись в регистр SSPBUF (или запись в регистр SSPBUF заблокирована).

## 9.1 Режим SPI

В SPI режиме возможен одновременный синхронный прием/переда 8-разрядных данных. Модуль MSSP поддерживает четыре режима SPI с типовым использованием трех выводов микроконтроллера:

- Вход последовательных данных (SDI);
- Выход последовательных данных (SDO);
- Тактовый сигнал (SCK).

Дополнительно может быть задействован четвертый вывод для работы в режиме ведомого.

- Выбор ведомого (-SS).

При инициализации SPI необходимо определить параметры работы битами SSPCON<5:0>, SSPSTAT<7:6>. Управляющие биты определяют следующие параметры работы:

- Ведущий режим (SCK выход);
- Ведомый режим (SCK вход);
- Полярность тактового сигнала (пассивный уровень SCK);
- Фаза выборки входных данных (в середине или конце передачи бита);
- Активный фронт тактового сигнала (передний, задний);
- Частота тактового сигнала (только в ведущем режиме);
- Режим выбора ведомого (только в режиме ведомого).

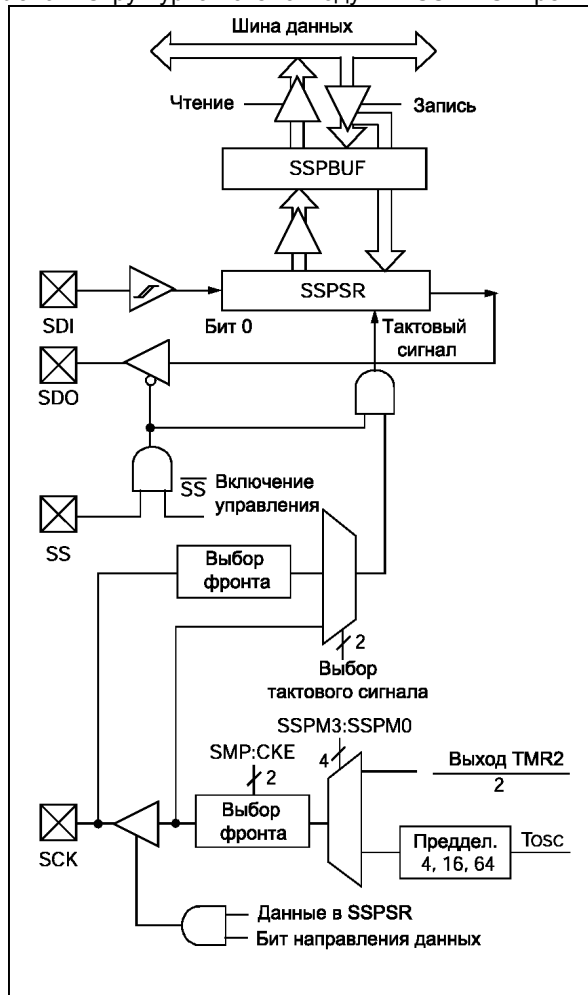
На рисунке 9-1 показана структурная схема модуля MSSP в SPI режиме.

Для включения модуля MSSP необходимо установить бит SSPEN (SSPCON<5>) в '1'. Для сброса или перенастройки режима SPI рекомендуется сбросить бит SSPEN в '0', выполнить изменения параметров работы, а затем вновь установить бит SSPEN в '1'. После включения MSSP в режиме SPI выводы SDI, SDO, SCK, -SS используются последовательным портом. Для корректной работы последовательного порта биты регистров TRIS должны быть настроены следующим образом:

- SDI, автоматически управляется SPI модулем;
- SDO, бит TRISC<5> должен быть сброшен в '0';
- SCK (ведущий режим), бит TRISC<3> = 0;
- SCK (ведомый режим), бит TRISC<3> = 1;
- -SS, бит TRISA<5> = 1, в регистре ADCON1 вывод RA5 должен быть настроен как цифровой порт ввода/вывода (см. раздел 11.0).

Любая нежелательная функция последовательного порта может быть выключена, настраивая соответствующие биты регистров направления данных TRIS.

Рис. 9-1 Структурная схема модуля MSSP в SPI режиме



### 9.1.1 Режим ведущего SPI

Ведущий шины может инициализировать передачу данных в любой момент, поскольку он генерирует тактовый сигнал, и определяет когда ведомый должен передать данные в соответствии с используемым протоколом (см. рисунок 9-2).

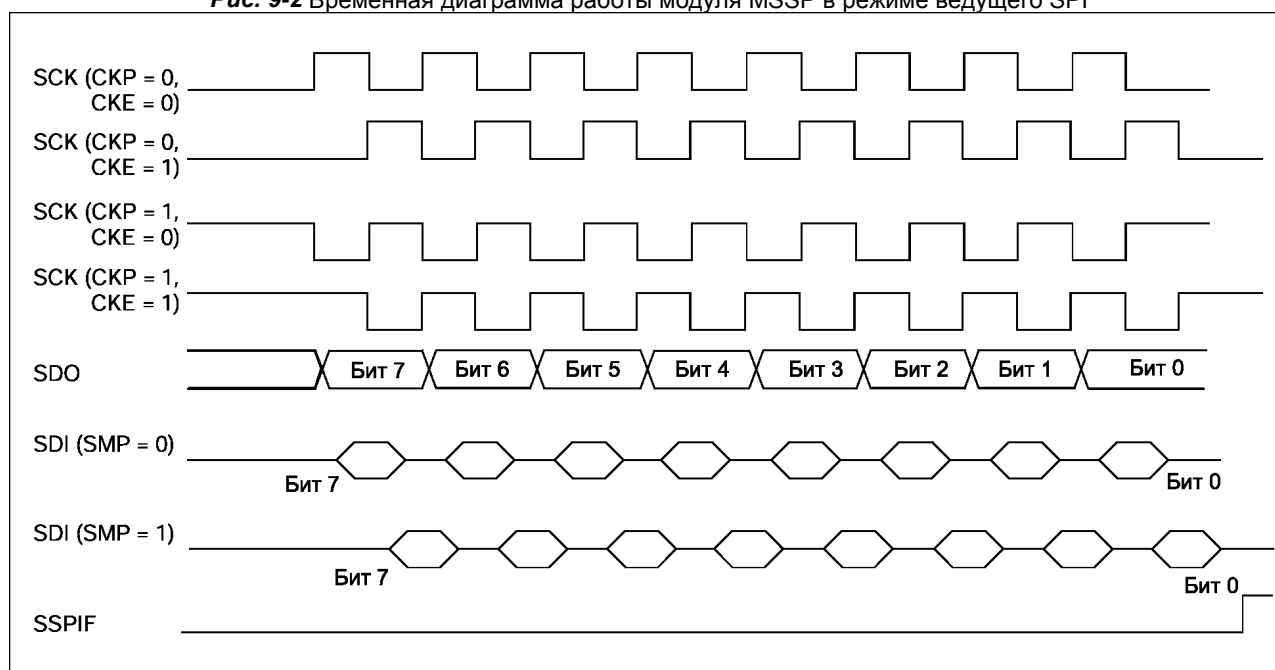
В режиме ведомого данные передаются/приняты после их записи/чтения из регистра SSPBUF. Если в SPI режиме требуется только принимать данные, вывод SDO может быть заблокирован (настроен как вход). Данные в регистре SSPSR последовательно сдвигаются и передаются на вывод SDI с установленной скоростью. Каждый принятый байт загружается в регистр SSPBUF (как нормально полученный байт) с формированием прерываний и воздействием на соответствующие биты статуса. Эта функция может быть полезна при реализации "монитора шины".

Полярность тактового сигнала устанавливается битом CKP (SSPCON<4>), что позволяет получить различные методы передачи данных (см. рисунок 9-2). Данные всегда передаются старшим битом вперед. В ведущем режиме частота тактового сигнала выбирается программно:

- $F_{osc}/4$  (или  $T_{CY}$ );
- $F_{osc}/16$  (или  $4 \times T_{CY}$ );
- $F_{osc}/64$  (или  $16 \times T_{CY}$ );
- Выход таймера TMR2 / 2.
- Максимальная частота передачи данных 5МГц при тактовой частоте микроконтроллера 20МГц.

Бит СKE определяет по какому фронту тактового сигнала необходимо выполнять прием данных. Параметры выборки входных данных устанавливаются битом SMP. Поле загрузки принятых данных в регистр SSPBUF устанавливается флаг прерываний SSPIF в '1'.

**Рис. 9-2** Временная диаграмма работы модуля MSSP в режиме ведущего SPI





### 9.1.2 Режим ведомого SPI

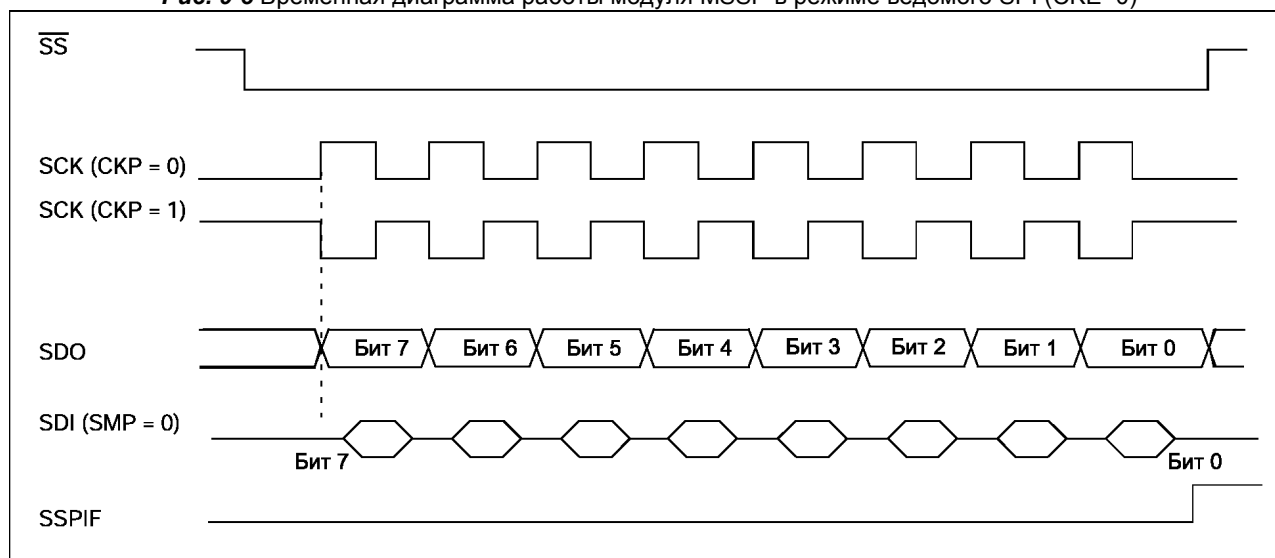
В режиме ведомого данные передаются/принимаются по внешнему тактовому сигналу на выводе SCK. Когда принимается последний бит байта, устанавливается в '1' флаг прерываний SSPIF (PIR1<3>). Внешний тактовый сигнал должен удовлетворять требованиям длительности низкого и высокого логического уровня, описанным в разделе электрических характеристик.

В SLEEP режиме микроконтроллера ведомый может принимать/передавать данные. После приема данных микроконтроллер выходит из режима SLEEP.

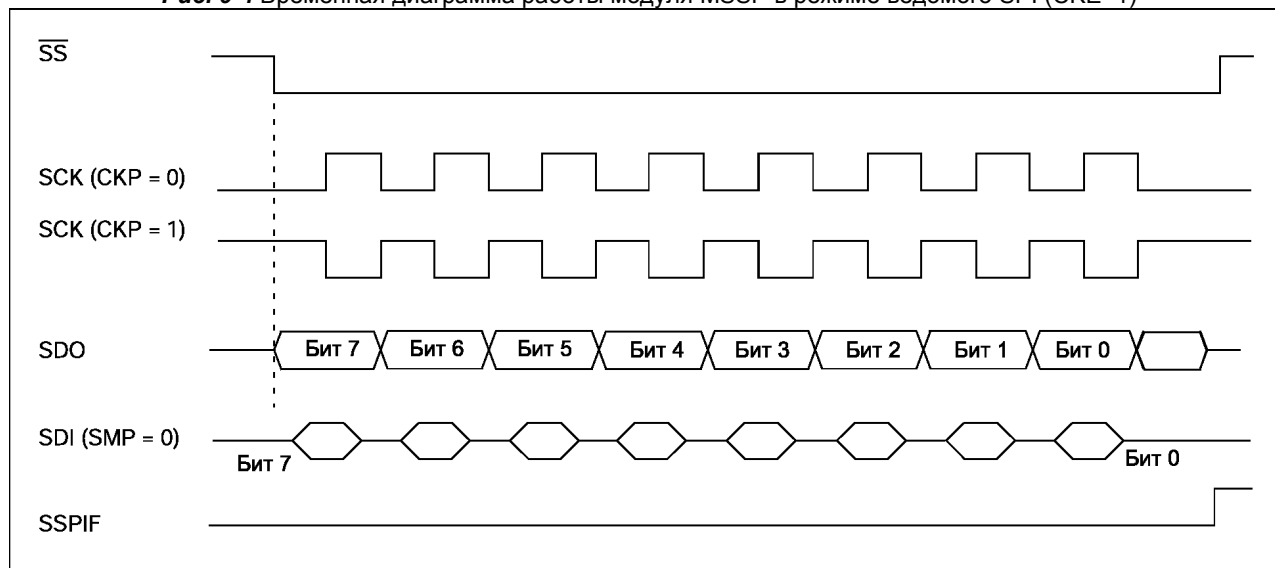
#### Примечания:

1. В режиме ведомого SPI с поддержкой выбора ведомого по сигналу на выводе -SS (SSPCON<3:0>=0100), SPI модуль сброшен, если на выводе -SS напряжение питания  $V_{DD}$ .
2. В режиме ведомого SPI и CKE = 1, необходимо разрешить управление с вывода -SS.

**Рис. 9-3** Временная диаграмма работы модуля MSSP в режиме ведомого SPI (CKE=0)



**Рис. 9-4** Временная диаграмма работы модуля MSSP в режиме ведомого SPI (CKE=1)



**Таблица 9-1** Регистры и биты связанные с работой модуля MSSP в режиме SPI

| Адрес   | Имя     | Бит 7                                      | Бит 6 | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1  | Бит 0  | Сброс<br>POR, BOR | Другие<br>сбросы |
|---------|---------|--------------------------------------------|-------|-------|-------|-------|-------|--------|--------|-------------------|------------------|
| 0Bh/8Bh | INTCON  | GIE                                        | PEIE  | T0IE  | INTE  | RBIE  | T0IF  | INTF   | RBIF   | 0000 000x         | 0000 000u        |
| 0Ch     | PIR1    | PSPIF*                                     | ADIF  | RCIF  | TXIF  | SSPIF | CCP1F | TMR2IF | TMR1IF | 0000 0000         | 0000 0000        |
| 8Ch     | PIE1    | PSPIE*                                     | ADIE  | RCIE  | TXIE  | SSPIE | CCP1E | TMR2IE | TMR1IE | 0000 0000         | 0000 0000        |
| 13h     | SSPBUF  | Буфер приемника MSSP / регистр передатчика |       |       |       |       |       |        |        | xxxx xxxx         | uuuu uuuu        |
| 14h     | SSPCON  | WCOL                                       | SSPOV | SSPEN | CKP   | SSPM3 | SSPM2 | SSPM1  | SSPM0  | 0000 0000         | 0000 0000        |
| 94h     | SSPSTAT | SMP                                        | CKE   | D/A   | P     | S     | R/W   | UA     | BF     | 0000 0000         | 0000 0000        |

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий.

Затененные биты на работу не влияют.

**Примечание\*.** Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

## 9.2 Режим I<sup>2</sup>C

Модуль MSSP полностью поддерживает все функции ведущих и ведомых устройств, включая поддержку общего вызова, аппаратные прерывания по детектированию битов START и STOP для определения занятости шины I<sup>2</sup>C в режиме ведущего (при конкуренции на шине). В MSSP модуле реализована поддержка стандартного режима 7, 10-разрядной адресации.

Дополнительно смотрите техническую документацию AN578 "Use of the SSP Module in the I<sup>2</sup>C Multi-Master Environment".

Фильтр "glitch" подключен к выводам SDA и SCL, когда они настроены на вход. Фильтр работает в режимах 100кГц и 400кГц. В режиме 100кГц, когда выводы SDA и SCL настроены на выход, фильтр контролирует длительность формируемых сигналов в не зависимости от тактовой частоты микроконтроллера.

Для работы с шиной I<sup>2</sup>C используется два вывода SCL (сигнал синхронизации) и SDA (данные). Выводы SDA и SCL автоматически настраиваются при включении режима I<sup>2</sup>C. Включение модуля MSSP выполняется установкой бита SSPEN (SSPCON<5>) в '1'.

Для управления модулем MSSP в режиме I<sup>2</sup>C используется шесть регистров:

- SSPCON, регистр управления MSSP;
- SSPCON, регистр управления 2 MSSP;
- SSPSTAT, регистр статуса MSSP;
- SSPBUF, буфер приемника/передатчика;
- SSPSR, сдвиговый регистр (пользователю не доступен);
- SSPADD, регистр адреса.

В регистре SSPCON устанавливается требуемый режим I<sup>2</sup>C. С помощью четырех битов (SSPCON<3:0>) можно выбрать один из режимов I<sup>2</sup>C:

- Ведомый режим I<sup>2</sup>C, 7-разрядная адресация;
- Ведомый режим I<sup>2</sup>C, 10-разрядная адресация;
- Ведущий режим I<sup>2</sup>C, тактовый сигнал =  $F_{OSC}/(4 * (SSPADD+1))$ ;
- Программная поддержка ведущего режима I<sup>2</sup>C (реализовано для совместимости с другими PICmicro).

При выборе любого режима I<sup>2</sup>C выводы SCL и SDA должны быть настроены на вход, установкой соответствующих битов регистра TRISC в '1'. После выбора режима I<sup>2</sup>C и установки бита SSPEN в '1' выводы SDA, SCL подключаются к модулю MSSP. Для нормальной работы модуля I<sup>2</sup>C к выводам SCL, SDA должны быть подключены внешние подтягивающие резисторы.

Бит CKE (SSPSTAT<6>) устанавливает уровни сигналов на выводах SCL, SDA в ведущем и ведомом режимах. Если CKE=1, то выходные уровни соответствуют спецификации SMBus. Когда CKE=0, выходные уровни соответствуют спецификации I<sup>2</sup>C.

Регистр SSPSTAT содержит биты статуса передачи данных: обнаружение на шине битов START (S) или STOP (P), флаг приема байта данных или адреса, указатель загрузки старшего байта 10-разрядного адреса, бит операции приема/передачи.

В регистр SSPBUF загружаются данные для передачи по шине I<sup>2</sup>C, и из него читаются принятые данные. Регистр SSPSR выполняет сдвиг принимаемых/передаваемых данных. При приеме данных регистры SSPBUF, SSPSR работают как двухуровневый буфер приемника. Буфер позволяет принимать следующий байт до чтения предыдущего принятого байта из регистра SSPBUF. Когда байт полностью загружен в SSPSR, он передается в регистр SSPBUF и устанавливается флаг прерывания SSPIF в '1'. Если полностью принят следующий байт до чтения предыдущего байта из SSPBUF, то устанавливается бит SSPOV (SSPCON<6>) в '1', а байт в регистре SSPSR будет потерян.

В регистр SSPADD записывается адрес ведомого устройства. В 10-разрядном режиме пользователь должен сначала записывать старший байт адреса (1111 0 A9 A8 0). После соответствия старшего байта адреса необходимо загрузить младший байт адреса (A7:A0).

### 9.2.1 Режим ведомого I<sup>2</sup>C

В режиме ведомого I<sup>2</sup>C выводы SCL, SDA должны быть настроены на вход. Модуль MSSP автоматически изменит направление вывода SDA при передачи данных ведомым. Структурная схема модуля MSSP в режиме ведомого I<sup>2</sup>C показана на рисунке 9-5.

При совпадении адреса или после приема байта данных (если предварительно совпал адрес) аппаратно генерируется бит подтверждения (-ACK), а затем данные из регистра SSPSR загружаются в SSPBUF.

Существует несколько условий, при которых бит -ACK не формируется (эти условия могут возникать одновременно):

- Бит BF (SSPSTAT<0>) = 1 перед приемом данных;
- Бит переполнения SSPOV (SSPSTAT<6>) = 1 перед приемом данных.

Если бит BF = 1, то значение из SSPSR не переписывается в регистр SSPBUF, а биты SSPIF и SSPOV устанавливаются в '1'. В таблице 9-2 показаны операции после приема байта при различных значениях битов BF, SSPOV. В затененных ячейках показана ситуация, когда вовремя не был сброшен бит переполнения SSPOV в '0'. Заметьте, что бит BF аппаратно сбрасывается в '0' при чтении из регистра SSPBUF, а бит SSPOV необходимо сбрасывать в '0' программно.

Минимальная длительность логических уровней входного сигнала синхронизации SCL должна удовлетворять требованиям раздела электрических характеристик (см. параметры 100 и 101).

Рис. 9-5 Структурная схема модуля MSSP в режиме ведомого I<sup>2</sup>C

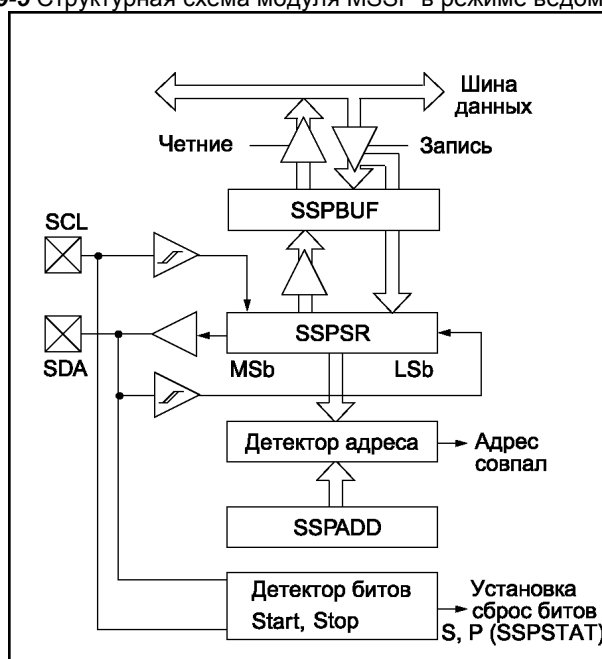


Таблица 9-2 Операции после приема байта при различных значениях битов BF, SSPOV

| Биты статуса приемника |       | Запись из SSPSR<br>в SSPBUF | Формирование<br>бита -ACK | Установка флага<br>прерываний SSPIF |
|------------------------|-------|-----------------------------|---------------------------|-------------------------------------|
| BF                     | SSPOV |                             |                           |                                     |
| 0                      | 0     | Есть                        | Есть                      | Есть                                |
| 1                      | 0     | Нет                         | Нет                       | Есть                                |
| 1                      | 1     | Нет                         | Нет                       | Есть                                |
| 0                      | 1     | Есть                        | Нет                       | Есть                                |

### 9.2.1.1 Адресация

После включения модуля MSSP ожидается формирование на шине бита START. Получив бит START, принимается 8 бит в сдвиговый регистр SSPSR. Выборка битов происходит по переднему фронту синхронизирующего сигнала на выводе SCL. По заднему фронту восьмого такта сигнала SCL значение в регистре SSPSR<7:1> сравнивается с содержимым регистра SSPADD. Если значение адреса совпадает, а биты BF и SSPOV равны нулю, то выполняются следующие действия:

- Значение регистра SSPSR загружается SSPBUF по 8-му заднему фронту сигнала SCL;
- Устанавливается флаг BF в '1' (буфер полон) по 8-му заднему фронту сигнала SCL;
- Генерируется бит -ACK;
- Устанавливается флаг прерываний SSPIF (PIR1<3>) в '1' по 9-му заднему фронту сигнала SCL.

В режиме ведомого при 10-разрядной адресации необходимо принять два байта адреса. Пять старших бит первого байта определяют: является ли полученный байт первым байтом 10-разрядного адреса. Бит R/W(SSPSTAT<2>) должен быть настроен для приема второго байта адреса. Для 10-разрядной адресации первый байт адреса должен иметь формат '1111 0 A9 A8 0', где A9:A8 два старших бита адреса. Рекомендуемая последовательность действий при 10-разрядной адресации (шаги 7-9 для передачи ведомым):

- Принять старший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1').
- Записать младший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL).
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.
- Принять младший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1').
- Записать старший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL).
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.
- Принять бит повторный START.
- Принять старший байт адреса (устанавливаются биты SSPIF и BF в '1').
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.

**Примечание.** В 10-разрядном режиме после команды повторный START (шаг 7) не требуется обновлять значение в регистре SSPADD. В данном случае требуется соответствие только первого байта адреса.

### 9.2.1.2 Прием данных ведомым

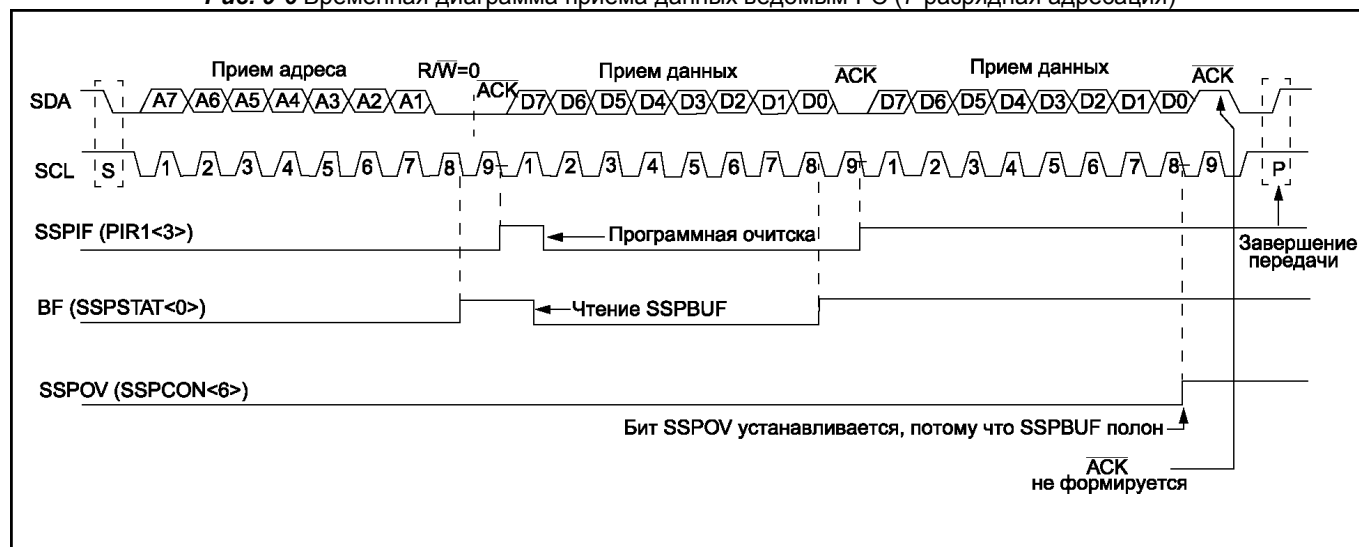
Если бит R/W в адресном байте равен нулю, а принятый адрес совпадает с адресом устройства, то бит R/W в регистре SSPSTAT сбрасывается в '0'. Принятый адрес загружается в регистр SSPBUF.

Если бит BF (буфер полон) или SSPOV (переполнение буфера) установлен в '1', то бит подтверждения -ACK не формируется. Эту ошибку необходимо обработать программно.

Прерывание от модуля MSSP генерируются при каждом принятом байте с шины I<sup>2</sup>C, установкой флага SSPIF (PIR1<3>) в '1' (сбрасывается программно). Регистр SSPSTAT используется для определения типа принятого байта.

**Примечание.** Значение регистра SSPBUF будет обновлено, если SSPOV=1 BF=0. Если было выполнено чтение из регистра SSPBUF но не был сброшен бит SSPOV в '0', то бит -ACK не формируется.

Рис. 9-6 Временная диаграмма приема данных ведомым I<sup>2</sup>C (7-разрядная адресация)



### 9.2.1.3 Передача данных ведомым

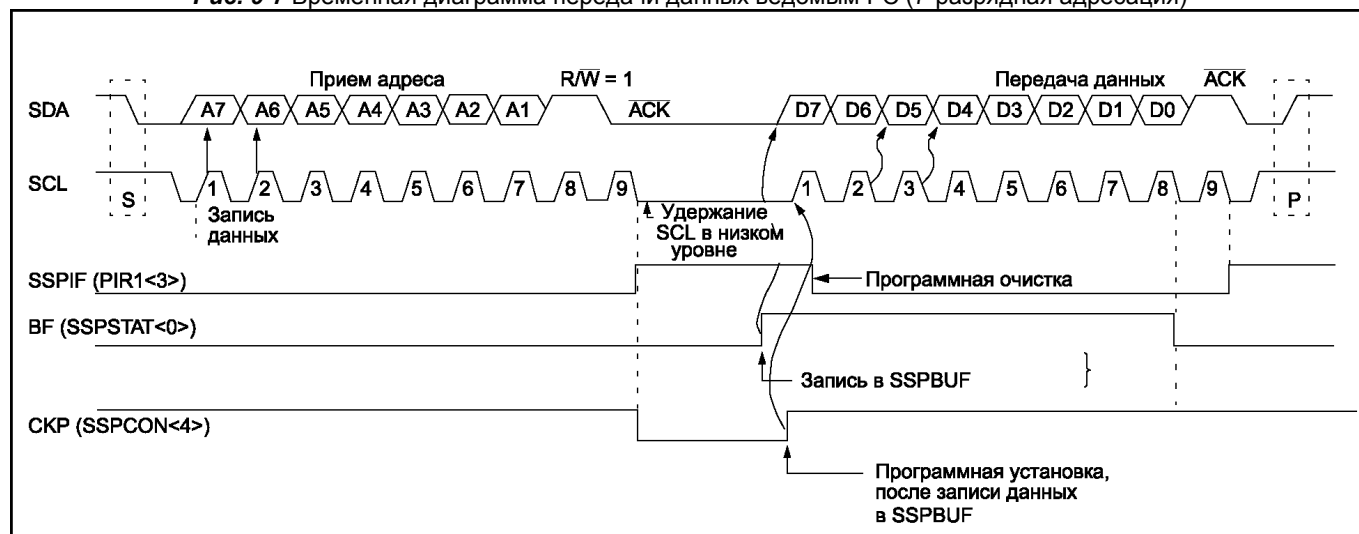
Если бит R/W в адресном байте равен '1', а принятый адрес совпадает с адресом устройства, то бит R/W в регистре SSPSTAT устанавливается в '1'. Принятый адрес загружается в регистр SSPBUF. Бит -ACK формируется девятым битом, после чего линия SCL удерживается в низком логическом уровне. Передаваемые данные должны быть записаны в регистр SSPBUF, после чего они автоматически переписываются в регистр SSPSR. После записи данных необходимо "отпустить" сигнал SCL установкой бита CKP(SSPCON<4>) в '1'. Ведущий шины контролирует состояние линии SCL, ожидая смены уровня сигнала. Восемь бит загруженных данных последовательно сдвигаются по заднему фронту сигнала SCL, что гарантирует достоверное значение данных на линии SDA (см. рисунок 9-7).

Модуль MSSP генерирует прерывание по каждому переданному байту, устанавливая бит SSPIF в '1' по заднему фронту девятого такта сигнала SCL. Флаг SSPIF должен быть сброшен программно. Регистр SSPSTAT используется для определения статуса передачи данных.

Ведущее устройство формирует бит подтверждения ACK на девятом такте сигнала SCL для каждого принятого байта. Если бит подтверждения ACK не сформирован (высокий уровень сигнала SDA), передача данных завершена. Логика ведомого устройства настраивается на обнаружение бита STATR.

Если бит подтверждения ACK был получен (низкий уровень сигнала SDA), в регистр SSPBUF необходимо записать новый байт для передачи. Линию SCL также необходимо "отпустить", установкой бита CKP в '1'.

**Рис. 9-7** Временная диаграмма передачи данных ведомым I<sup>2</sup>C (7-разрядная адресация)



## 9.2.2 Поддержка общего вызова

Процедура адресации на шине I<sup>2</sup>C такова, что первый после START байт определяет, к какому из ведомых устройств обращается ведущий шины. Исключением является адрес общего вызова, при использовании которого теоретически должны откликнуться все ведомые.

Адрес общего вызова – один из восьми зарезервированных адресов шины I<sup>2</sup>C, все биты которого равны нулю (в том числе и бит R/W).

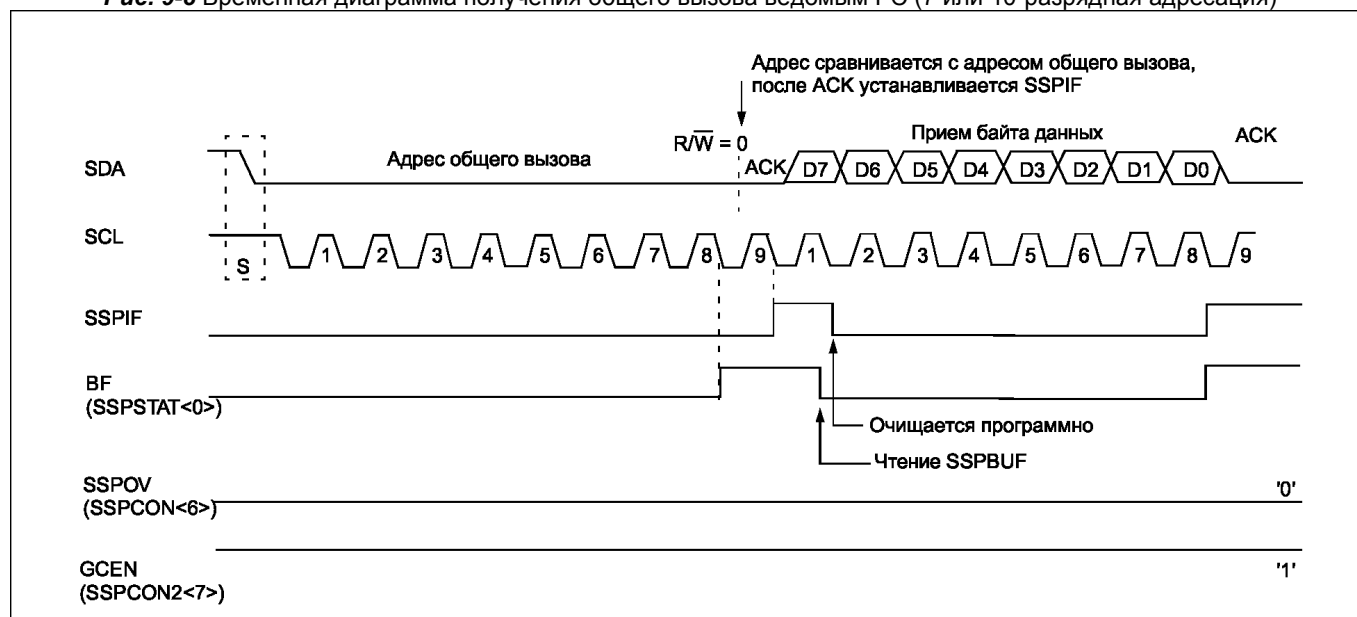
Распознавание адреса общего вызова включается установкой бита GCEN (SSPCON2<7>) в '1'. Следующий за START байт помещается в регистр SSPSR и сравнивается с содержимым SSPADD и фиксированным адресом общего вызова.

При получении адреса общего вызова, содержимое SSPSR переписывается в регистр SSPBUF (устанавливается бит BF в '1') по заднему фронту восьмого такта. На девятом такте формируется бит подтверждения (-ACK) и устанавливается флаг прерываний SSPIF в '1'.

Содержимое регистра SSPBUF позволяет определить получение общего вызова.

В 10-разрядном режиме требуется обновить содержимое регистра SSPADD для проверки соответствия младшего байта адреса после установки бита UA(SSPSTAT<1>) в '1'. Если получен адрес общего вызова в 10-разрядном режиме адресации при GCEN=1, то обновлять значение адреса не требуется. После формирования бита подтверждения ведущее устройство начнет принимать данные (см. рисунок 9-8).

**Рис. 9-8** Временная диаграмма получения общего вызова ведомым I<sup>2</sup>C (7 или 10-разрядная адресация)



## 9.2.3 Работа в SLEEP режиме

Ведомый I<sup>2</sup>C может принимать адресные байты или байты данных в SLEEP режиме микроконтроллера. После приема байта микроконтроллер выходит из SLEEP режима, если разрешены прерывания от MSSP модуля.

## 9.2.4 Эффект сброса

При сбросе микроконтроллера модуль MSSP выключается, и прекращается любой обмен данными.

**Таблица 9-3** Регистры и биты связанные с работой модуля MSSP в режиме I<sup>2</sup>C

| Адрес   | Имя     | Бит 7                                               | Бит 6   | Бит 5 | Бит 4 | Бит 3 | Бит 2 | Бит 1  | Бит 0  | Сброс<br>POR, BOR | Другие<br>сбросы |
|---------|---------|-----------------------------------------------------|---------|-------|-------|-------|-------|--------|--------|-------------------|------------------|
| 0Bh/8Bh | INTCON  | GIE                                                 | PEIE    | T0IE  | INTE  | RBIE  | T0IF  | INTF   | RBIF   | 0000 000x         | 0000 000u        |
| 0Ch     | PIR1    | PSPIF*                                              | ADIF    | RCIF  | TXIF  | SSPIF | CCP1F | TMR2IF | TMR1IF | 0000 0000         | 0000 0000        |
| 8Ch     | PIE1    | PSPIE*                                              | ADIE    | RCIE  | TXIE  | SSPIE | CCP1E | TMR2IE | TMR1IE | 0000 0000         | 0000 0000        |
| 0Dh     | PIR2    | -                                                   | (1)     | -     | EEIF  | BCLIF | -     | -      | CCP2IF | -r-0 0--0         | -r-0 0--0        |
| 8Dh     | PIE2    | -                                                   | (1)     | -     | EEIE  | BCLIE | -     | -      | CCP2IE | -r-0 0--0         | -r-0 0--0        |
| 13h     | SSPBUF  | Буфер приемника MSSP / регистр передатчика          |         |       |       |       |       |        |        | xxxx xxxx         | uuuu uuuu        |
| 14h     | SSPCON  | WCOL                                                | SSPOV   | SSPEN | CKP   | SSPM3 | SSPM2 | SSPM1  | SSPM0  | 0000 0000         | 0000 0000        |
| 91h     | SSPCON2 | GCEN                                                | ACKSTAT | ACKDT | ACKEN | RCEN  | PEN   | RSEN   | SEN    | 0000 0000         | 0000 0000        |
| 93h     | SSPADD  | Регистр адреса / Регистр генератора скорости обмена |         |       |       |       |       |        |        | 0000 0000         | 0000 0000        |
| 94h     | SSPSTAT | SMP                                                 | CKE     | D/A   | P     | S     | R/W   | UA     | BF     | 0000 0000         | 0000 0000        |

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий.

Затененные биты на работу не влияют.

**Примечание\*.** Биты PSPIE и PSPIF в микроконтроллерах PIC16F873, PIC16F876 не используются.

**Примечание 1.** Резервные биты. При обращении всегда должны равняться нулю.

### 9.2.5 Режим ведущего I<sup>2</sup>C

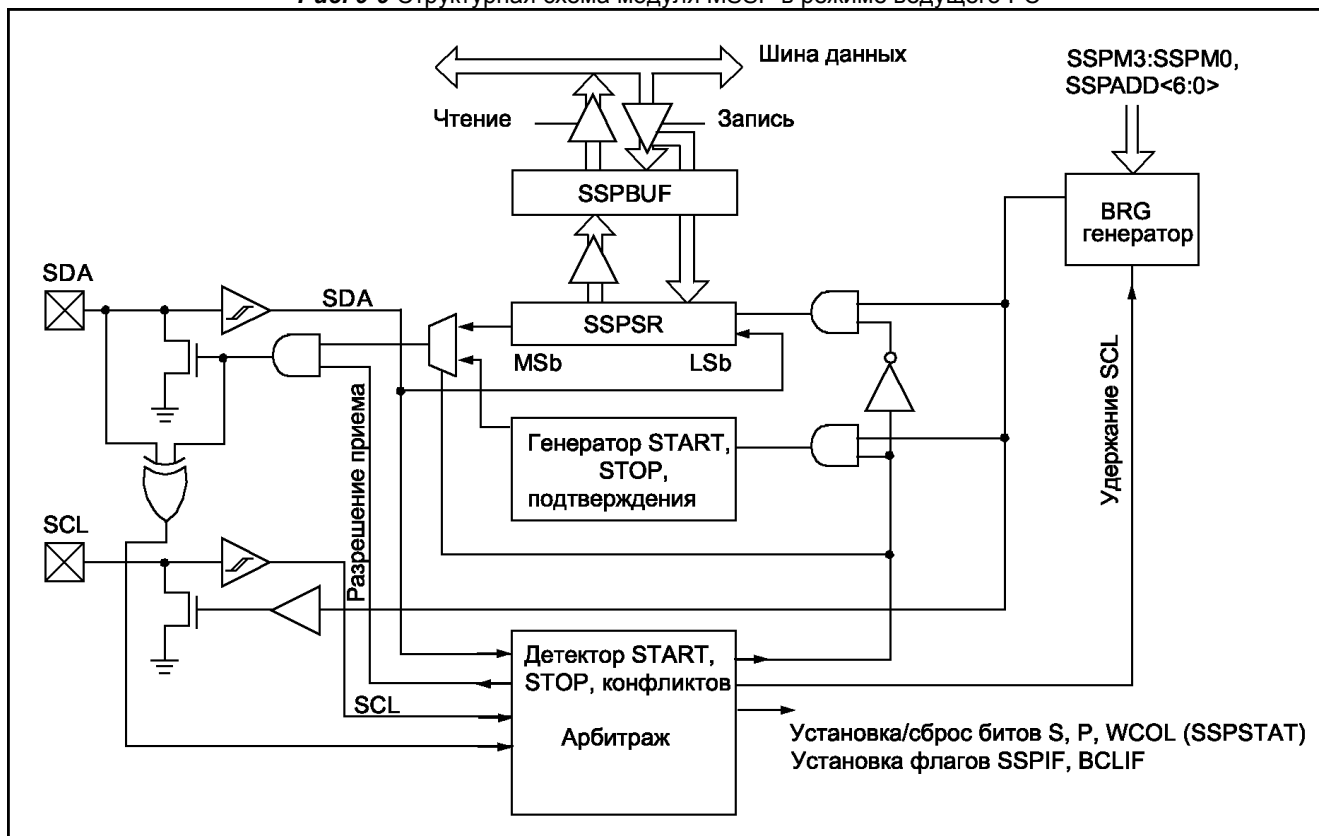
В режиме ведущего поддерживается генерация прерываний при обнаружении на шине битов START и STOP. Биты STOP (P) и START (S) в регистре SSPSTAT равны '0' после сброса микроконтроллера или при выключенном модуле MSSP. Шина находится в неактивном состоянии, если бит P=1 или оба бита S, P равны '0'.

В режиме ведущего выходы SCL, SDA управляются аппаратно.

Следующие события на шине I<sup>2</sup>C могут привести к установке флага прерываний SSPIF в '1':

- Выполнено условие START;
- Выполнено условие STOP;
- Передан/принят байт данных;
- Передан бит подтверждения;
- Выполнено условие повторный START.

Рис. 9-9 Структурная схема модуля MSSP в режиме ведущего I<sup>2</sup>C



### 9.2.6 Режим конкуренции

В режиме конкуренции, прерывания поле START и STOP позволяет определить, когда шина I<sup>2</sup>C свободна. Биты S и P сбрасываются в '0' при сбросе микроконтроллера или при выключении модуля MSSP. Управление шиной может быть перехвачено, когда бит P=1 или шина простаивает (S=0 и P=0). Если шина занята, можно разрешить прерывания от MSSP для обнаружения бита STOP на шине.

При конкуренции линия SDA должна проверяться на соответствия уровня, при ожидаемом высоком уровне на выходе. Эта проверка производится автоматически, а результат помещается в бит BCLIF.

Арбитраж на шине I<sup>2</sup>C может быть потерян во время:

- Передачи адреса;
- Передачи данных;
- Формирования бита START;
- Формирования бита повторный START;
- Формирования бита ACK.

### 9.2.7 Поддержка режима ведущего I<sup>2</sup>C

Ведущий режим включается соответствующей настройкой битов SSPM в регистре SSPCON и установкой в '1' бита SSPEN. После включения ведущего режима аппаратно могут выполняться следующие функции:

- Формирование бита START на линии SCL и SDA;
- Формирование бита повторный START на линии SCL и SDA;
- Записью в регистр SSPBUF инициализируется передача байта данных/адреса;
- Формирование бита STOP на линии SCL и SDA;
- Настройка порта I<sup>2</sup>C на прием данных;
- Формирование бита подтверждения ACK после приема байта на линии SCL и SDA.

**Примечание.** Модуль MSSP в ведущем режиме не имеет стека событий. Это означает, что пользователь не может к примеру инициировать передачу бита START и произвести запись в SSPBUF до того, как START будет завершен. При попытке осуществления подобной операции будет установлен бит WCOL в '1', указывая, что запись в регистр SSPBUF не произошла.

### 9.2.8 Работа в режиме ведущего I<sup>2</sup>C

Ведущий формирует на шине I<sup>2</sup>C тактовый сигнал и биты START, STOP. Текущий обмен данными завершается после формирования бита STOP или повторный START. Поскольку бит повторный START иницирует новый обмен данными, шина I<sup>2</sup>C остается занятой.

Передачик ведущего выдает данные на линию SDA, а тактовый сигнал на линию SCL. Первый передаваемый байт содержит 7-разрядный адрес приемника (при 7-разрядной адресации устройств) и бит направления данных R/W=0. После каждого переданного 8-разрядного байта принимается бит подтверждения ACK. Биты SATR и STOP формируются для указания начала и завершения передачи данных.

В режиме приема ведущем на шину I<sup>2</sup>C сначала выдается байт, содержащий 7-разрядный адрес передатчика (при 7-разрядной адресации устройств) и бит направления данных R/W = 1. Данные принимаются с линии SDA, а на линии SCL формирует тактовый сигнал. После каждого принятого байта формируется бит подтверждения. Биты SATR и STOP формируются для указания начала и завершения передачи данных.

Генератор скорости обмена BRG используется для установки требуемой частоты тактового сигнала на линии SCL – 100кГц, 400кГц или 1МГц. Значение для перезагрузки BRG берется из 7 младших бит регистра SSPADD. BRG начинает работу сразу после записи данных в регистр SSPBUF. Как только операция завершена (передан последний бит байта и принят бит подтверждения) генератор BRG останавливается, вывод SCL "отпускается".

Рекомендованная последовательность действий при передаче данных:

1. Инициировать START установкой бита SEN в регистре SSPCON2.
2. Ожидать прерывание (если оно разрешено) или установку бита SSPIF после завершения выполнения START.
3. Записью в SSPBUF иницируется передача адреса.
4. 7 бит адреса (при 7-разрядной адресации) и бит направления данных выдается на SDA.
5. Принять подтверждение ACK от приемника, результат записывается в бит ACKSTAT регистра SSPCON2.
6. По заднему фронту девятого такта устанавливается бит SSPIF в '1'.
7. Записью в SSPBUF иницируется передача данных.
8. 8 бит данных выдаются на SDA.
9. Принять подтверждение ACK от приемника, результат записывается в бит ACKSTAT регистра SSPCON2.
10. По заднему фронту девятого такта устанавливается бит SSPIF в '1'.
11. Инициировать STOP установкой бита PEN в регистре SSPCON2.
12. Ожидать прерывание (если оно разрешено) или установку бита SSPIF после завершения выполнения STOP.



### 9.2.8 Генератор скорости обмена

В ведущем режиме, значение для перезагрузки BRG берется из младших 7 бит регистра SSPADD (см. рисунок 9-10). После загрузки SSPADD в BRG, счетчик BRG считает, декрементируя до нуля (в тактах Q2 и Q4), и останавливается до следующей перезагрузки, которая не всегда производится автоматически. Если после окончания счета, сигнал на линии SCL должен перейти в высокий уровень, перезагрузка производится только после этого перехода (см. рисунок 9-11).

**Примечание.** Скорость обмена =  $F_{osc} / (4 \times (SSPADD + 1))$

Рис. 9-10 Структурная схема генератора скорости обмена

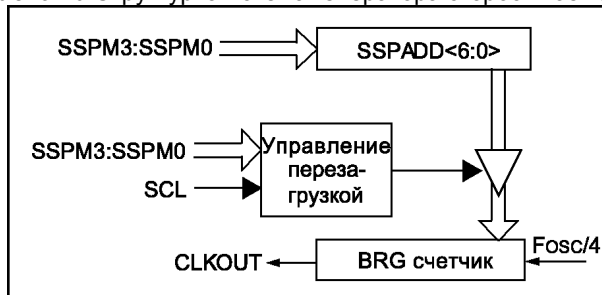


Рис. 9-11 Временная диаграмма работы BRG с арбитражем SCL



### 9.2.9 Формирование бита START в режиме ведущего I<sup>2</sup>C

Чтобы инициировать формирование бита START на шине I<sup>2</sup>C, необходимо установить бит SEN (SSPCON2<0>) в '1'. Если на линиях SCL и SDA высокий уровень сигнала, BRG загружается значением из регистра SSPADD <6:0> и начинает счет. Если по окончании отсчета времени T<sub>BRG</sub> сохраняется высокий уровень на SCL и SDA, сигнал SDA переводится в низкий логический уровень. Перевод SDA в низкий уровень, в то время когда на линии SCL высокий, и есть бит START на шине I<sup>2</sup>C. После формирования бита START устанавливается бит S и флаг прерывания SSPIF в '1', BRG загружается новым значением и начинает счет. По окончании счета бит SEN (SSPCON2<0>) автоматически сбрасывается в '0', генератор останавливается, на SDA остается низкий уровень сигнала. Формирование бита START завершено.

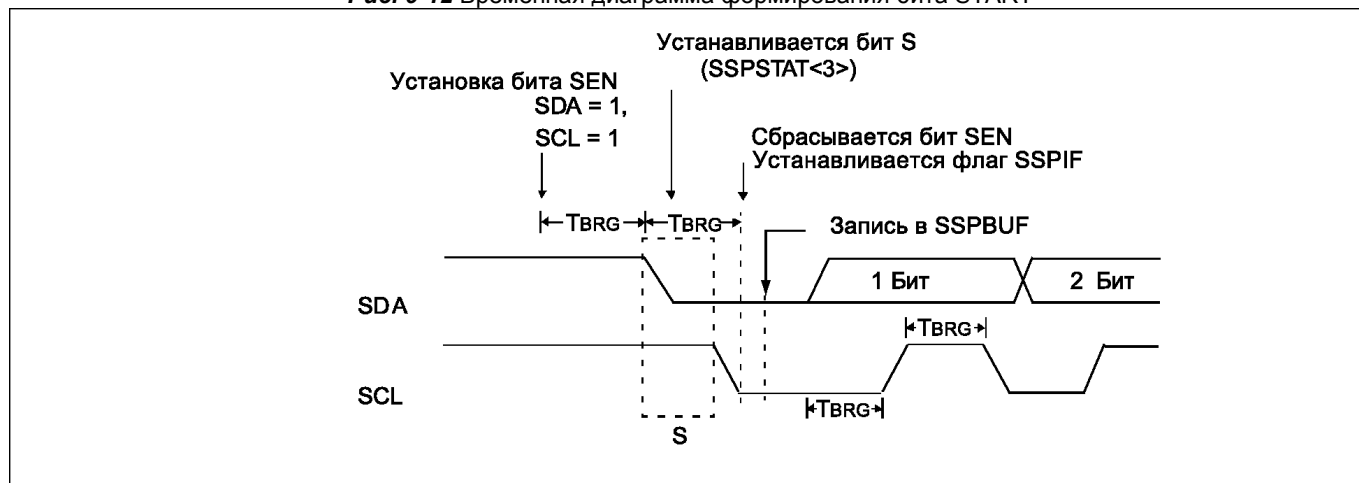
**Примечание.** Если в начале формирования бита START на SDA или SCL присутствует низкий уровень или во время выполнения START низкий уровень на SCL появляется раньше, чем на SDA, устанавливается флаг прерывания BCLIF (конфликт шины), выполнение START прекращается, MSSP переходит в состояние ожидания.

#### 9.2.9.1 Флаг WCOL

Если во время формирования бита START производится попытка записи в SSPBUF, устанавливается бит WCOL, а запись не происходит.

**Примечание.** Поскольку MSSP не имеет стека событий, установка любого из младших 5 битов регистра SSPCON2 до завершения формирования бита START запрещено.

**Рис. 9-12** Временная диаграмма формирования бита START



### 9.2.10 Формирование бита повторный START в режиме ведущего I<sup>2</sup>C

Чтобы инициировать формирование бита повторный START, необходимо установить бит RSEN (SSPCON2<1>) в то время, когда модуль MSSP находится в режиме ожидания. При включении формирования бита повторный START линия SCL переводится в низкий логический уровень. Когда на SCL устанавливается низкий уровень сигнала, BRG перезагружается содержимым регистра SSPADD<6:0> и начинает отсчет, при этом SDA "отпускается" в высокий уровень. Если по окончании счета BRG, на линии SDA сохраняется высокий уровень, SCL также "отпускается". BRG вновь перезагружается и начинает отсчет. Если по окончании отсчета времени  $T_{BRG}$  сохраняется высокий уровень на линиях SCL и SDA, сигнал SDA переводится в низкий уровень. После формирования бита повторный START на шине I<sup>2</sup>C устанавливается бит S (SSPSTAT<3>) в '1'. Флаг SSPIF не будет установлен в '1' до тех пор, пока BRG не перезагрузится новым значением и начнет счет.

#### Примечания:

1. Если бит RSEN установлен в '1' во время выполнения какой либо операции на шине, то не будет выполнено никаких действий.
2. Если на SDA низкий уровень при переходе SCL из низкого уровня в высокий или низкий уровень на SCL появляется раньше, чем на SDA, устанавливается флаг прерывания BCLIF (конфликт шины), формирование бита повторный START прекращается, MSSP переходит в состояние ожидания.

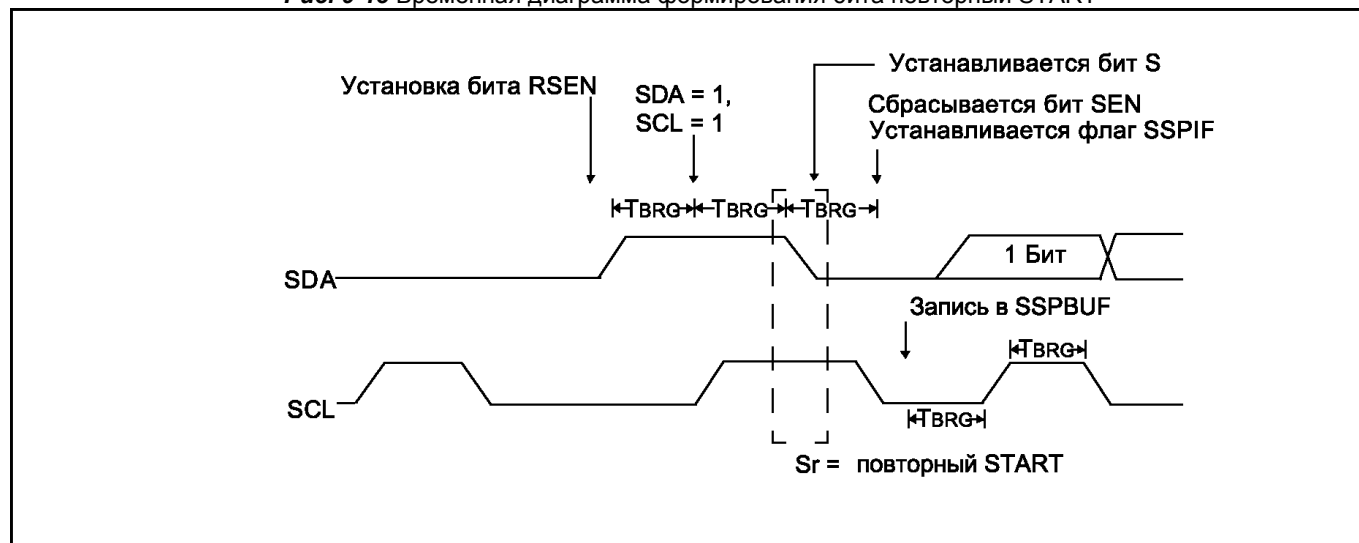
Сразу после установки бита SSPIF пользователь может загрузить регистр SSPBUF 7-разрядным адресом (для 7-разрядного режима адресации) или старшим байтом 10-разрядного адреса. По завершению передачи 8 бит и получения подтверждения ACK, можно передать байт данных или младший байт адреса.

#### 9.2.10.1 Флаг WCOL

Если во время формирования бита повторный START производится попытка записи в SSPBUF, устанавливается бит WCOL, а запись не происходит.

**Примечание.** Поскольку MSSP не имеет стека событий, установка любого из младших 5 битов регистра SSPCON2 до завершения формирования бита повторный START запрещено.

Рис. 9-13 Временная диаграмма формирования бита повторный START



### 9.2.11 Передача данных в режиме ведущего I<sup>2</sup>C

Для инициализации передачи байта данных, 7-разрядного адреса или любой части 10-разрядного адреса нужно просто записать байт в регистр SSPBUF. В результате чего установится бит BF в '1', а BRG начнет формировать сигнал для передачи данных. Каждый передаваемый бит будет выдаваться на SDA по заднему фронту сигнала SCL. Низкий уровень на SCL удерживается в течение одно периода BRG. Данные должны поступать на SDA до прихода переднего фронта на SCL (см. раздел временных характеристик). После отпускания SCL в высокий уровень на время  $T_{BRG}$  данные должны удерживаться на SDA в том же состоянии. По окончании передачи 8-го бита сбрасывается флаг BF в '0', а ведущий "отпускает" SDA с тем, чтобы принять бит подтверждения. По заднему фронту 9-го такта значение ACK записывается в бит ACKSTAT регистра SSPCON2. В этот же момент устанавливается флаг SSPIF в '1', а BRG отключается до следующей операции на шине оставляя низкий уровень на SCL и отпуская SDA (см. рисунок 9-14).

#### 9.2.11.1 Флаг BF

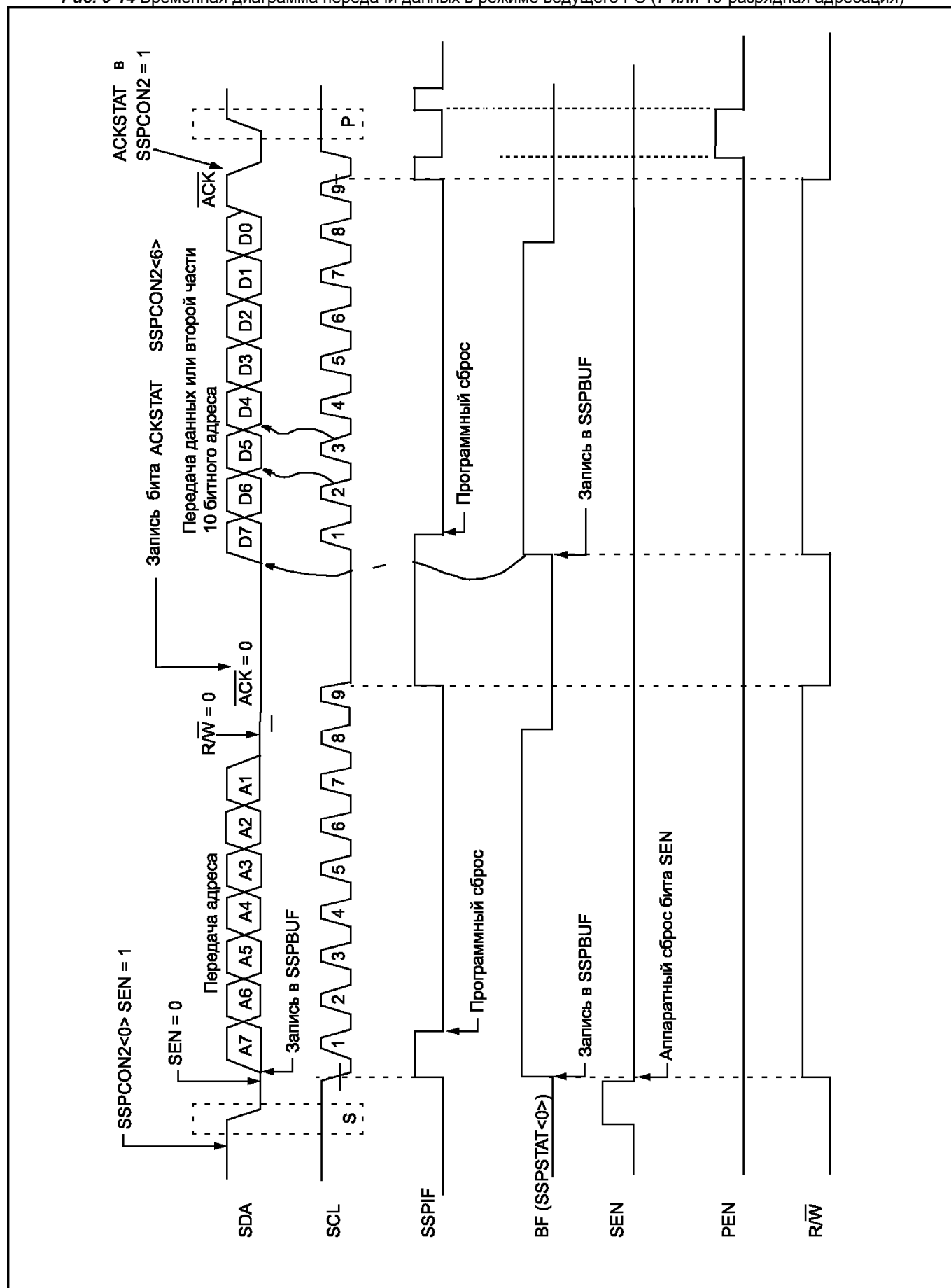
В режиме передачи данных бит BF (SSPSTAT<0>) аппаратно устанавливается в '1' после записи данных в регистр SSPBUF и аппаратно сбрасывается после передачи 8 бит данных.

#### 9.2.11.2 Флаг WCOL

Если во время передачи данных производится попытка записи в регистр SSPBUF, устанавливается бит WCOL в '1', а запись не происходит. Бит WCOL сбрасывается программно.

#### 9.2.11.3 Флаг ACKSTAT

В режиме передачи данных бит ACKSTAT(SSPCON2<6>) равен нулю, если ведомый сформировал подтверждение. Ведомый посылает подтверждение, если он распознал адрес (включая общий вызов) или корректно принял данные.

**Рис. 9-14** Временная диаграмма передачи данных в режиме ведущего I<sup>2</sup>C (7 или 10-разрядная адресация)

### 9.2.12 Прием данных в режиме ведущего I<sup>2</sup>C

Прием данных ведущем шины I<sup>2</sup>C разрешается установкой бита RCEN(SSPCON2<3>) в '1'.

**Примечание.** При установке бита RCEN в '1' модуль MSSP должен находиться в режиме ожидания.

BRG начинает формировать тактовый сигнал SCL, для приема данных в сдвиговый регистр SSPSR. Каждый бит данных будет приниматься с SDA по заднему фронту SCL. По заднему фронту 8-го такта, значение из SSPSR переписывается в SSPBUF, устанавливается бит BF и SSPIF в '1', BGR останавливается, удерживая SCL в низком уровне, а модуль MSSP переходит в режим ожидания. После чтения регистра SSPBUF аппаратно сбрасывается бит BF в '0'. По окончании приема, ведущий может сформировать бит подтверждения установкой бита ACKEN (SSPCON2<4>) в '1'.

#### 9.2.12.1 Флаг BF

В режиме приема данных бит BF (SSPSTAT<0>) аппаратно устанавливается в '1' после загрузки данных в регистр SSPBUF и аппаратно сбрасывается после чтения регистра SSPBUF.

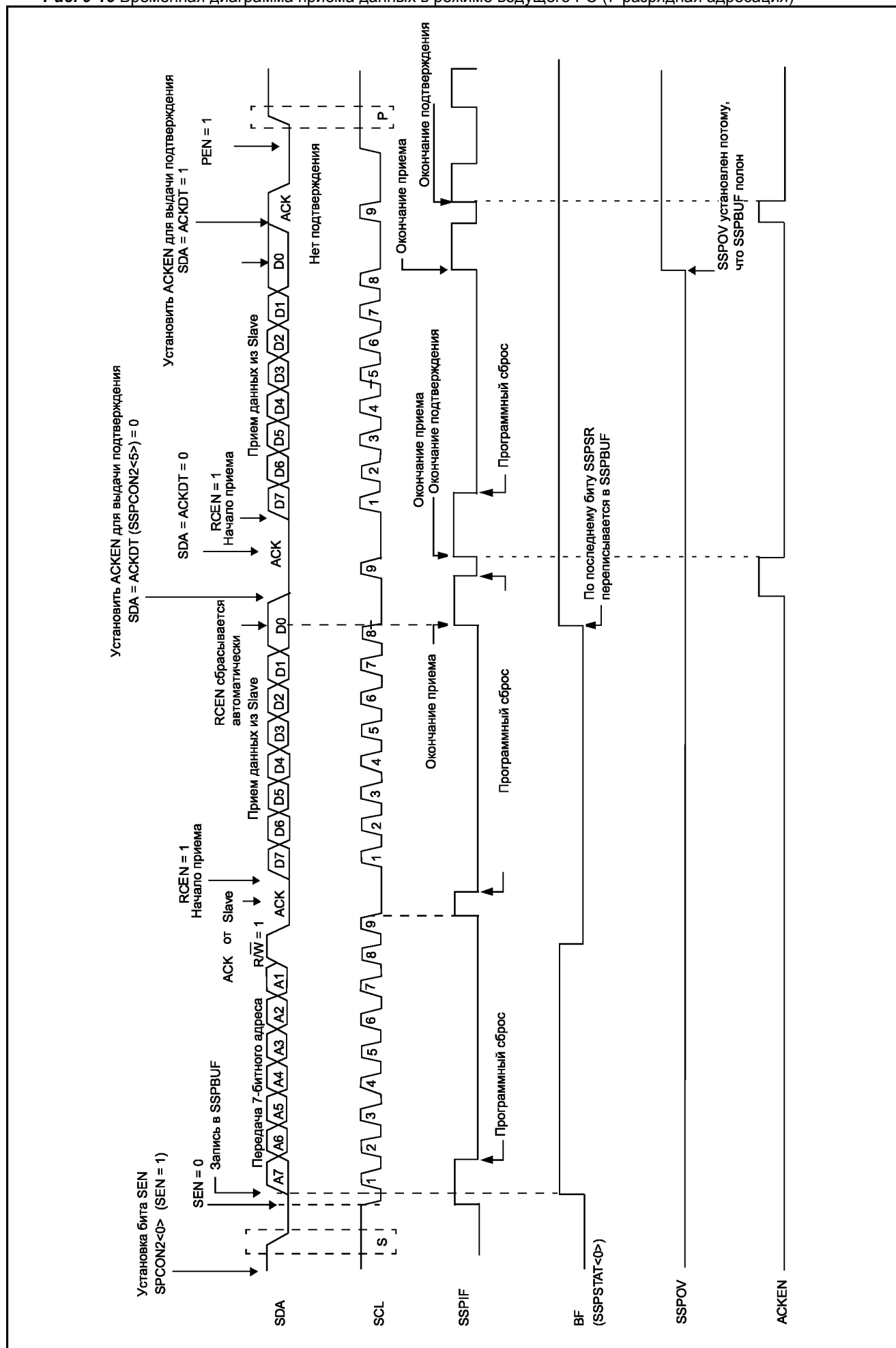
#### 9.2.12.2 Флаг SSPOV

При приеме данных бит SSPOV устанавливается в '1', если в момент приема 8-го бита следующего байта бит BF=1 после приема предыдущего байта.

#### 9.2.12.3 Флаг WCOL

Если во время приема данных производится попытка записи в регистр SSPBUF, устанавливается бит WCOL в '1', а запись не происходит. Бит WCOL сбрасывается программно.

**Рис. 9-15** Временная диаграмма приема данных в режиме ведущего I<sup>2</sup>C (7-разрядная адресация)



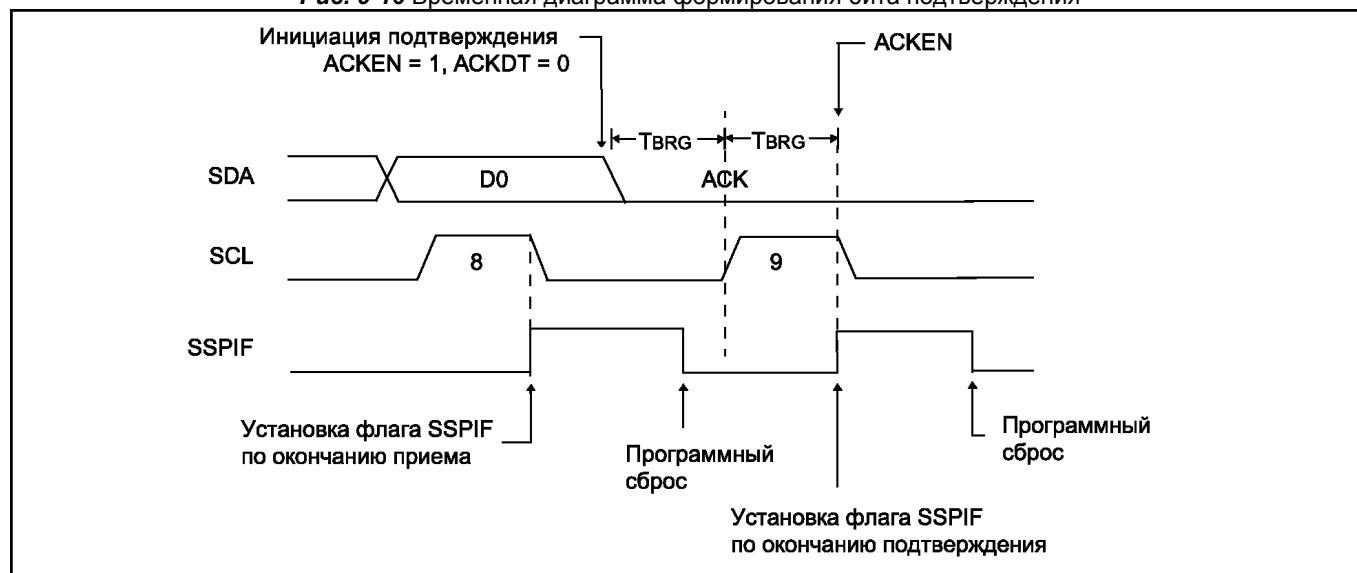
### 9.2.13 Формирование бита подтверждения в режиме ведущего I<sup>2</sup>C

Для инициализации формирования бита подтверждения на шине I<sup>2</sup>C необходимо установить бит ACKEN (SSPCON2<4>) в '1'. При установке этого бита на SCL выдается низкий уровень сигнала, а на SDA содержимое бита ACKDT. Если нужно подтвердить прием, бит ACKDT должен быть равен нулю. По окончании счета BRG линия SCL "отпускается". Как только SCL перейдет из низкого уровня в высокий, BRG опять начнет счет. После окончания счета SCL переводится в низкий уровень, бит ACKEN автоматически сбрасывается в '0', устанавливается флаг прерывания SSPIF в '1', BGR останавливается, а модуль MSSP переходит в режим ожидания (см. рисунок 9-16).

#### 9.2.13.1 Флаг WCOL

Если во время формирования бита подтверждения производится попытка записи в SSPBUF, устанавливается бит WCOL в '1', а запись не происходит.

Рис. 9-16 Временная диаграмма формирования бита подтверждения



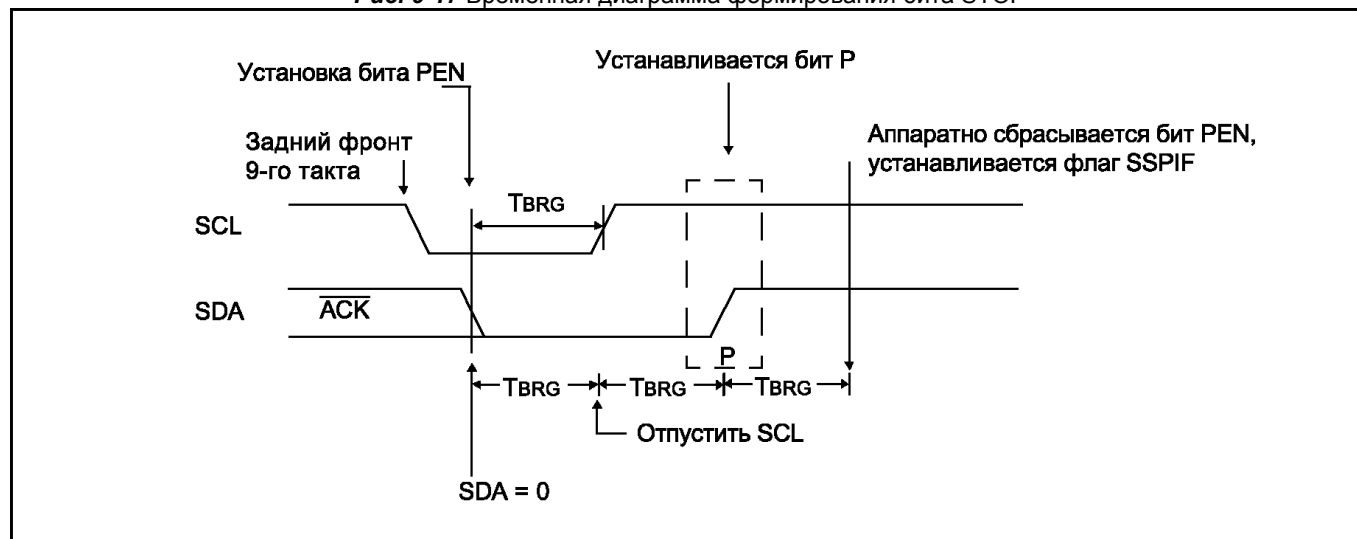
### 9.2.14 Формирование бита STOP в режиме ведущего I<sup>2</sup>C

Чтобы инициировать формирование бита STOP, необходимо установить бит PEN (SSPCON2<2>) в '1'. По окончании приема/передачи данных, после прохождения заднего фронта тактового сигнала на SCL удерживается низкий уровень сигнала. При установке бита PEN ведущий выдает низкий уровень на линию SDA, перезагружает BRG и начинает счет до нуля. По окончании счета линия SCL "отпускается". Через время T<sub>BRG</sub> после установки высокого уровня на SCL "отпускается" SDA. Когда на SDA появляется высокий уровень сигнала, устанавливаются биты P и SSPIF в '1', бит PEN автоматически сбрасывается в '0', а генератор BRG останавливается (см. рисунок 9-17).

#### 9.2.14.1 Флаг WCOL

Если во время формирования бита STOP производится попытка записи в SSPBUF, устанавливается бит WCOL в '1', а запись не происходит.

Рис. 9-17 Временная диаграмма формирования бита STOP

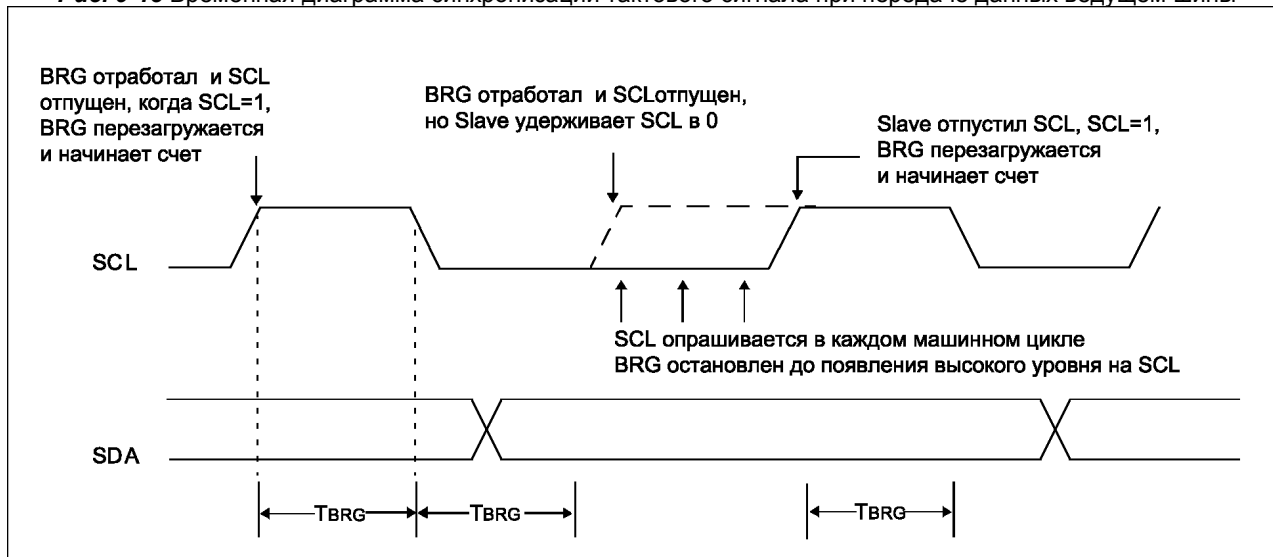




### 9.2.15 Синхронизация тактового сигнала

Синхронизация тактового сигнала производится каждый раз во время приема/передачи данных, формирования бита START или STOP и т.д. При "отпускании" ведущем SCL (SCL должен перейти в высокий уровень). В этот момент BRG приостанавливается пока на SCL не появится высокий уровень сигнала. При появлении сигнала высокого уровня на SCL генератор BRG перегружается значением из SSPADD<6:0> и начинает счет. Это гарантирует, что длительность высокого SCL всегда будет не меньше  $T_{BRG}$ , даже если другое устройство на шине удерживает тактовый сигнал.

**Рис. 9-18** Временная диаграмма синхронизации тактового сигнала при передаче данных ведущем шиной



### 9.2.16 Режим конкуренции, арбитраж и конфликты шины

В режиме конкуренции необходимо поддерживать правила арбитража шины. Во время передачи адреса/данных на SDA ведущий может потерять арбитраж, если он формирует высокий уровень сигнала, а другой ведущий сформировал низкий уровень на SDA. При переходе SCL в высокий уровень, сигнал на SDA изменяться не может. Если на SDA ожидается высокий уровень, а в действительности низкий, значит возник конфликт шины. Обнаружив конфликт шины, ведущий устанавливает флаг прерывания BCLIF в '1', прекращает текущую операцию на шине и переводит порт I<sup>2</sup>C в режим ожидания (см. рисунок 9-19).

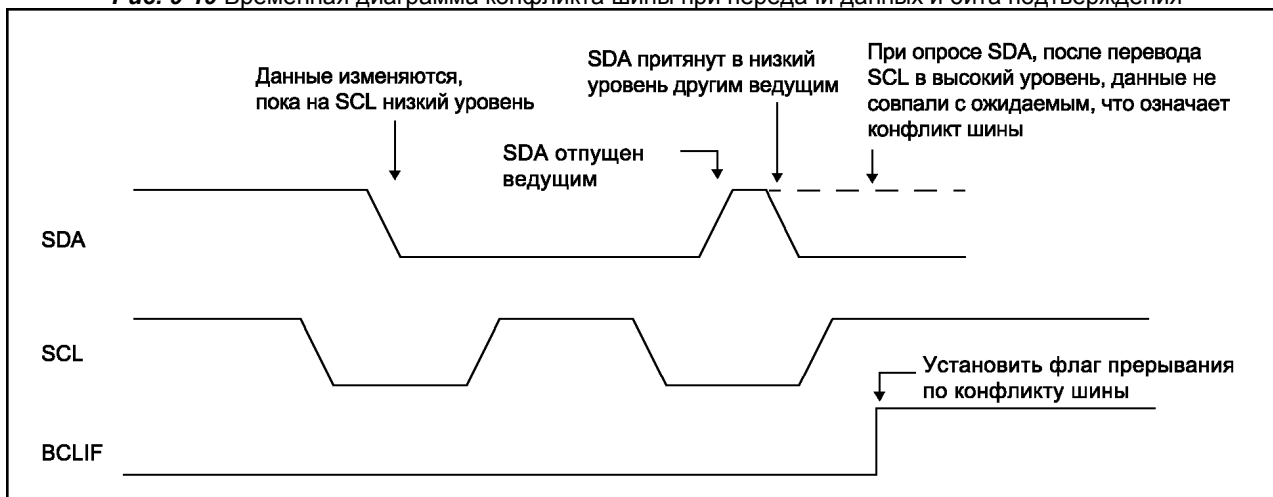
Если при возникновении конфликта шины выполнялась передача данных, она обрывается, устанавливается бит BF в '1', а линии SCL и SDA "отпускаются" в высокое состояние. В регистр SSPBUF может быть произведена запись, причем запись в SSPBUF инициирует передачу независимо от того, в какой момент передатчик отключился при возникновении конфликта шины. Если пользователь обрабатывает прерывания по конфликту шины, после освобождения шины он может продолжить обмен, сформировав бит START.

Если при возникновении конфликта выполнялось формирование бита START, повторный START, STOP или ACK, выполняемая операция обрывается, SCL и SDA "отпускаются", а соответствующий бит управления в SSPCON2 сбрасывается в '0'. Если пользователь обрабатывает прерывания по конфликту шины, после освобождения шины он может продолжить обмен, сформировав бит START.

Ведущий продолжает следить за состоянием шины, и при появлении бита STOP устанавливается флаг прерывания SSPIF в '1'.

В режиме конкуренции использование прерывания при обнаружении битов START и STOP позволяет определить занятость шины. Управление шиной может быть перехвачено при установленном бите P или сброшенных битах S и P.

**Рис. 9-19** Временная диаграмма конфликта шины при передаче данных и бита подтверждения



### 9.2.16.1 Конфликт шины при формировании бита START

Во время формирования бита START конфликт шины возникает если:

- В начале START на SDA или SCL низкий уровень сигнала (см. рисунок 9-20);
- На SCL низкий уровень появляется раньше чем на линии SDA (см. рисунок 9-21).

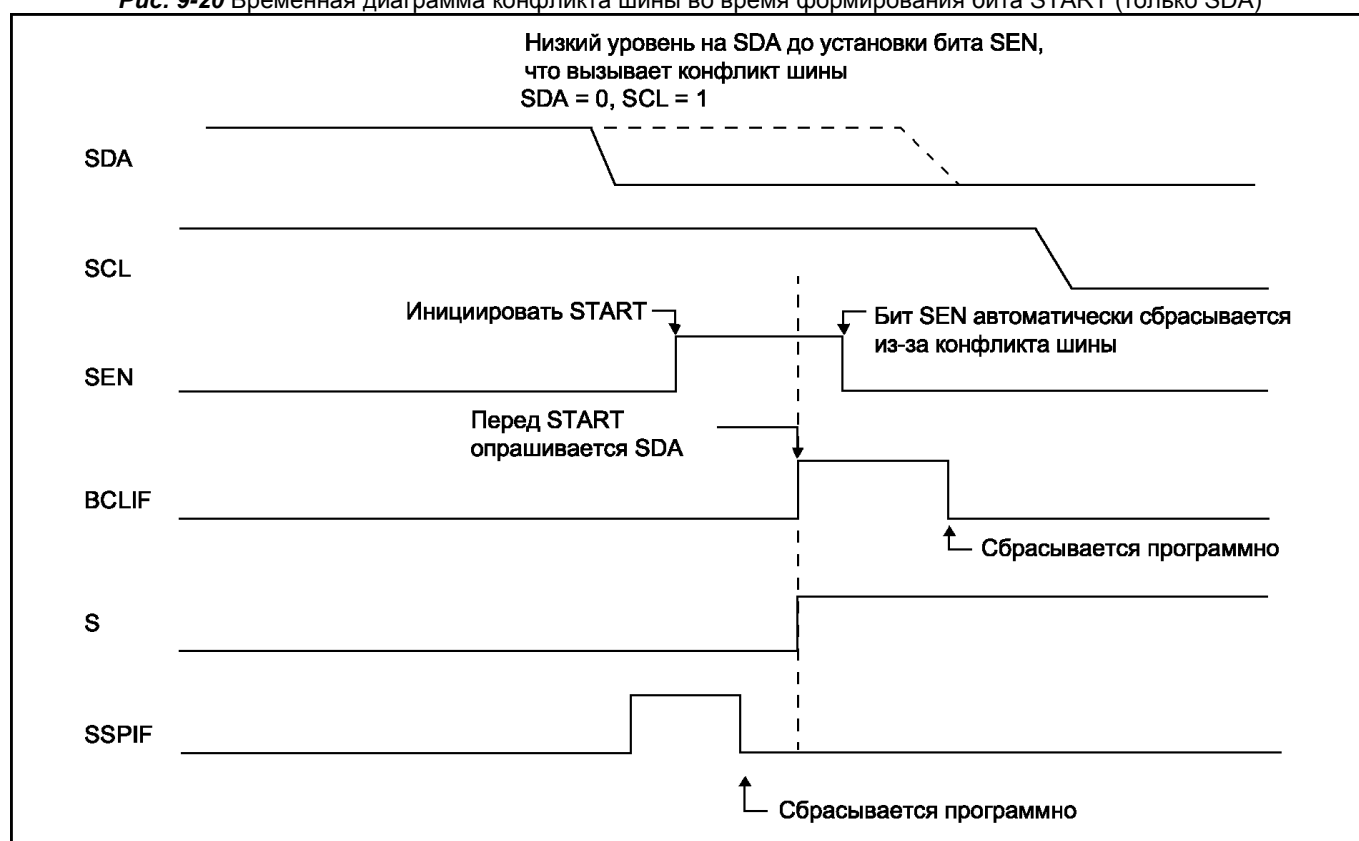
Во время формирования бита START сигналы SCL и SDA продолжают отслеживаться. Если SCL или SDA имеют низкий уровень сигнала, то формирование бита START прекращается, устанавливается флаг BCLIF в '1', а модуль MSSP переходит в режим ожидания (см. рисунок 9-20).

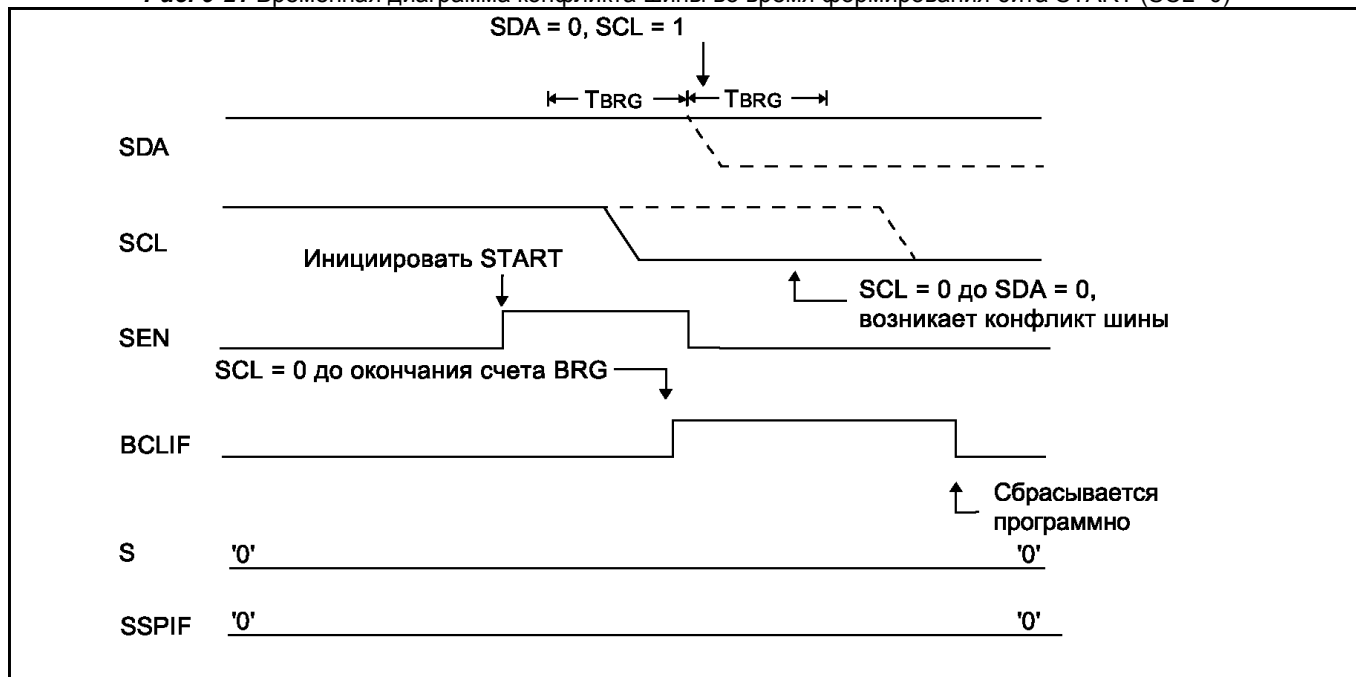
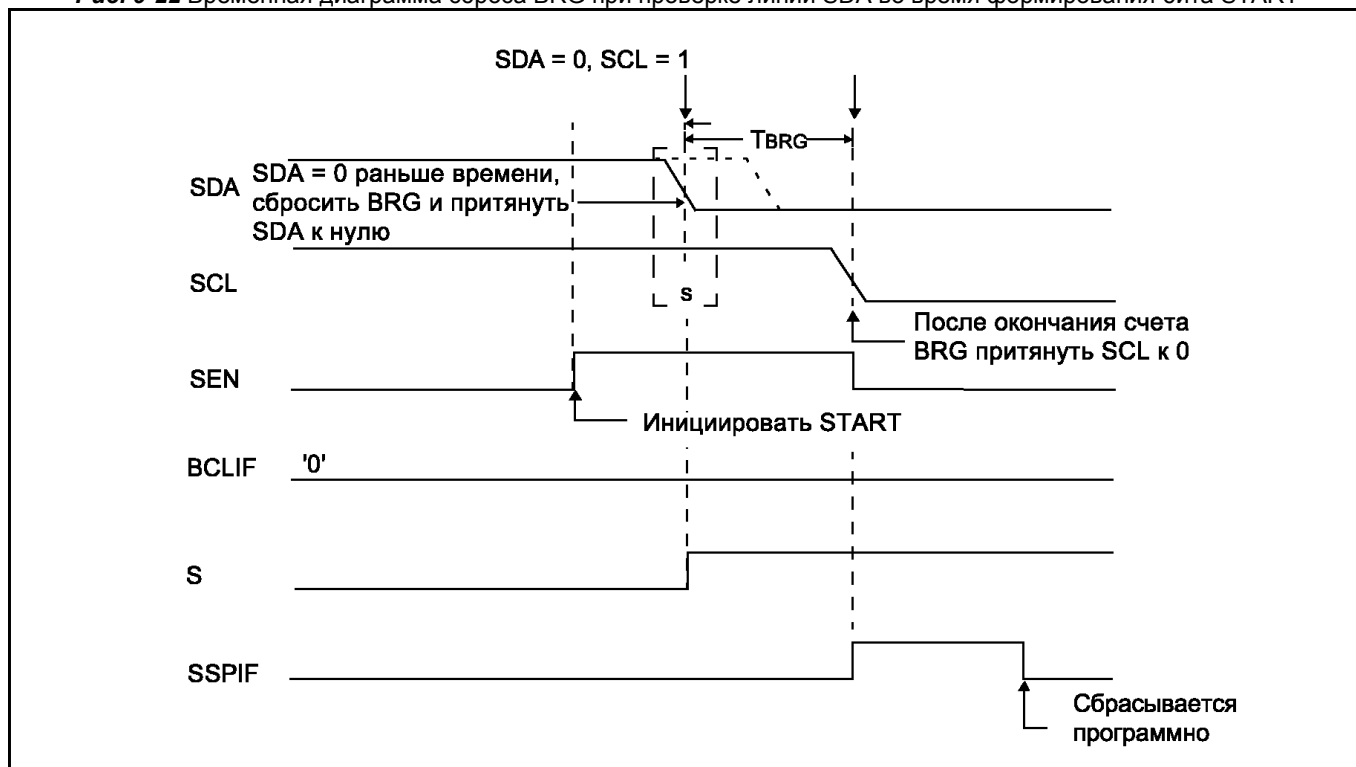
Бит START начинается при наличии высокого уровня сигнала на линиях SCL и SDA. Если на SCL появляется низкий уровень раньше, чем на SDA, возникает конфликт шины, поскольку это подразумевает, что другой ведущий пытается в это время передать данные.

Если во время счета BRG на SDA появляется низкий уровень сигнала, BRG сбрасывается, а на SDA формируется низкий уровень раньше времени (см. рисунок 9-22). Если же на SDA высокий уровень, низкий уровень формируется в конце счета BRG. Генератор BRG перезагружается и считает до нуля. Если в это время на SCL появится низкий уровень, конфликт шины не возникает. В конце счета BRG SCL переводится в низкий уровень.

**Примечание.** Конфликт шины во время START не возникает, потому что два или более ведущих могут сформировать START одновременно, но при этом один из них первым переведет SDA в низкий уровень. Конфликт шины не возникает, поскольку ведущие могут продолжить арбитраж во время передачи адреса, данных, формировании бита повторный START и STOP.

**Рис. 9-20** Временная диаграмма конфликта шины во время формирования бита START (только SDA)



**Рис. 9-21** Временная диаграмма конфликта шины во время формирования бита START (SCL=0)**Рис. 9-22** Временная диаграмма сброса BRG при проверке линии SDA во время формирования бита START

**9.2.16.2 Конфликт шины при формировании бита повторный START**

Во время формирования бита повторный START конфликт шины возникает если:

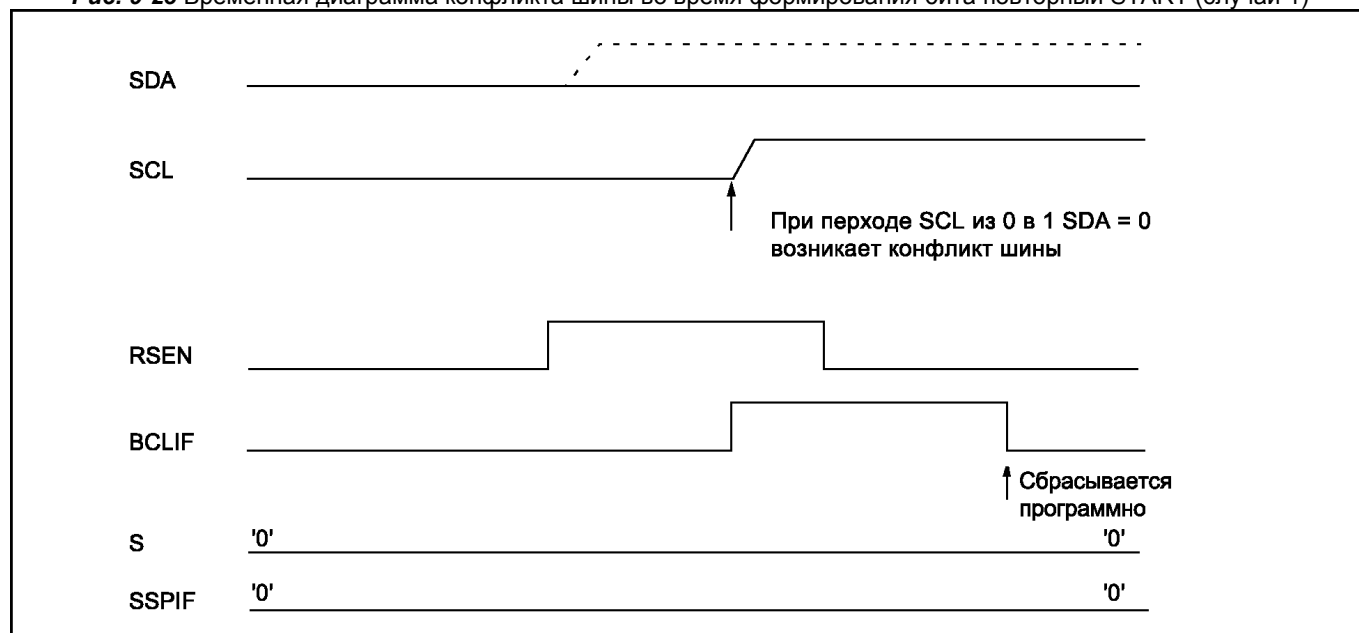
- На SDA низкий уровень при переходе SCL из низкого уровня в высокий (см. рисунок 9-23);
- SCL переходит в низкий уровень раньше SDA, что указывает на то, что другой ведущий пытается передать данные (см. рисунок 9-24).

После "отпускания" линии SDA сигнал на выводе должен перейти в высокий уровень, после чего BRG перезагружается и начинает счет. Затем "отпускается" SCL и при появлении на нем высокого уровня опрашивается SDA. Если на SDA низкий уровень сигнала, значит произошел конфликт шины, т.е. другой ведущий пытается передать данные. Если на SDA высокий уровень, то BRG снова перезагружается и начинается счет. Если SDA переходит в низкий уровень до окончания счета, конфликт шины не происходит, поскольку два или более ведущих могут пытаться получить доступ к шине одновременно.

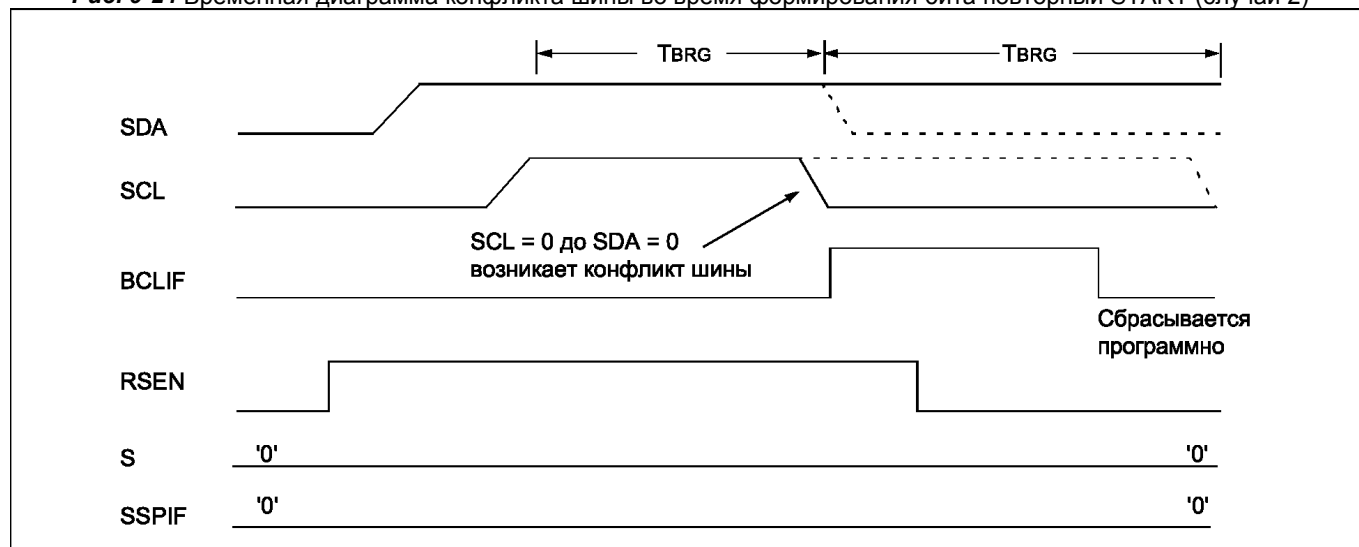
Если на линии SCL сигнал переходит в низкий уровень до окончания счета, а на SDA сохраняется высокий уровень, значит, произошел конфликт шины, т.е. другой ведущий пытается передать данные.

Если по окончании счета BGR на SCL и SDA высокий уровень, то SDA переводится в низкий уровень, а BRG перезагружается и начинает счет. По окончании счета, независимо от уровня сигнала на SCL он переводится в низкий уровень (см. рисунок 9-24).

**Рис. 9-23** Временная диаграмма конфликта шины во время формирования бита повторный START (случай 1)



**Рис. 9-24** Временная диаграмма конфликта шины во время формирования бита повторный START (случай 2)



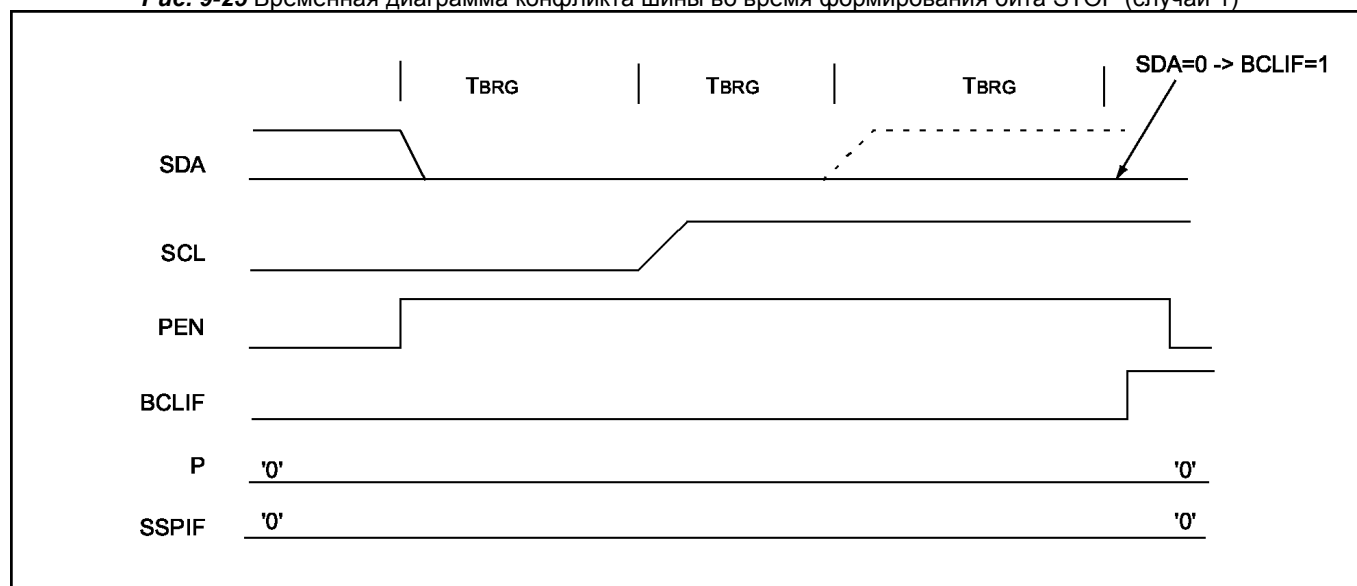
### 9.2.16.3 Конфликт шины при формировании бита STOP

Во время формирования бита STOP конфликт шины возникает если:

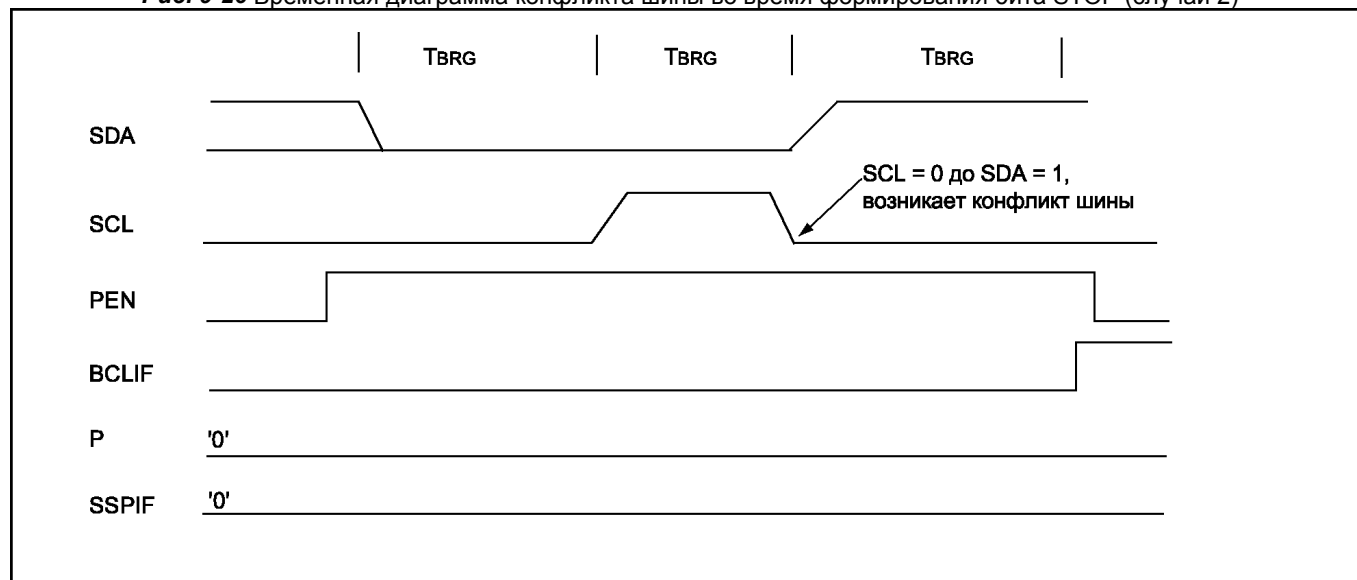
- После "отпускания" линии SDA и окончания счета BRG на SDA по-прежнему низкий уровень сигнала (см. рисунок 9-25);
- После "отпускания" линии SDA сигнал на SCL переходит в низкий уровень до того, как на SDA перейти в высокий уровень (см. рисунок 9-26).

Формирование бита STOP начинается с перевода линии SDA в низкий уровень, затем SCL "отпускается". После появления на SCL высокого уровня BRG перезагружается и начинает счет. По окончании счета SDA "отпускается", BRG перезагружается и снова начинает счет и опрашивает SDA. Если на нем низкий уровень или на SCL появился низкий уровень до перехода SDA в высокий, значит, произошел конфликт шины, т.е. другой ведущий пытается передать данные.

**Рис. 9-25** Временная диаграмма конфликта шины во время формирования бита STOP (случай 1)



**Рис. 9-26** Временная диаграмма конфликта шины во время формирования бита STOP (случай 2)



### 9.3 Подключение к шине I<sup>2</sup>C

Для стандартного режима I<sup>2</sup>C значение резисторов R<sub>p</sub> и R<sub>s</sub> (см. рисунок 9-27) зависит от следующих параметров:

- Напряжение питания;
- Емкость шины;
- Количество устройств на шине (входной ток + ток утечки).

Напряжение питания ограничивает минимальное значение сопротивления R<sub>p</sub>, из-за ограничения минимального тока стока 3мА при V<sub>OL</sub> max = 0.4В.

Например:

$$V_{DD} = 5V \pm 10\%$$

$$V_{OL} \text{ max} = 0.4 \text{ В при } 3\text{мА}$$

$$R_p \text{ min} = (5.5 - 0.4) / 0.003 = 1.7 \text{ кОм}$$

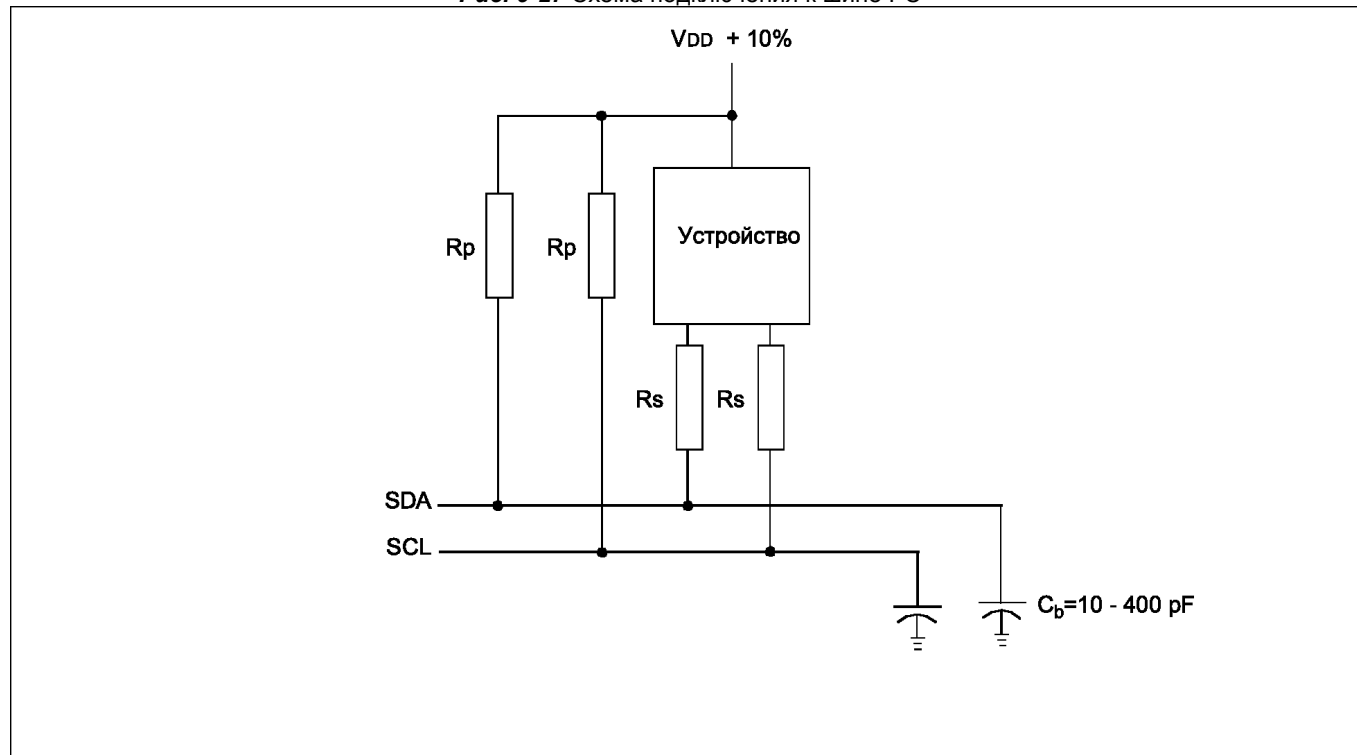
Максимальное значение R<sub>s</sub> определяется допустимым уровнем шума.

Емкость шины определяется суммарная емкостью проводников и выводов. Емкость определяет максимальное значение R<sub>p</sub> из-за допустимой длительности фронта.

Бит SMP в регистре SSPSTAT включает управление длительностью фронта SDA и SCL для того, чтобы фронты этих сигналов удовлетворяли спецификации при работе в скоростном режиме с частотой 400 кГц.

Устройства на шине I<sup>2</sup>C должны иметь один источник питания, к которому подключаются подтягивающие резисторы.

**Рис. 9-27** Схема подключения к шине I<sup>2</sup>C



**Уважаемые господа!**

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу [support@microchip.ru](mailto:support@microchip.ru)

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

**(095) 963-9601**

**(095) 737-7545**

и адресу [sales@microchip.ru](mailto:sales@microchip.ru)

На сайте

[www.microchip.ru](http://www.microchip.ru)

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.