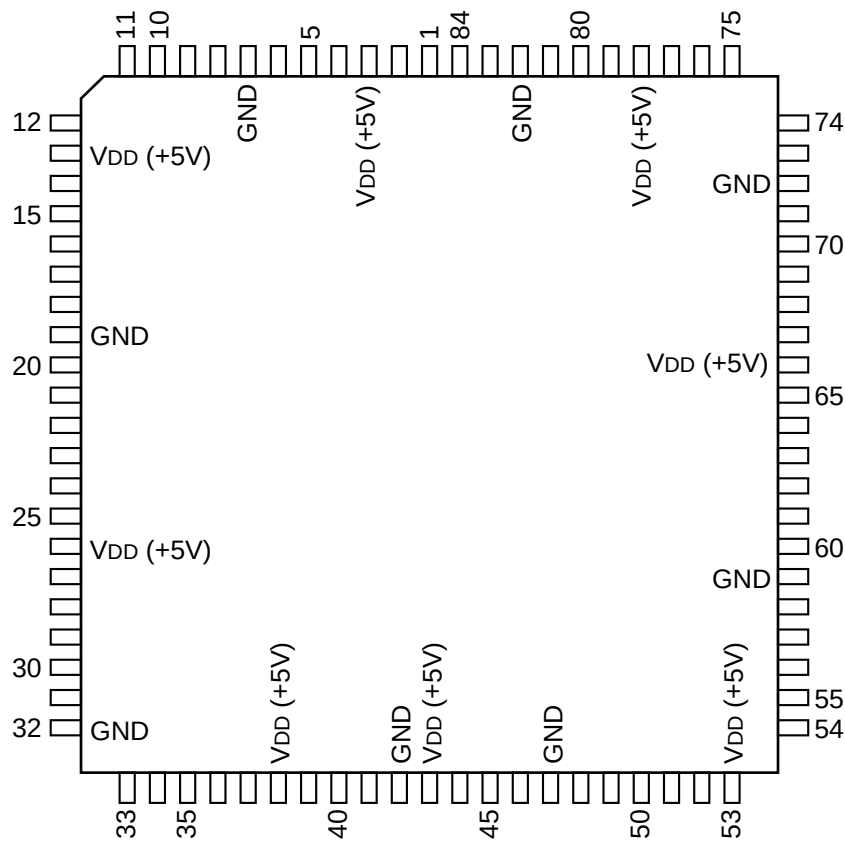


C-MOS EPLD
—TOP VIEW—



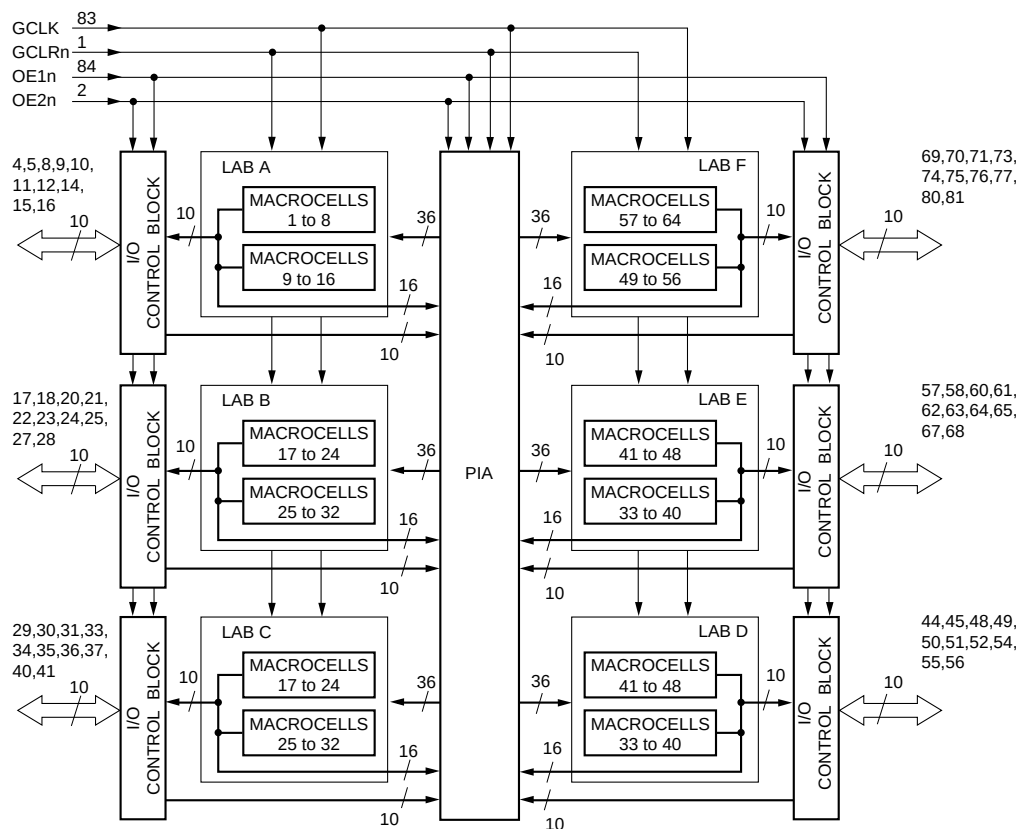
(VDD = +5V)

PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL
1	I	GCLRn	18	I/O	I/O	35	I/O	I/O	52	I/O	I/O	69	I/O	I/O
2	I	OE2n	19	—	GND	36	I/O	I/O	53	—	VDD	70	I/O	I/O
3	—	VDD	20	I/O	I/O	37	I/O	I/O	54	I/O	I/O	71	I/O	I/O
4	I/O	I/O	21	I/O	I/O	38	—	VDD	55	I/O	I/O	72	—	GND
5	I/O	I/O	22	I/O	I/O	39	—	N.C.	56	I/O	I/O	73	I/O	I/O
6	—	N.C.	23	I/O	I/O	40	I/O	I/O	57	I/O	I/O	74	I/O	I/O
7	—	GND	24	I/O	I/O	41	I/O	I/O	58	I/O	I/O	75	I/O	I/O
8	I/O	I/O	25	I/O	I/O	42	—	GND	59	—	GND	76	I/O	I/O
9	I/O	I/O	26	—	VDD	43	—	VDD	60	I/O	I/O	77	I/O	I/O
10	I/O	I/O	27	I/O	I/O	44	I/O	I/O	61	I/O	I/O	78	—	VDD
11	I/O	I/O	28	I/O	I/O	45	I/O	I/O	62	I/O	I/O	79	—	N.C.
12	I/O	I/O	29	I/O	I/O	46	—	N.C.	63	I/O	I/O	80	I/O	I/O
13	—	VDD	30	I/O	I/O	47	—	GND	64	I/O	I/O	81	I/O	I/O
14	I/O	I/O	31	I/O	I/O	48	I/O	I/O	65	I/O	I/O	82	—	GND
15	I/O	I/O	32	—	GND	49	I/O	I/O	66	—	VDD	83	I	GCLK
16	I/O	I/O	33	I/O	I/O	50	I/O	I/O	67	I/O	I/O	84	I	OE1n
17	I/O	I/O	34	I/O	I/O	51	I/O	I/O	68	I/O	I/O			

4	I/O	I/O	81
5	I/O	I/O	80
8	I/O	I/O	77
9	I/O	I/O	76
10	I/O	I/O	75
11	I/O	I/O	74
12	I/O	I/O	73
14	I/O	I/O	71
15	I/O	I/O	70
16	I/O	I/O	69
17	I/O	I/O	68
18	I/O	I/O	67
20	I/O	I/O	65
21	I/O	I/O	64
22	I/O	I/O	63
23	I/O	I/O	62
24	I/O	I/O	61
25	I/O	I/O	60
27	I/O	I/O	58
28	I/O	I/O	57
29	I/O	I/O	56
30	I/O	I/O	55
31	I/O	I/O	54
33	I/O	I/O	52
34	I/O	I/O	51
35	I/O	I/O	50
36	I/O	I/O	49
37	I/O	I/O	48
40	I/O	I/O	45
41	I/O	I/O	44
83	GCLK		
1	GCLRn		
84	OE1n		
2	OE2n		

GCLK ; GLOBAL CLOCK
 GCLRn ; GLOBAL CLEAR
 I/O ; DATA INPUTS/OUTPUTS
 OE1n ; OUTPUT ENABLE 1 INPUT
 OE2n ; OUTPUT ENABLE 2 INPUT

EPM7096LC84-15 (2/2)



* ABOVE DIAGRAM SHOWS CONDITIONS BEFORE PROGRAMMING.