



International IR Rectifier DESIGN TIPS

DT 97-3

INTERNATIONAL RECTIFIER • APPLICATION ENG • 233 KANSAS ST. • EL SEGUNDO, CA. 90245 • TEL (310) 322-3331 • FAX (310) 322-3332

制御 IC によって駆動されるパワー段の過渡時の注意点

Chris Chey, John Parry

訳 アイアールファースト株式会社

目次;

- | | |
|----------------------------|----------------------------|
| 1. はじめに | 5. ラッチアップの回避 |
| 2. ブリッジ回路の寄生要素 | 6. モニタと検証 |
| 3. Vs アンダーシュート: 原因 | 7. 一般的推奨条項 |
| 4. Vs アンダーシュート: 制御 IC への影響 | 8. Vs アンダーシュートに対する耐量の強化 |
| | 9. 付録 1. IR2110 の寄生ダイオード構造 |

1. はじめに

International Rectifier社は、単一チャネルから完全3相ブリッジドライバまで幅広い範囲の制御ICを提供している。当社の製品はすべて高集積度のレベルシフティング技術を採用しており、この技術によってロジック回路が電力トランジスタを制御するのが容易になっている。当社の最新製品では更にこの能力が改善されており、耐圧が1200Vまでの電力スイッチであれば、駆動できるようになっている。

最先端の性能を得るためには、より多くの電流を高速でスイッチングすることが必要であるが、その結果、寄生現象による望ましくない影響が顕著に現れるようになるため、その取り扱いに注意する必要がある。ここでの目的は、まず寄生要素の源を突き止め、次に潜在的に問題となるその寄生現象に対するICの耐量の大きさを定量化し、最後にその余裕度を最大にする方法を示す。

2. ブリッジ回路の寄生要素

図1に、ハーフブリッジ型の2つのパワーMOSFETを1つの制御ICが駆動する、典型的な応用例を示す。電力回路中のトランジスタのダイボンディング、端子、PCB配線に起因する不必要なインダクタンスをひとまとめにしてこれらをLS1、2及びLD1、2とする。これ以外にゲート駆動回路中にも寄生要素は存在し、このことは回路レイアウト決定時に考慮すべき点ではあるが、ここではブリッジ本体のみに着目することにする。というのも、このブリッジにおいて電流*i*およびその変化率 di/dt の値が最大になるからである。

スイッチング中では、急速に変化するブリッジ電流により、図に示されたすべての寄生要素の両端に過渡電圧が生じることになる。これらの過渡電圧は、放置して置くと他回路に結合して、ノイズ障害やスイッチング電力消費量の増加、さらに極端な場合にはIC破壊などを引き起こす可能性がある。

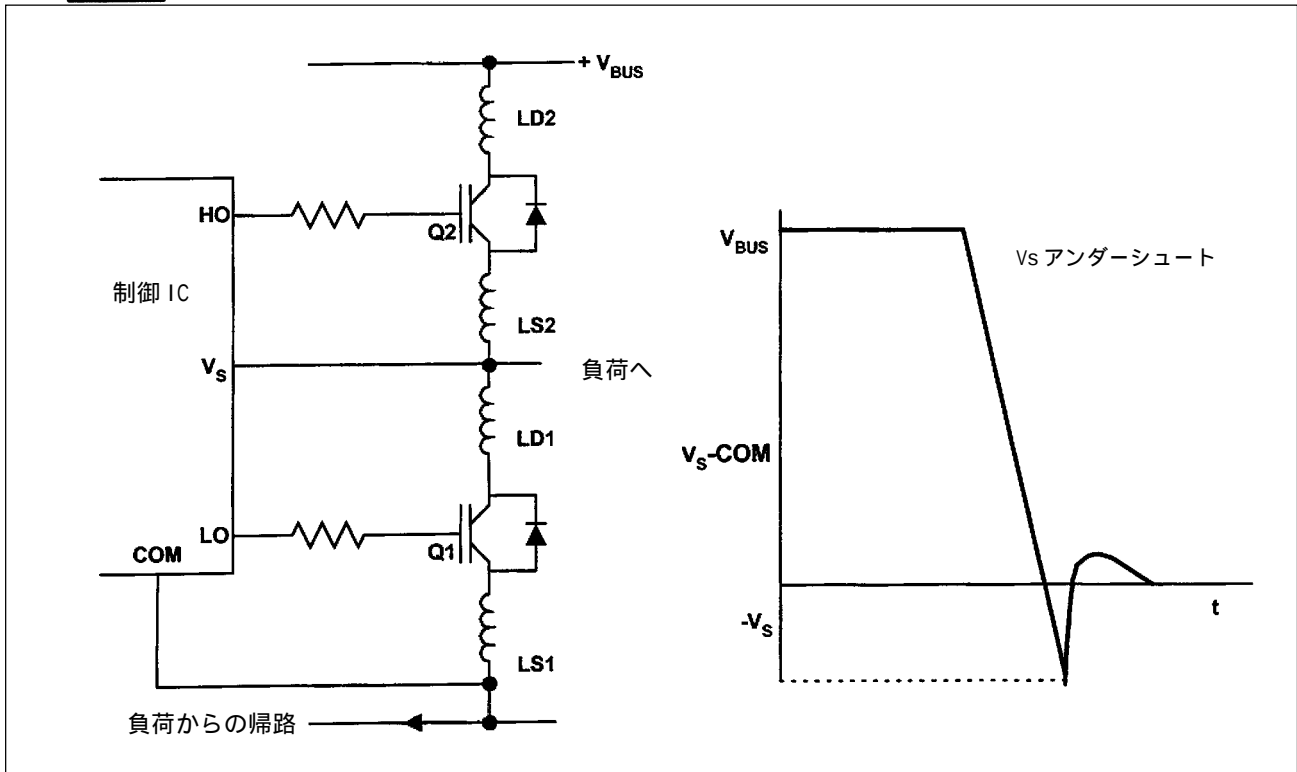


図 1

3. Vs アンダーシュート：原因

寄生要素が引き起こす問題のうち、制御 IC に関する主要問題の 1 つは、スイッチング動作に伴って、Vs 端子電位がグラウンド以下にアンダーシュートする傾向があるという点である。逆にオーバーシュートは通常問題とはならない。というのも、International Rectifier 社製の実績のある HVIC プロセスにより、高い電位差にも耐える仕組みになっているからである。

ブリッジで誘導性負荷の時、ハイサイド側のトランジスタがターンオフすると、ローサイドのフリーホイーリングダイオードに負荷電流が突然流れることになる。ダイオードのターンオン遅延と順方向電圧降下による傾斜の頂点においては、図1の波形に示すように浮遊インダクタンス L_{S1} + L_{D1} によって Vs 端子電位がグラウンドより低くなる。デッドタイム（トランジスタが両方オフ）の間に、負荷回路が完全に転流しない場合は、ローサイド側が完全にターンオンした際に Vs アンダーシュートつまりリンギングが発生することになる。

4. Vs アンダーシュート：制御 IC への影響

International Rectifier 社の制御 IC は、少なくとも COM を基準にして 5V の Vs アンダーシュートであれば、完全な耐量を持つことが保障されている。アンダーシュート

トがこの 5V レベルを超えた場合、ハイサイド側の出力はその時の状態のままで一時的にラッチしてしまう。それでも Vs が絶対最大定格内であれば IC が破壊されることはないが、アンダーシュートが 5V を超えている間はずっと、入力の状態変化は出力バッファに伝達されないことになる。このモードのことは一応心に留めて置くべきであるが、多くの場合あまり大きな問題にはならないとされている。というのも、スイッチング動作に伴う入力の変化は、通常急激には起こらないからである。

5. ラッチアップの回避

典型的な制御 IC 内の寄生ダイオード構造を付録 1. に示す。CMOS 素子を使用している場合はいつでも、これらのダイオードが順方向の導通状態または逆方向のブレイクダウン状態になると、寄生 SCR ラッチアップが発生する；この状態については、デザインタイプス DT94-9A の中でより詳細に述べられている。この状態の最終的結果は予測に反することが多々あって、一時的なエラー動作に終わる場合からデバイスの故障に到るまで、結果は様々である。

また制御 IC は初期に発生した過剰ストレスにより引き起こされる連続的な事象によって、間接的に破壊される場合もある。例えば、ラッチアップが発生すると、

出力ドライバの両方がハイになることが考えられ、その場合上下短絡（アーム短絡）が発生しスイッチング素子が破壊され、最終的にはICが修復不可能なほど破壊される事態になるのである。電力トランジスタ及び/または制御ICが使用中に破損した場合には、その破損の原因の一つとしてこの破壊モードを考慮するべきである。

以下に述べる理論上の両極端な例を使用して、過剰Vsアンダーシュートとその結果起こるラッチアップのメカニズムの関係を説明することにする。

最初の例として、'理想ブートストラップ'方式の回路を使用する。ここでVccは抵抗ゼロの電源で、理想ダイオードにより、VBへ供給する。ここでアンダーシュートはVccと加算されるため、ブートストラップコンデンサは図2に示すように過剰充電されることになる。具体例をあげるとVccが15Vで、Vaアンダーシュートが10Vを超えている場合、フローティング電源は25V以上に引き上げられることになるが、その結果ダイオードD1がブレイクダウンしてラッチアップしてしまう危険性がある。

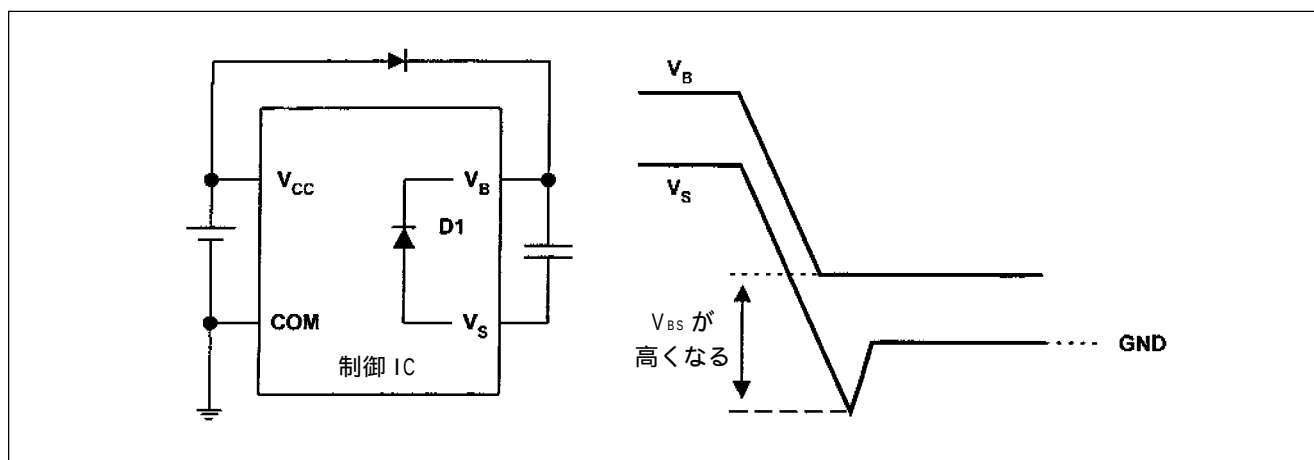


図 2

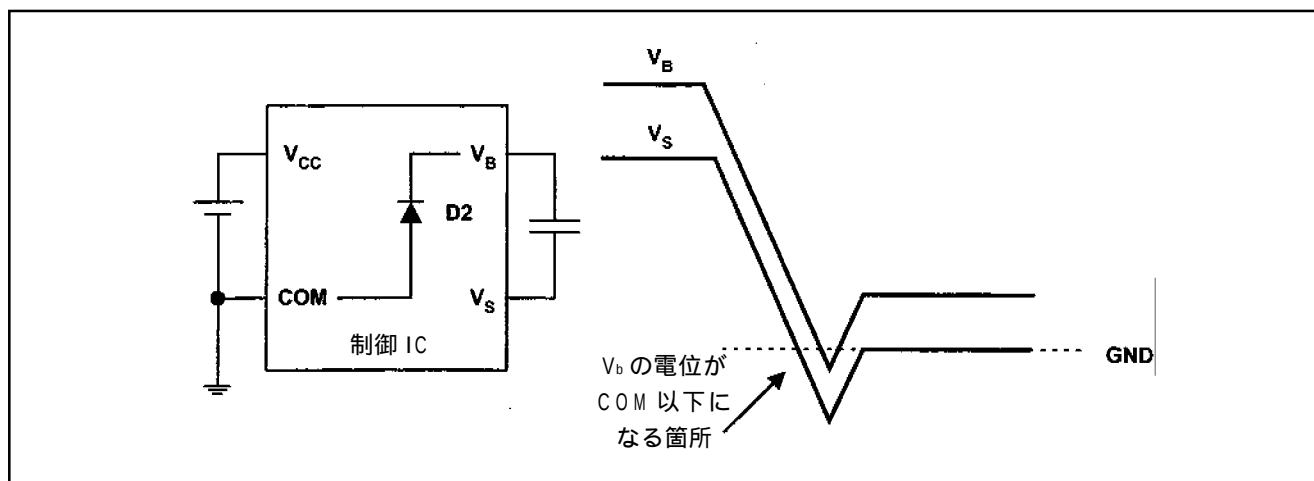


図 3

ここで図3のように、ブートストラップ電源を理想的なフローティング電源で置き換えたとすれば、環境の変化にかかわらずVbsを一定に保つことができる。これに近い状態が、ブートストラップ回路の代わりに低インピーダンスの補助電源を使用することで、実現可

能であることを記憶しておいてほしい。この例の場合、ラッチアップの危険性があるのは、VsアンダーシュートがVbsを超えた場合である。というも寄生ダイオードD2は最終的には導通状態になるからである。

実際の回路は、上記2つの両極端な例の中間の状態になると思われる。その結果図4に示すように、 V_{bs} は後者の場合より少し増加し、 V_b は V_{cc} を幾分下回ることになる。もっと正確に、2つの両極端な例のどちらが優勢であるかは以下のようにしてチェックできる。

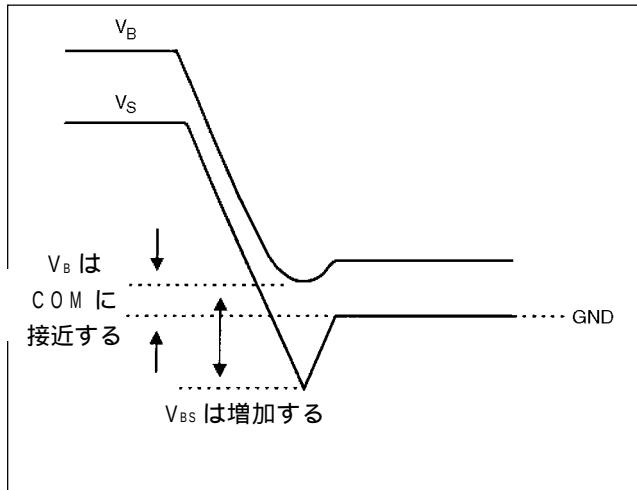


図 4

6. モニタと検証

以下に示す信号の測定は、正常動作時だけではなく、回路短絡時やオーバーカレントシャットダウンなど、 di/dt が最大となるストレス性の高い事象も想定して行う必要がある。測定値の読み取りは、図5に示すように、常にIC端子の付け根から直接行う必要がある。というのもこれにより寄生要素の影響を含めて測定できるからである。

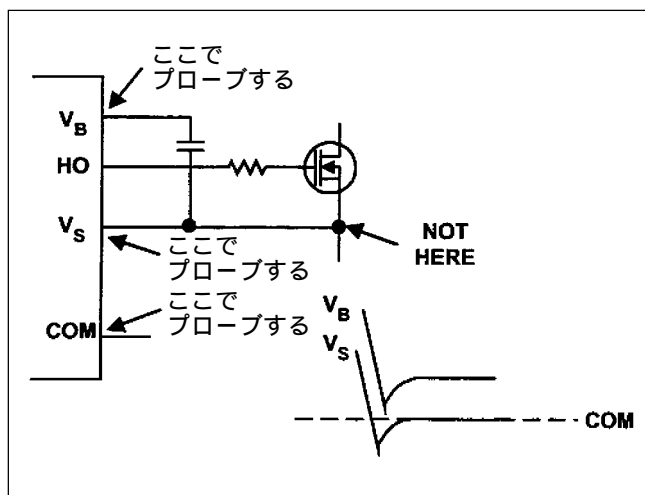


図 5

アンダーシュートの大きさを検証するための測定方法
(1) 共通グラウンドに対するハイサイド側のオフセット

ト電圧： $V_s - COM$

(2) フローティング電源電圧： $V_b - V_s$

大部分のブリッジ回路では数百ボルトのバスを使用している。このため入力増幅器の飽和によって特性曲線がゆがんでしまうのを防ぐために、Y軸のスケールは大きい値が自動的に設定されることになる。このために、比較的小さな値を持つ V_s アンダーシュートの値を測定するのが困難となる。一番よい解像度を得たければ、ご自分のオシロスコープに付属するマニュアルに目を通し、使用可能な感度のうち最高のものを選択されるとよい。

上記2番目の測定については、着目するこの信号は、変化するブリッジ電圧に常に印加されているものである。オシロスコープはトランスによってフローティング状態になっていると思われるが、この方式は推奨できない。というのも、容量性負荷により回路の挙動が変わってしまったり、ときには不注意のため dv/dt が減少することにより内在する問題が隠されてしまうことがあるからである。ここでは、広帯域幅を持つ差動電圧プローブ(または孤立した差動入力オシロスコープ)を使うとよい結果が得られる。またこのとき、グラウンドを基準にした他の信号も同時に見ることができる。しかし現象を相対的に比較する場合には、差動式プローブと従来式プローブでは伝達遅延にズレがある事を考慮する必要がある。

測定の前にノイズを測定する。コモンモードのノイズは、高電位側(V_b , H_O)のプローブをグラウンドレベルの V_s 端子へ接続することで測定できる。

7. 一般的推奨条項

以下のガイドラインは制御ICが正常動作するためのものであり、また測定対象のラッチアップ安全余裕度に関わらず注意すべき条項である。デザインタイプスDT94-15 'IR21xxMGD 向けデザインチェックリスト'。

図1の寄生要素を最小化する。

- 1a. パワー素子は太くてまっすぐな配線ですなぐ。配線にループや分岐がないこと。
- 1b. 電力回路内では相互接続したリンクを避けること。このようなリンクは、かなりの量のインダクタンスを回路に寄生させてしまう可能性がある。
- 1c. PCB 上部のパッケージの高さを低くすることにより、リードインダクタンスの影響を押さえること。
- 1d. 両パワー素子をきわめて近接して配置し、配線長を短くすることを検討する。

制御 IC に対しては。

- 2a. V_s と COM は図 6 のように接続すること。
- 2b. ゲート駆動回路は短く、直接配線とすること。
- 2c. 制御 IC をパワー素子にできる限り近接して配置すること。

各部のカップリングを改善する。

- 3a. ブートストラップコンデンサの値を $0.47 \mu F$ 以上に増加すること。その際、低 ESR コンデンサを少なくとも 1 つ使用する。このことは、極度の V_s アンダーシュートによる過剰充電量を減らすのに役立つ。
- 3b. V_{cc} と COM の間には低 ESR コンデンサを使用する。ローサイドの出力バッファとブートストラップコンデンサの再充電のために少なくともブートストラップの 10 倍にすること。
- 3c. デカップリングコンデンサは、図 7 に示すように各々のピンに直接接続する。
- 3d. ブートストラップダイオードと直列に抵抗が 1 つ必要な場合は、 V_b が COM の電位を下回らないのを確認すること。起動時や非常に高い周波数 / デューティサイクルの場合などは特にそうである。

上記ガイドラインを適切に適用すれば、 V_s アンダーシュートによる影響は最小化できる。アンダーシュートのレベルがなおも高すぎると思われる場合は、 dv/dt を減らす必要がある。スナバ回路を追加および / または、ゲート駆動抵抗を増加させると、効率が悪くなる代わりにスイッチング速度を遅くすることができる。システムがもしこれに耐えられなければ、高速 'クランプ' ダイオードを使用するのが適切と思われる。HEXF RED ダイオードがこの目的には理想的である。

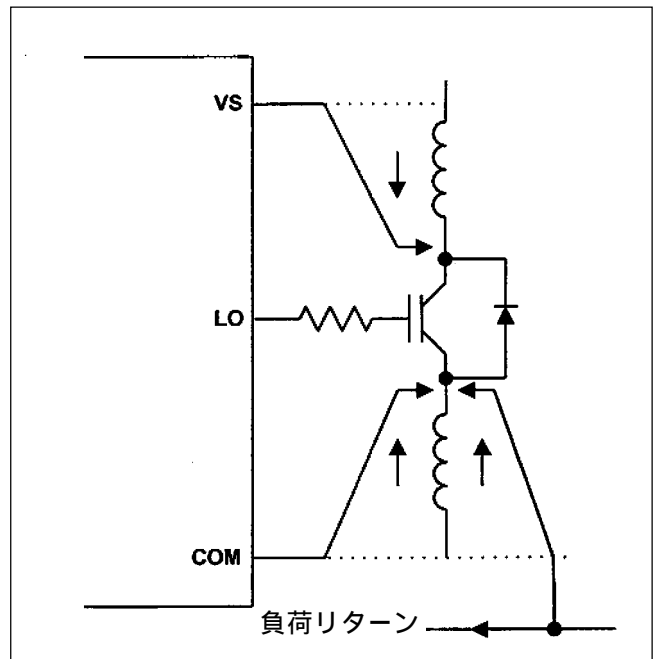


図 6

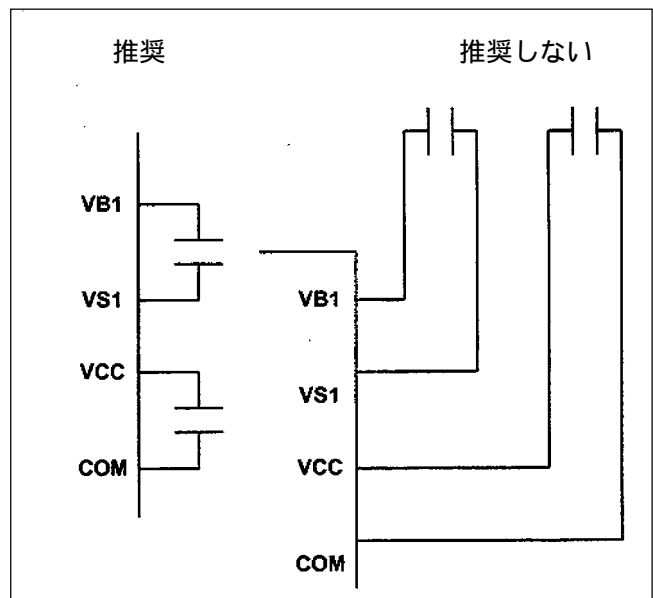


図 7

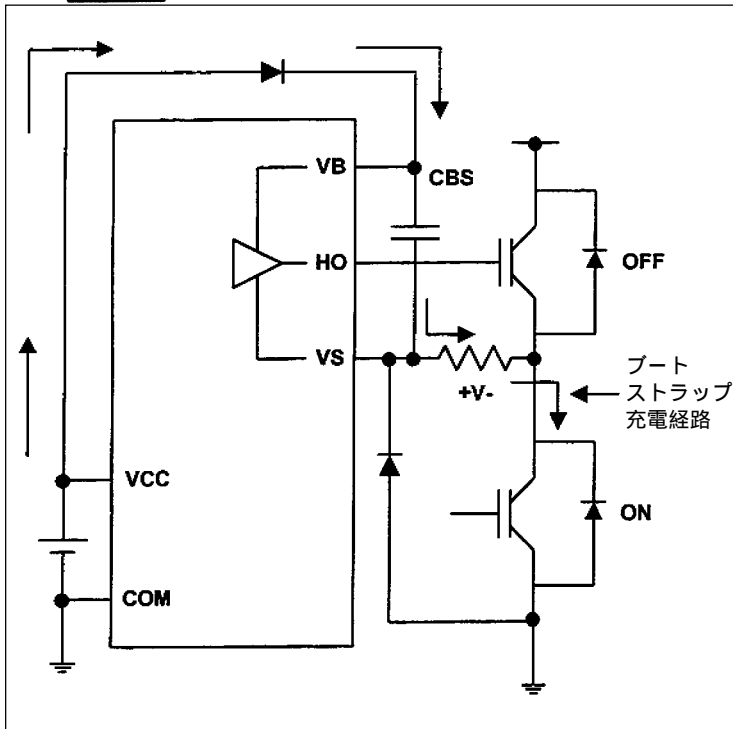


図 8

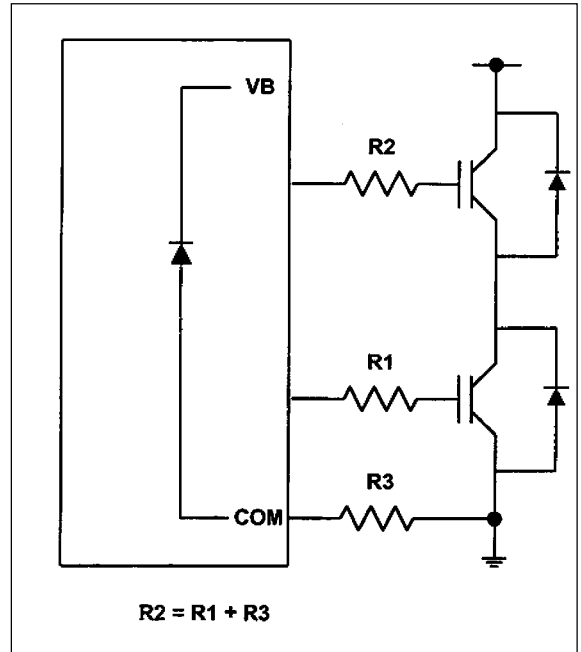


図 9

8. Vs アンダーシュートに対する耐量の強化

主な信号の測定結果が、最悪の状態においても規定範囲内に納まっているならば、それ以上の改善処置は必要ないと言える。しかしVsアンダーシュートが上記の測定値をなおも超過するようなら、さらなる手段を講じて制御 IC の耐量を高めねばならない。

方法 A : Vs ピンとブリッジのセンター間に、アンダーシュートの期間にVsピンへ流れ込む電流を制限する為に、抵抗を挿入する。この抵抗値は5Ω以下が良い。図8に示すように、ブートストラップコンデンサはこの抵抗を通して充電することになる。よってこの抵抗値があまりにも大き過ぎると、起動時に思いもよらぬアンダーシュートが発生する危険性がある。直列のゲート抵抗がある場合、その値を減らして全体のゲート抵抗値が変わらないようにする必要がある。

方法 B : 当社は、COM とローサイド側のソース又はエミッタとの間に、図9のように抵抗を1つ挿入するよう奨励した。ブートストラップコンデンサはこの抵抗を通して充電されないから、この方法では、制御 IC を保護するために大きい値の抵抗を使うことができる。この抵抗は図3に示す600VのダイオードD2に流れ込む電流を制限する効果がある。両ゲート駆動回路の抵抗値の合計値はドライブの対称性を満たすために同じにする。この場合、ローサイド側のゲート抵抗値は若干減らさなければならない。

即ち入力と出力のグラウンド基準の両方をCOMが兼ねている場合、上記の方法のいずれかが使える。しかしロジック入力が許容範囲内に納まっているかどうか注意深く確認する必要がある。

9. 付録1 IR2110の寄生ダイオード構造

IR2110制御ICの寄生ダイオード構造を図10に示す。この図は本質的に、当社の絶対最大定格表を図示表現したものとなっている。IR2110はロジック線と出力供給線を別々に持っているが、端子の制約による。

寄生ダイオード構造に関する詳細な説明は、デザインタイプスDT94-9「電子安定器でのIR2151およびIR2152のラッチに対する耐量の最大化」に記載されている。

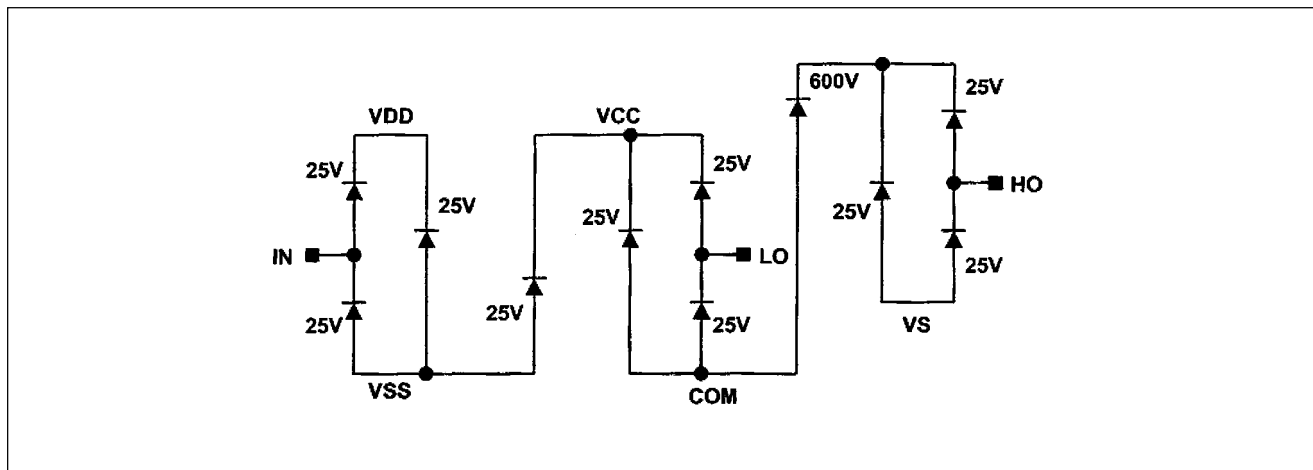


図 12