Embedded DRAMs und ihre Anwendung

Dr.-Ing. Jörg Schönfeld, Siemens AG, HL DC PE MC, Postfach 80 17 09, D-81617 München
email: joerg.schoenfeld@hl.siemens.de

1. Abstract

Dieser Beitrag diskutiert zuerst allgemeine Aspekte von embedded DRAMs [eDRAMs] wie technologische Voraussetzungen und Zielanwendungen. Hieraus werden die Anforderungen an Entwicklungen von eDRAM-Produkten abgeleitet. Im weiteren wird konkret auf die im Hause Siemens entwickelte eDRAM-Technologie eingegangen und die dort verfolgte Strategie erläutert. Abschließend werden aktuelle Produkte vorgestellt.

2. Einleitung

Der heutige Trend zur Integration gesamter Systeme bestehend aus Logik, Prozessor und Speicher stellt neue Anforderungen an Technologie und Entwicklung. Für eine kommerziell sinnvolle Umsetzung sind vor allem kompakte Speicher notwendig. Wie auch bei separaten Systemlösungen aus mehreren Chips bieten sich hierfür aus Kostengründen vor allem dynamische Speicher [DRAMs] an. Dieser Trend spiegelt sich in den Ankündigungen vieler Halbleiterhersteller wider. Er wird kurz mit dem Schlagwort embedded DRAM [eDRAMs] beschrieben.

Dieser Beitrag diskutiert zuerst allgemein die technologischen Voraussetzungen von eDRAMs und die veränderten Anforderungen an die Systemarchitektur solcher Produkte [1], [2]. Ausgehend von den Marktanforderungen wird das bei Siemens entwickelte modulare eDRAM-Core-Konzept vorgestellt und die dort eingesetzte Technologie erläutert. Auf einen wichtigen Bestandteil des Core-Konzeptes, den Testcontroller, wird gesondert eingegangen. Abschließend werden drei Bausteine aus der aktuellen Entwicklung präsentiert.

3. Stand der Technik

Es gibt zwei Randbedingungen für den wirtschaftlich interessanten Einsatz von eDRAMs: der eine ist die erzielbare Speicherdichte und der andere die Verfügbarkeit performanter Logik.

Nicht alle Halbleiterhersteller können für eDRAM-Produkte auf eigene DRAM-Technologien zurückgreifen und bieten daher modifizierte statische Speicherzellen (3 Transistorzelle) für eDRAM-Produkte an [3], [4], [6], [10]. Halbleiterhersteller, die über eigene echte (1 Transistor) DRAM Technologien verfügen, versuchen diese auch für eDRAM-Produkte zu nutzen [5], [6], [8], [11]. Hierbei ist weniger relevant, ob eine Deep Trench oder eine Stacked Capacitor Technologie zum Einsatz kommt. Entscheidend ist der Flächenvorteil gegenüber statischen Speichern. Dieser liegt bei einer 1-Transistor DRAM-Technologie gegenüber der 3 Transistorzelle in etwa bei dem Faktor 3-4.

Neben der erzielbaren Speicherdichte ist aber auch die “Logikperformanz” des Prozesses wichtig, die sich in Signallaufzeit und erzielbarer Gatterdichte messen läßt. Diese Eckdaten sind es, die zum Vergleich verschiedener Anbieter herangezogen werden und letztlich über Leistung und Preis des Endproduktes entscheidet.

In den letzten Jahrzehnten entwickelte sich die CMOS Technologie in zwei verschiedene Richtungen. Zum einen wurden Speicher mit immer größerer Speicherkapazität entwikkelt. Dies bedingte immer kleinere Strukturen mit immer weniger Stromaufnahme. Bei DRAMs wurde daher die Technologie mit den Zielen kleine Fläche und hohe Haltezeiten der Speicherzellen verbessert. Die Trei-

berfähigkeit einzelner Transistoren trat dabei in den Hintergrund. DRAMs sind hochreguläre Strukturen. Da bei diesem Massenprodukt vor allem auf die Fertigungskosten geachtet wird, haben typische DRAM Prozesse nur 2 Metallisierungsebenen, um die Anzahl der Prozeßschritte so gering wie möglich zu halten.

Ein anderer Trend ist hingegen bei Logiktechnologien zu beobachten. Hier spielt natürlich auch eine hohe Dichte an Gattern und damit eine immer weitere Verkleinerung der Strukturen die treibende Rolle. Allerdings müssen die einzelnen Transistoren bei geringster Größe eine möglichst hohe Treiberfähigkeit besitzen, um die heute üblichen Systemfrequenzen von 100 MHz und darüber zu ermöglichen. Um eine hohe Verdrahtbarkeit der einzelnen Gatter auch bei sehr irregulären Strukturen, wie sie bei reinen Logikbausteinen auftreten, gewährleisten zu können, werden in heutigen Logiktechnologien 3-6 Metallisierungsebenen angeboten.

Fazit ist, wer eine gute eDRAM-Technologie anbieten will, bei der Speicher und Logik zwangsläufig auf dem selben Silizium gefertigt werden, der muß diese beiden Zweige der CMOS Technologie wieder miteinander vereinen. Das bedeutet: ausgehend von einer Speichertechnologie ist zum einen die Treiberfähigkeit der Logiktransistoren zu optimieren, zum anderen sind zusätzliche Metallisierungsebenen bereitzustellen, um die Verdrahtungsressourcen für den Logikanteil zu erhöhen.

4. Systemarchitektur

Um die eDRAM-Technologie für eine Bausteinentwicklung wirklich sinnvoll zu nutzen, ist schon in der Planungsphase auf eine angepaßte Architektur zu achten. Wer ein reines Boarddesign 1:1 als “System on Silicon” realisieren will, wird enttäuscht sein, da er weder einen Gewinn an Verarbeitungsleistungleistung noch einen Kostenvorteil erringen wird! Eine neue Entwicklung mit einer angepaßten Architektur ist daher notwendig [9].

Ein gutes Beispiel für diesen Sachverhalt hat Mitsubishi mit dem Prozessor M32R/D geliefert [8]. Hier ist es gelungen, die Rechenleistung eines Signalprozessors um den Faktor 1,6 zu steigern. Dies resultiert allein aus der Verdoppelung der internen Datenbusbreite gegenüber der separaten Lösung, DRAM plus Prozessor.

Allerdings sind bezüglich der reinen Datenrate eines eDRAMs noch beträchtlich größere Gewinne gegenüber separaten DRAMs zu erzielen. Man denke einmal daran, daß beispielsweise bei einem DRAM mit einer Zeilenlänge von 1024 bit je Zugriff die gesamte Speicherzellenzeile aktiviert wird, aber aufgrund einer beschränkten Busbreite von z.B. 8 bit, nur 0,78% tatsächlich nutzbar sind.

Dieses krasse Mißverhältnis ist vor allem durch die Übertragung von einem Speicherchip zum verarbeitenden Chip (Prozessor oder ASIC) erzwungen. Hier spielt zum einen die Zahl der Signalleitungen an den Chipgrenzen, zum anderen die durch die Padtreiber verkonsumierte Leistung die begrenzende Rolle. Beides tritt bei dem Einsatz von eDRAMs in den Hintergrund. Der Systemdesigner erhält dadurch neue Freiheiten, die es zu nutzen gilt.

Realisierbar sind Datenbusse in der Größenordnung von 512 bit und mehr, die in der Lage sind, mehrere Gbyte an Daten pro Sekunde bei geringem Leistungsverbrauch zu transferieren.

Auch kann in gewissen Grenzen die auf dem Silizium realisierte Speichergröße den tatsächlichen Erfordernissen der Applikation angepaßt werden. Der Entwickler umgeht damit die sonst obligatorische Staffelung der Speichergröße in Zweierpotenzen.

Dies führt dazu, daß eDRAM-Bausteine heute neben Applikationen mit hohen Datenra-

ten vor allem auch in dem Bereich der batteriebetriebenen Systeme wie im Grafikkartenbereich von Laptop-Computern oder in Mobilfunkapplikationen zu finden sind.

5. Marktanforderungen

Faßt man die Anforderungen an Speicherkapazität und Anzahl der zu integrierenden Gatter typischer Anwendungen einmal zusammen, so ergibt sich folgendes Bild:

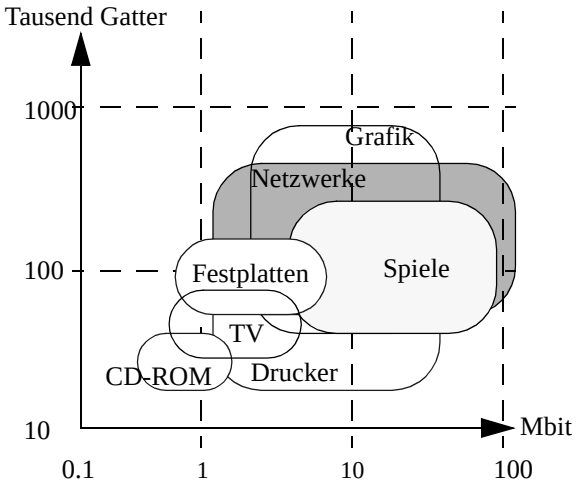

Bild 1 Speicher und Logikanforderungen typischer eDRAM-Anwendungen

Hierbei sind z.B. CD-Rom Laufwerke, Drukker und Festplatten in Bezug auf ihre Anforderungen an Speicherbedarf und Gatterkomplexität im unteren Bereich angesiedelt. 3D-Grafik-Controller sowie Netzwerkanwendungen bilden die Spitze. Will man diese breite Palette abdecken können, so muß man einen flexiblen Ansatz bereithalten. Dieser muß es erlauben, schnell die Bedürfnisse der jeweiligen Anwendung zu erfüllen, ohne jedesmal eine Speziallösung zu entwickeln. Daher ist bei Siemens ein modulares Core-Konzept für eDRAMs entwickelt worden.

6. Modulares Core-Konzept

Das entwickelte modulare eDRAM-Core-Konzept basiert auf drei Blocktypen der Größe 128 kbit, 256 kbit und 1 Mbit. Diese Blöcke können zu größeren Modulen zusammengeschaltet werden, um diese Module möglichst optimal an die Anforderung der jeweiligen Applikation anpassen zu können. Das Konzept verbindet die Vorteile moderner synchroner DRAMs mit der Möglichkeit des Multibankings, bei dem mehrere Speicherbänke gleichzeitig offen seien können, um einen schnellen Wechsel zwischen diesen Bänken zu ermöglichen. Desweiteren wird Pipeling bis zu 3 Stufen unterstützt.

Technologie	0,35 mm	0,24 mm
Blockgröße	128 kbit 256 kbit	256 kbit 1 Mbit
max. Modulgröße	16 Mbit	48 Mbit
Fläche 2 Mbit incl. Interface	8,8 mm^2	4,1 mm^2
Leistungsverbrauch je Modul	1,5 mW/MHz	1 mW/MHz
max. Frequenz	83 MHz	> 133 MHz
Zykluszeit	12 ns	< 7 ns
max. Bandbreite bei 512 bit Interf.	5,3 Gbyte/s	> 8,5 Gbyte/s

Tabelle 1 Technische Daten der eDRAMs

Die eDRAM-Cores sind nach außen vollständig synchron und somit einfach in synthetisierte, synchrone Designs einzubinden. Derzeit sind sie in einer 0,35 mm Technologie mit 3 Metallebenen verfügbar. Anfang 1998 werden Cores in einer 0,24 mm Technologie angeboten, die 4 Metallebenen ermöglicht. Die technischen Daten sind in Tabelle 1 zusammengestellt.

Die einzelnen Module bieten Wortbreiten von bis zu 64 bit pro Zugriff. Eine modulare Interfacelogik erlaubt es, auf 16, 32 oder volle 64 bit zuzugreifen. Höhere Wortbreiten sind durch parallele Module realisierbar. Hierdurch läßt sich z.B. bei einer Wortbreite von 512 bit eine Datenrate von 5.3 GByte/s in der 0,35 mm Technologie erzielen. Das Interface erlaubt aber auch einen byteweisen Zugriff. Es hat getrennte Datenein- und Datenausgänge, letztere Tri-State fähig, sowie getrennte Adreßbusse für Zeilen- und Spal-

tenadressen (Bild 2).

7. Test von eDRAMs

Bei eDRAM-Systemen variieren die Anforderung an die Qualität des Produktionstests enorm mit dem Produkt, in dem sie eingesetzt werden sollen. Hintergrund sind die Testkosten, die heute den Preis für das prozessierte Silizium nahezu übersteigen und somit ganz wesentlich zum Preis des Endprodukts beitragen. Ist bei niederpreisigen Konsumerprodukten im Audio- und Videobereich z.B. ein einzelner Bitfehler im Datenbereich vielleicht akzeptabel, so kann dieser im Programmspeicher von Prozessoranwendungen zu verheerenden Folgen führen.

Der Test von eDRAMs stellt daher besondere Anforderungen. Da nicht wie bei Standardspeicherbausteinen alle Signale extern zugänglich sind, ist die Beobachtbarkeit und Testabdeckung durch geeignete Maßnahmen zu gewährleisten. Weiterhin muß bei einem modularen eDRAM-Konzept, wie dem hier vorgestellten, auch das Testkonzept so flexibel sein, daß nicht für jede denkbare Konfiguration ein neues Testprogramm entwickelt werden muß. Neben der modularen Aufbereitung der Testereingangsdaten, die unabhängig von den Interfacebreiten (16-64bit) der eDRAMs ist, führte das zu der Entwicklung eines eigenen Test-Controllers, der einen transparenten Zugriff auf die eDRAMs bei voller Betriebsfrequenz ermöglicht [12]. Hierzu ist Design for Test [DFT] Logik in die eDRAM-Interfaces integriert. Der Test-Controller selber steht als Softmacro in der synthetisierbaren Hochsprachenbeschreibung (VHDL) zur Verfügung. Er hat eine Komplexität von ~ 2 k Gattern. Er unterstützt den parallelen Test mehrerer eDRAM-Module und spart so wertvolle Testzeit (Bild 2). Eine optionale Lösung ist die Erweiterung des Controllers für die Erzeugung algorithmischer Testmuster (z.B. March tests, “Galloping Y", etc.) [13], [14]. Diese Erweiterung erhöht zwar die Komplexität des Test-Controllers auf ~ 3,5 k Gatter, hat aber den Vorteil, daß ein Quasi-Selbsttest durchgeführt werden kann. Dies ermöglicht es, eDRAM-Produkte auch kostengünstig auf reinen Logiktestern zu testen. Allerdings können hierbei keine sogenannten "Fail Bit Maps" generiert werden, die für die Laserkonfiguration bei dem Einsatz von Redundanztechniken verwendet wird.

Bild 2 Konfiguration mit einem Test-Controller und mehreren eDRAMs

Um eine möglichst hohe Testabdeckung zu erhalten, wurden funktionale Tests und spezielle DRAM Test-Modes zusammen mit der Überprüfung von elektrischen Eigenschaften zu einem Verfahren kombiniert. Um die Testzeit weiter zu reduzieren, werden mehrere Wortleitungen gleichzeitig aktiviert, um parallele Geschwindigkeitstest durchführen zu können.

8. Applikationsbeispiele

Im Hause Siemens ist die eDRAM-Technologie inzwischen fester Bestandteil des Angebotsspektrums geworden. Im folgenden werden drei Beispiele aus den Bereichen Unterhaltungselektronik, Sprachverarbeitung und Computer Peripherie vorgestellt.

8.1. Unterhaltungselektronik

Seit einigen Jahren wird speziell im Bereich Unterhaltungselektronik die eDRAM-Technik eingesetzt. Der in Bild 3 gezeigte Baustein ist ein sogenannter “Bild in Bild” Baustein für TV-Anwendungen. Er ermöglicht

es, innerhalb eines Hauptbildes mehrere Parallelprogramme in reduzierter Größe einzublenden. Die ersten derartigen Bausteine wurden bei Siemens in einer 4 Mb Technologie entwickelt. Der gezeigte Baustein enthält 330 kbit an DRAM, 10 k Gatter an Standardzellenlogik [SC], sowie 3 Digital Analog Wandler.

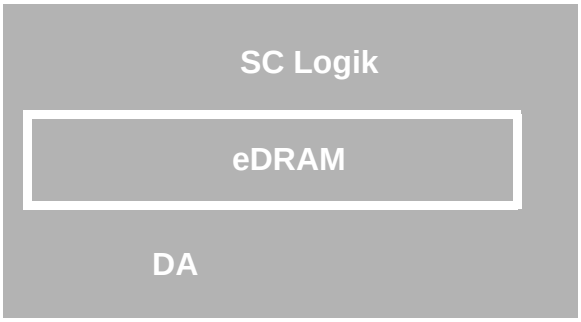

Bild 3 "Bild in Bild" Baustein

8.2. Sprachverarbeitung

Der in Bild 4 dargestellte Baustein kommt aus dem Bereich der digitalen Signalverarbeitung und dient der Spracherkennung und -synthese. Das Einsatzgebiet reicht von sprachgesteuerten Anwendungen z.B. im KFZ oder in der Automationstechnik bis hin zum intelligenten, interaktiven Spielzeug. Der Baustein enthält 1 Mbit eDRAM, einen 16 bit Festkomma-DSP und 15 k Gatter an Standardzellenlogik sowie ROM und SRAM auf einer Fläche von 28 mm^2.

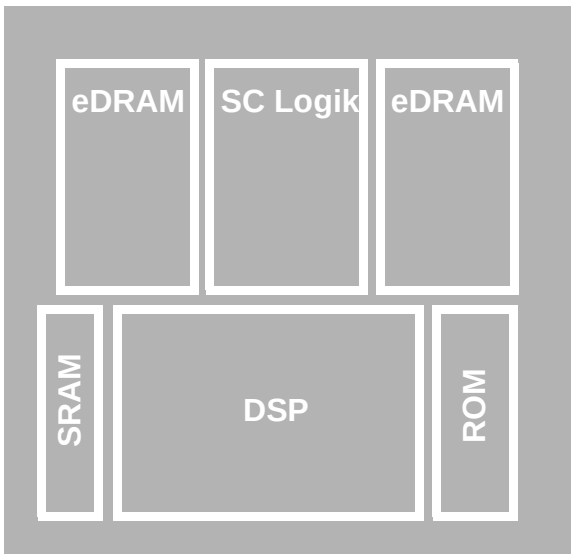

Bild 4 "Voice-Engine" Baustein

8.3. Controller-Anwendung

Dieses Beispiel aus der neuesten Entwicklung kommt aus dem Microcontroller-Bereich. Neben einem eDRAM mit 1,5 Mbit enthält es einen 16 bit Microcontrollerkern, der als "Hardmacro" in Standardzelltechnologie entwickelt wurde. Dieses Produkt weist gegenüber den bisher vorgestellten Bausteinen mit rein Standardzell basierter Logik einen wesentlichen Unterschied auf. Der kundenspezifische Teil des Bausteins umfaßt 100 k Gatter, die in der sogenannten "Cell Based Array" Technologie [CBA] realisiert worden sind [15]. Der Baustein hat eine Fläche von 46 mm^2 (Bild 5).

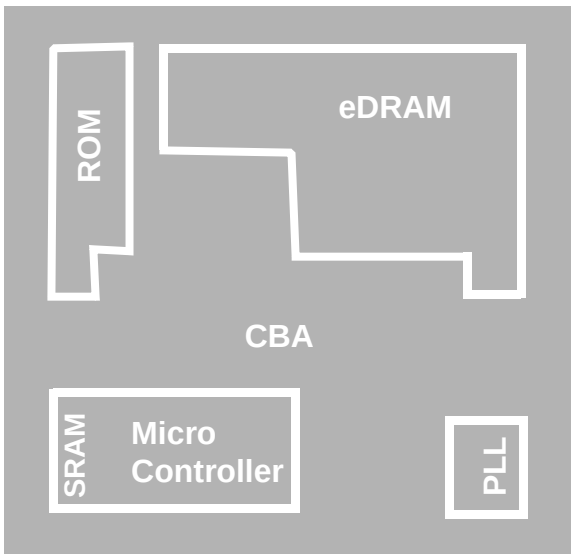

Bild 5 Kundenspezifischer Controller

Die CBA Technologie ermöglicht es, auf vorgefertigten "Master-Bausteinen" nur über Metallprogrammierung kundenspezifische Schaltungsteile zu realisieren. Hier ist speziell der Vorteil an Fertigungszeit bei der Entwicklung zu nennen. Bei einer Speichertechnologie wie der hier verwendeten Deep Trench Technologie entfällt in etwa 2/3 der reinen Fertigungszeit auf die Ebenen von Deeptrench, Wannen, Diffusion bis Polysilizium. Nur ca. 1/3 wird für die Metallebenen benötigt. Dieser Zeitgewinn kommt zum einen bei der Prototypenentwicklung positiv zum Tragen, zum anderen bei eventuell notwendigen Redesign Zyklen. Dies stellt bei der kurzlebigen Produktpalette des heutigen

Mikroelektronikmarktes einen entscheidenden Vorteil dar.

9. Zusammenfassung

Für den Einsatz bei eDRAM-Produkten wurde bei Siemens DRAM-Technologien bezüglich der Treiberfähigkeit der Transistoren verbessert und um zusätzliche Metallebenen erweitert. Bei der Produktentwicklung wird darauf geachtet, daß die Systemarchitektur die erhöhte Bandbreite und den geringeren Leistungsverbrauch bei Speicherzugriffen gewinnbringend nutzt.

Weiterhin wird ein modulares Core-Konzept für den Entwurf von eDRAM-Produkten eingesetzt, das auf synchronen eDRAM-Blökken der Größen 128 kbit, 256 kbit und 1 Mbit basiert. Dadurch kann der Speicherbereich flexibel den Systemanforderungen angepaßt werden. Multibanking und Pipelining ist möglich. Die Interfacelogik je Modul ist ebenfalls von 16 bis 64 bit variabel.

Ein flexibles Testkonzept verbindet funktionale mit DRAM-Tests. Basierend auf einem Testcontroller ist die Beobachtbarkeit der Signale bei voller Betriebsfrequenz, der parallele Test mehrerer Wortleitungen und optional die Erzeugung algorithmischer Testmuster möglich.

Anhand von drei Applikationsbeispielen wird die Marktreife der eDRAM-Technologie und der erfolgreiche Einsatz des Core-Konzepts demonstriert.

10. Literatur

[1] D.Brusky: “The System-On-Silicon: It’s Not Just A Dream Anymore”, Digital design, Oct. 1997, S. 107 - 118.

[2] K.H. Knapp: “Speicher Aussichten über die Zukunft der DRAM-Speicher”, Elektronik-Report, ’97, Nr. 6, S. 28-30.

[3] M. Heshami: A 250-MHz skewd clock pipelined dual-port embedded DRAM”, Proc. of IEEE, Custom Integrated Circuits Conf., Santa Clara, May 1995 , S. 1943-1946.

[4] P.W. Diodato et al:“ A reuseable embedded DRAM Macrocell”, Proc. of IEEE, Santa Clara, Mai 1997, S. 337- 340.

[5] S.P. Sim et. al.: ”A new Planar Stacked technology [PST] for scaled and embedded DRAMs” , Int. Electronic Device Meeting IEEE, NY, 1996, S. 597-600.

[6] S. Miyano et. Sal.: “ A 1,6 G byte/s data transfer rate 8 Mb embedded DRAM”, IEEE Journal of Solid-State Circuits, Vol. 30, no. 11, S. 1006-1014.

[7] S. Nakamuro: “ Giga-Bit DRAM Cells with low Capacitance and low resistance bit-lines on buried MOSFETs and Capacitors by using bonded SOI technology-reversed stacked Capacitor (RSTC) Cell”, Int. Electronic device Meeting; Washington, Dec. 1995, S. 889-892.

[8] H. Tsubato et. al.: “The M32R/D, a 32b RISC Microprocessor with 16 Mb embedded DRAM”, Mitsubishi Electronic Advance, 1996, vol. 75, S.12 - 15.

[9] F. Zarrinfar: “DRAM-ASIC based DESIGN for Low Power Systems”, Proc. 4th annual portable Design Conf., Penton Publishing, Santa Clara, März 1997, S. 187 - 189.

[10] T. Sunaga: “ DRAM macros for ASIC Chips”, IEEE Journal of Solid-State Circuits, Vol. 30, no. 9, S. 1281-1285.

[11] P. Gillingham et.al.: “ A 768 k embedded DRAM for 1.244 Gb/s ATM switch in a 0,8 mu m logic process”, IEEE Solid State Conf., San Francisco, Feb. 1996, S. 262- 263.

[12] R. Mc Connel: ”A Test Concept for Embedded DRAMs Cores”, 1st Int. Ws on Testing embedded Core-Based Systems, Washington DC, Nov. 1997, S. 2.2-1, 2.2-4.

[13] “Memory Technology, Design and Testing”, Records of IEEE Int. Workshop on MTDT’97, San Jose, August 1997, S.103.

[14] H.Wong et al.: "Flexible Test Mode Design for DRAM Characterization". 1996, Symposium on VLSI Circuits, Honolulu Hawai.

[15] Synopsys: “Cell Based Array Architure” CBA Referenzmanual