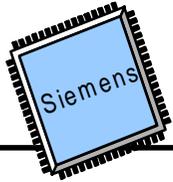


---

# *Embedded DRAMs und Ihre Anwendung*

*Dr.-Ing. Jörg Schönfeld, Siemens AG, München*

- Technologie- und Marktanforderungen**
- angepaßte Systemarchitektur mit eDRAMs**
- Modulares Core-Konzept**
- Anwendungen**



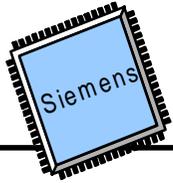
# Technologieaspekte

---

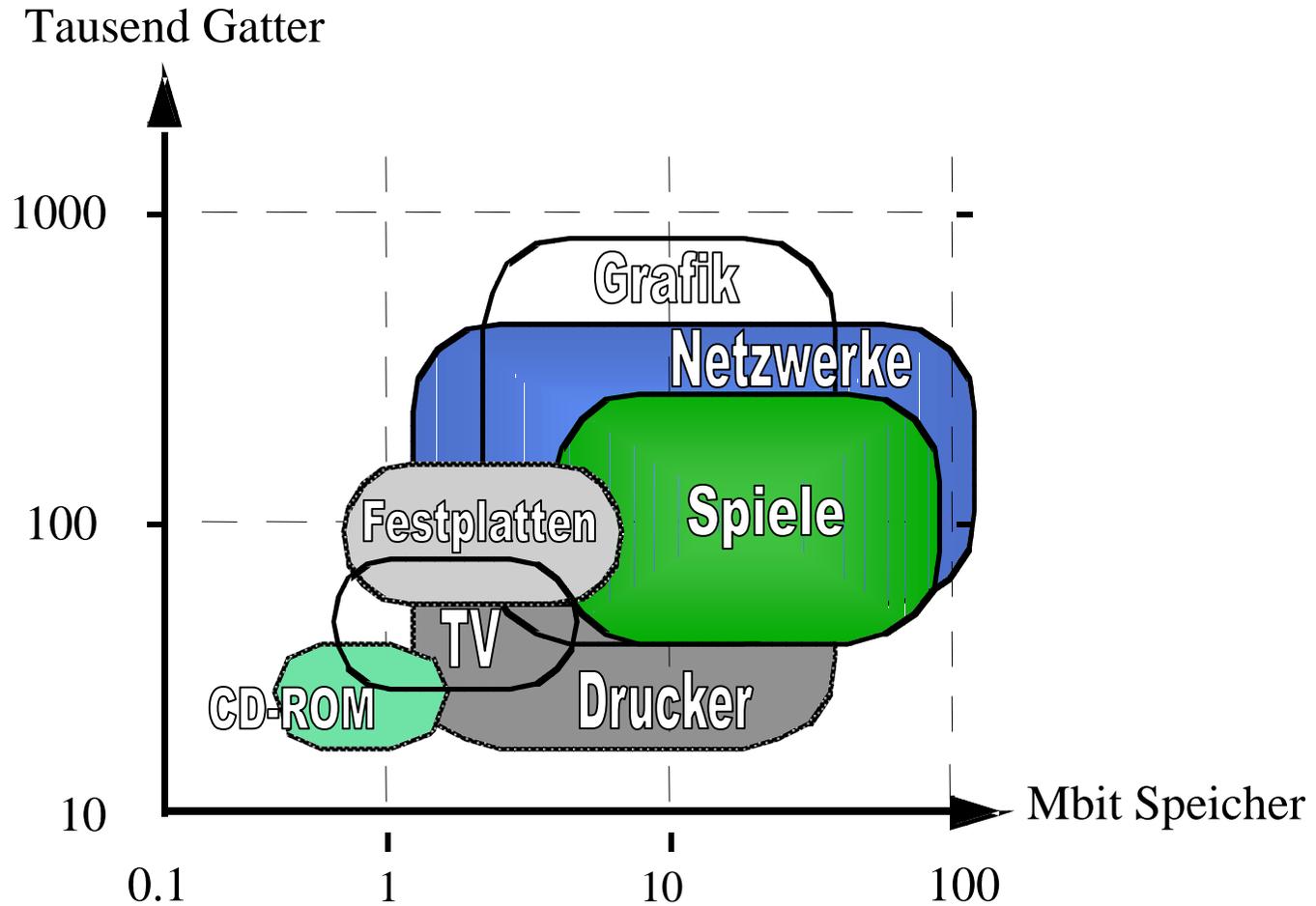
Logikprozeß	DRAM-Prozeß
Gatterdichte Schnelle Schaltungen	Speicherdichte hohe Haltezeit
Hohe Treiberfähigkeit	Schwache Transistoren, kleine Leckströme
3Transistor-DRAM	1Transistor-DRAM
Irreguläre Strukturen Typisch 3-6 Metalllagen	Hochreguläre Strukturen Typisch 1-2 Metalllagen

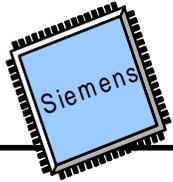
## Speicherbasierter eDRAM Prozeß

- Logikgeschwindigkeit erhöhen
- Metalllagen auf 3-4 erweitern



# Marktanforderungen





## Vorteile der eDRAM Technologie

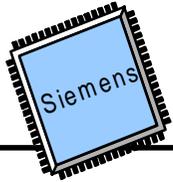
---

***Werden aus einem DRAM mit einer Zeilenlänge von 1024 bit nur lediglich 8 bit genutzt, so entspricht das gerade 0,78% der aktiv verfügbaren Information !***

**□ Vorteil von Systemen mit eDRAMs**

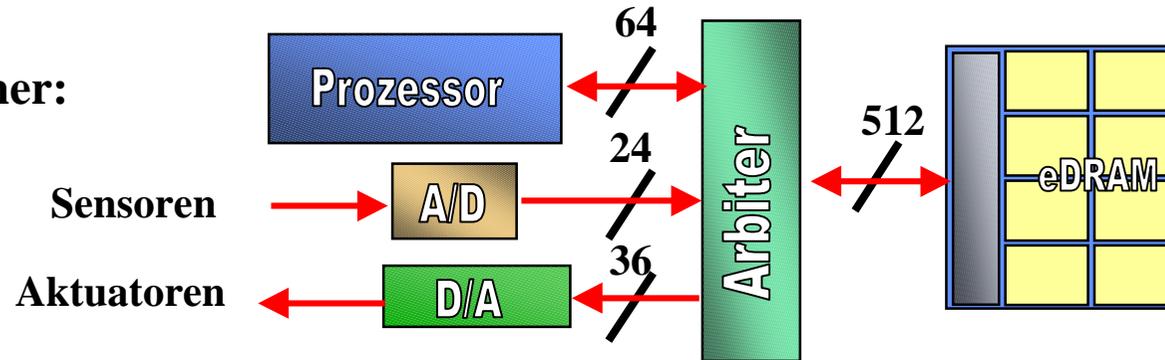
- Wegfall der Pin-Beschränkungen an Bausteingrenzen
- flexibel anpaßbare Speichergröße
- hohe erzielbare Bandbreite der Speicher
- kleinerer Leistungsverbrauch des Gesamtsystems

**□ nur durch eine angepaßte Systemarchitektur können diese Vorteile auch genutzt werden**

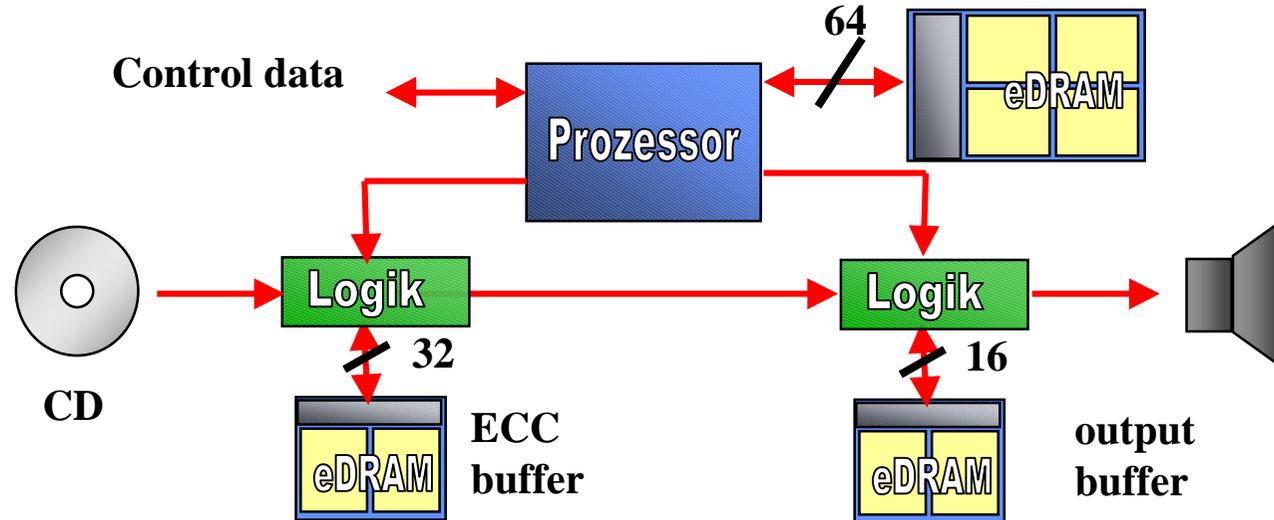


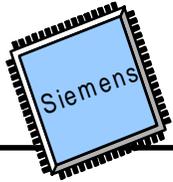
# Angepaßte Systemarchitektur

## Zentraler Speicher:



## Separierte Speicher:

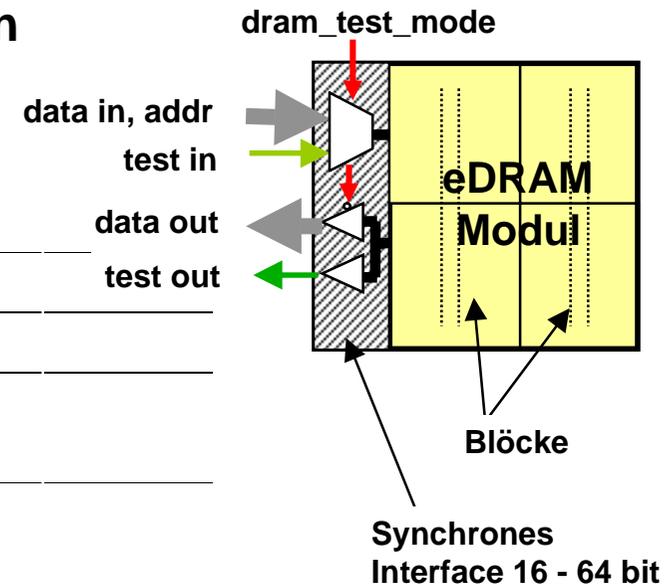


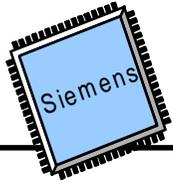


# Modulares SIEMENS Core-Konzept

- ❑ Modularer Aufbau von eDRAMs aus kleineren Blöcken
- ❑ Nutzung verfügbarer DRAM-Technologien
- ❑ Synchrones Interface

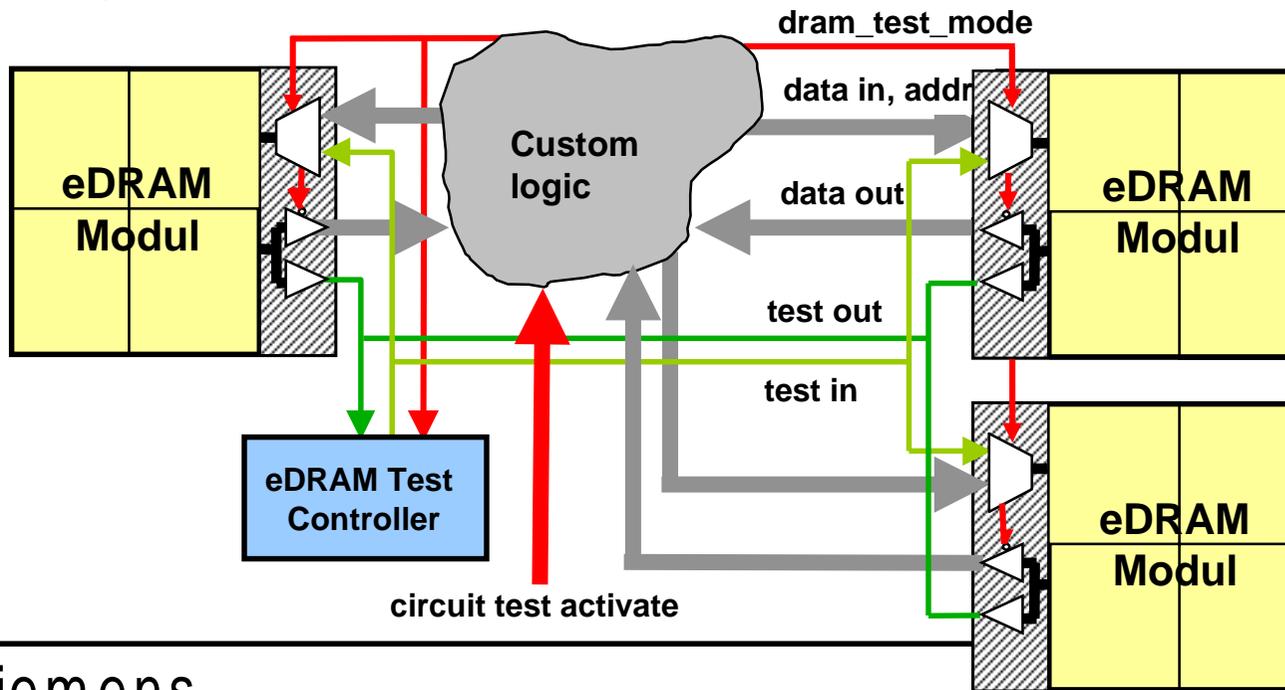
<b>Technologie</b>	<b>0,35 <math>\mu\text{m}</math></b>	<b>0,24 <math>\mu\text{m}</math></b>
<b>Metallisierung</b>	<b>3 Lagen</b>	<b>4 Lagen</b>
<b>Max. Modulgröße</b>	<b>16 Mbit</b>	<b>128 Mbit</b>
<b>Blockgrößen</b>	<b>128 kbit 256 kbit</b>	<b>256 kbit 1 Mbit</b>
<b>Fläche 2 Mbit (incl. Interface)</b>	<b>8,8 mm<sup>2</sup></b>	<b>4,1 mm<sup>2</sup></b>
<b>max. Frequenz</b>	<b>83 MHz</b>	<b>150 MHz</b>
<b>Zykluszeit</b>	<b>12 ns</b>	<b>6,7 ns</b>
<b>max. Bandbreite (512 bit Interface)</b>	<b>5,3 Gbyte/s</b>	<b>9,6 Gbyte/s</b>

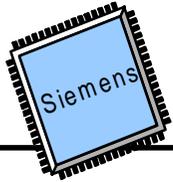




# Testkonzept

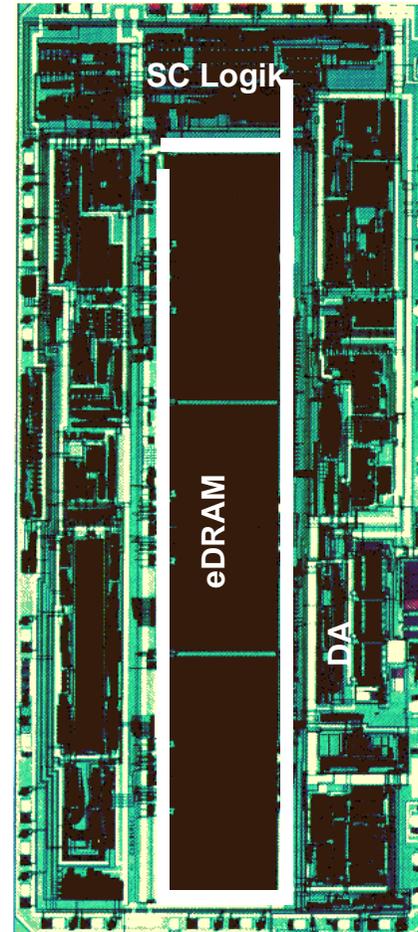
- ❑ Modularer Aufbau von Testpattern
- ❑ Schnelle Anpassung von Tests für verschiedene Konfigurationen
- ❑ Spezieller eDRAM-Test-Controller
  - BIST Funktionalität
  - paralleles Testen mehrerer Blöcke

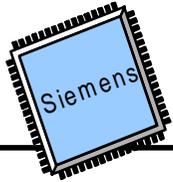




## Anwendung *Bild in Bild* Baustein

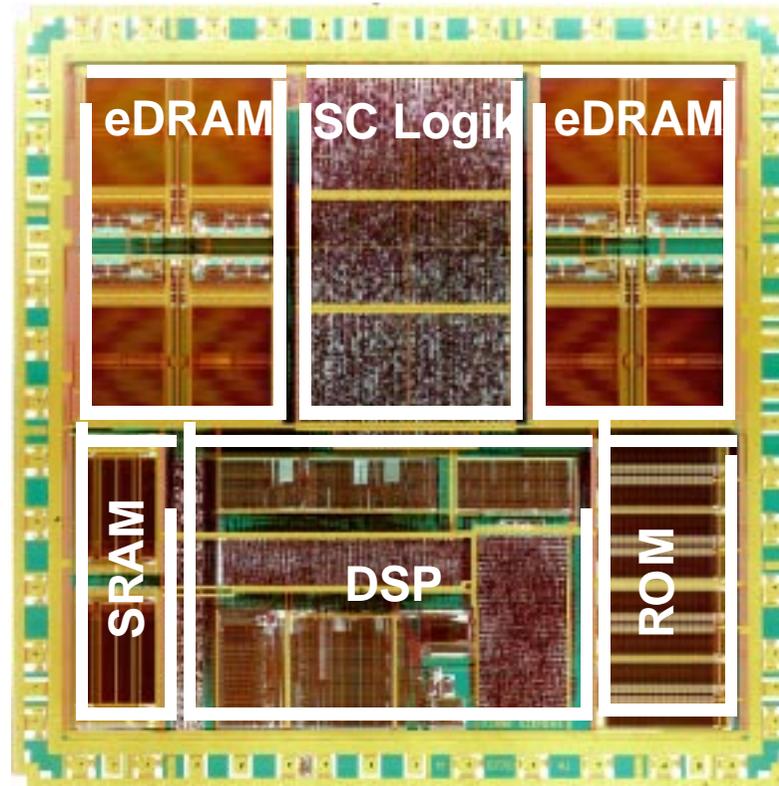
- ❑ 384 kbit eDRAM
- ❑ 10 kGatter Standardzellen
- ❑ 14 mm<sup>2</sup> Fläche

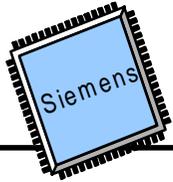




# Anwendung *Sprachverarbeitung*

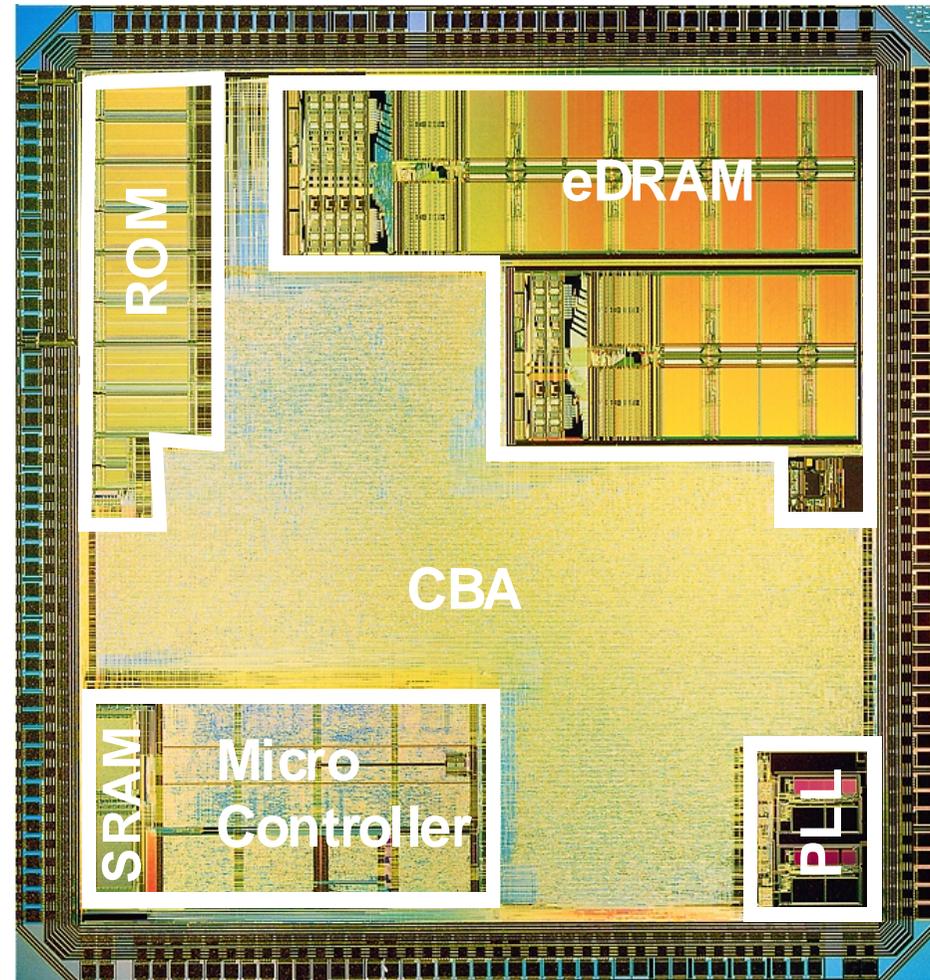
- ❑ 1 Mbit eDRAM
- ❑ 16 bit Festkomma DSP
- ❑ 15 kGatter Standardzellen
- ❑ 28 mm<sup>2</sup> Fläche

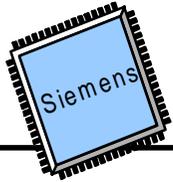




## Anwendung *Festplatten-Controller*

- 1,5 Mbit eDRAM
- 16 bit Micro Controller
  - Standardzellen
  - 2 kbit DP-SRAM
- 32 kbyte ROM
- 100 kGatter CBA-Logik
- 46 mm<sup>2</sup> Fläche

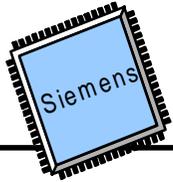




# Zusammenfassung

---

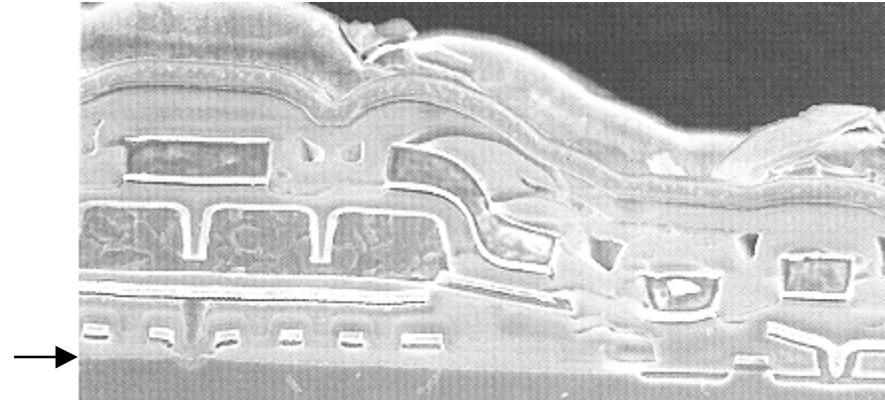
- ❑ **Verschmelzen der Technologien**
  - DRAM Technologie
    - treiberoptimierte Transistoren
    - bessere Verdrahtbarkeit durch mehr Metalllagen
  
- ❑ **neue Architekturansätze für „System on Silicon“**
  - Nutzung der Bandbreite durch breitere Busse
  
- ❑ **Modulares eDRAM Core- und Testkonzept bei Siemens**
  
- ❑ **erfolgreich bei aktuellen Produkten eingesetzt**



# Stacked Capacitor versus Deep Trench Technologie

## Stacked Capacitor

- Kondensator über Siliziumoberfläche
- Schichten nicht planar



## Deep Trench

- Kapazität unter Oberfläche
- Planarisierung zwischen den Schichten
- hohe Störsicherheit (softerror Rate)

