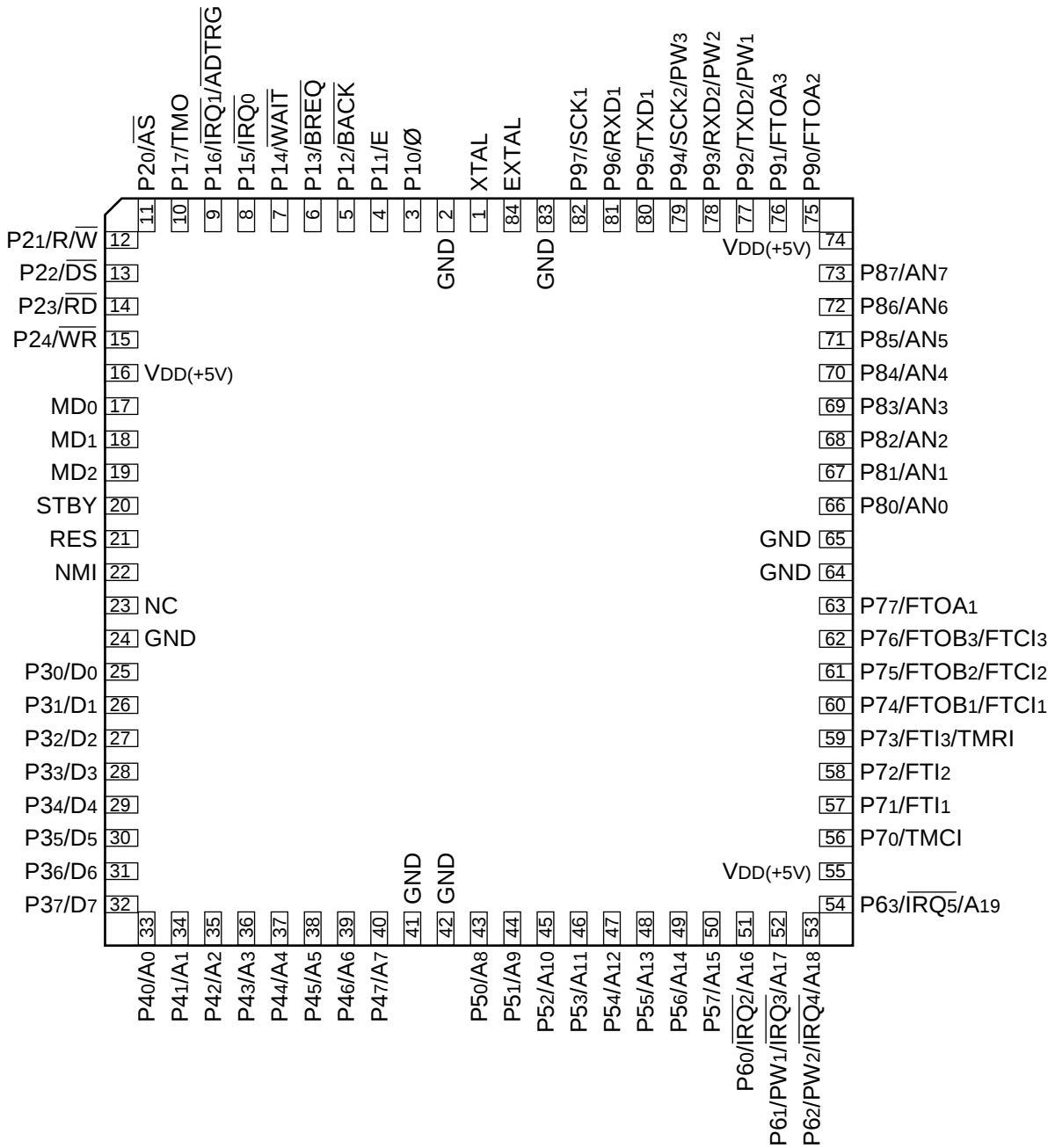

C-MOS 16-BIT MICROCOMPUTER

-TOP VIEW-



(V_{DD}=+5V)

PIN NO.	EXTENSION MINIMUM MODE				EXTENSION MAXIMUM MODE				SINGLE CHIP MODE	
	MODE1		MODE2		MODE3		MODE4		MODE7	
	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL
1	I	XTAL	I	XTAL	I	XTAL	I	XTAL	I	XTAL
2	—	GND	—	GND	—	GND	—	GND	—	GND
3	I/O	P10/Ø	I/O	P10/Ø	I/O	P10/Ø	I/O	P10/Ø	I/O	P10/Ø
4	I/O	P11/E	I/O	P11/E	I/O	P11/E	I/O	P11/E	I/O	P11/E
5	I/O	P12/ $\overline{\text{BACK}}$	I/O	P12/ $\overline{\text{BACK}}$	I/O	P12/ $\overline{\text{BACK}}$	I/O	P12/ $\overline{\text{BACK}}$	I/O	P12
6	I/O	P13/ $\overline{\text{BREQ}}$	I/O	P13/ $\overline{\text{BREQ}}$	I/O	P13/ $\overline{\text{BREQ}}$	I/O	P13/ $\overline{\text{BREQ}}$	I/O	P13
7	I/O	P14/ $\overline{\text{WAIT}}$	I/O	P14/ $\overline{\text{WAIT}}$	I/O	P14/ $\overline{\text{WAIT}}$	I/O	P14/ $\overline{\text{WAIT}}$	I/O	P14
8	I/O	P15/ $\overline{\text{IRQ0}}$	I/O	P15/ $\overline{\text{IRQ0}}$	I/O	P15/ $\overline{\text{IRQ0}}$	I/O	P15/ $\overline{\text{IRQ0}}$	I/O	P15/ $\overline{\text{IRQ0}}$
9	I/O	P16/ $\overline{\text{IRQ1/ADTRG}}$	I/O	P16/ $\overline{\text{IRQ1/ADTRG}}$	I/O	P16/ $\overline{\text{IRQ1/ADTRG}}$	I/O	P16/ $\overline{\text{IRQ1/ADTRG}}$	I/O	P16/ $\overline{\text{IRQ1/ADTRG}}$
10	I/O	P17/TMO	I/O	P17/TMO	I/O	P17/TMO	I/O	P17/TMO	I/O	P17/TMO
11	O	AS	O	AS	O	AS	O	AS	I/O	P20
12	O	R/ $\overline{\text{W}}$	O	R/ $\overline{\text{W}}$	O	R/ $\overline{\text{W}}$	O	R/ $\overline{\text{W}}$	I/O	P21
13	O	$\overline{\text{DS}}$	O	$\overline{\text{DS}}$	O	$\overline{\text{DS}}$	O	$\overline{\text{DS}}$	I/O	P22
14	O	$\overline{\text{RD}}$	O	$\overline{\text{RD}}$	O	$\overline{\text{RD}}$	O	$\overline{\text{RD}}$	I/O	P23
15	O	$\overline{\text{WR}}$	O	$\overline{\text{WR}}$	O	$\overline{\text{WR}}$	O	$\overline{\text{WR}}$	I/O	P24
16	—	V _{DD}	—	V _{DD}	—	V _{DD}	—	V _{DD}	—	V _{DD}
17	I	MD0	I	MD0	I	MD0	I	MD0	I	MD0
18	I	MD1	I	MD1	I	MD1	I	MD1	I	MD1
19	I	MD2	I	MD2	I	MD2	I	MD2	I	MD2
20	I	$\overline{\text{STBY}}$	I	$\overline{\text{STBY}}$	I	$\overline{\text{STBY}}$	I	$\overline{\text{STBY}}$	I	$\overline{\text{STBY}}$
21	I/O	$\overline{\text{RES}}$	I/O	$\overline{\text{RES}}$	I/O	$\overline{\text{RES}}$	I/O	$\overline{\text{RES}}$	I/O	$\overline{\text{RES}}$
22	I	NMI	I	NMI	I	NMI	I	NMI	I	NMI
23	—	NC	—	NC	—	NC	—	NC	—	NC
24	—	GND	—	GND	—	GND	—	GND	—	GND
25	I/O	D0	I/O	D0	I/O	D0	I/O	D0	I/O	P30
26	I/O	D1	I/O	D1	I/O	D1	I/O	D1	I/O	P31
27	I/O	D2	I/O	D2	I/O	D2	I/O	D2	I/O	P32
28	I/O	D3	I/O	D3	I/O	D3	I/O	D3	I/O	P33
29	I/O	D4	I/O	D4	I/O	D4	I/O	D4	I/O	P34
30	I/O	D5	I/O	D5	I/O	D5	I/O	D5	I/O	P35
31	I/O	D6	I/O	D6	I/O	D6	I/O	D6	I/O	P36
32	I/O	D7	I/O	D7	I/O	D7	I/O	D7	I/O	P37
33	O	A0	O	A0	O	A0	O	A0	I/O	P40
34	O	A1	O	A1	O	A1	O	A1	I/O	P41
35	O	A2	O	A2	O	A2	O	A2	I/O	P42
36	O	A3	O	A3	O	A3	O	A3	I/O	P43
37	O	A4	O	A4	O	A4	O	A4	I/O	P44
38	O	A5	O	A5	O	A5	O	A5	I/O	P45
39	O	A6	O	A6	O	A6	O	A6	I/O	P46
40	O	A7	O	A7	O	A7	O	A7	I/O	P47
41	—	GND	—	GND	—	GND	—	GND	—	GND
42	—	GND	—	GND	—	GND	—	GND	—	GND

(VDD=+5V)

PIN NO.	EXTENSION MINIMUM MODE				EXTENSION MAXIMUM MODE				SINGLE CHIP MODE	
	MODE1		MODE2		MODE3		MODE4		MODE7	
	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL	I/O	SIGNAL
43	O	A8	I/O	P50/A8	O	A8	I/O	P50/A8	I/O	P50
44	O	A9	I/O	P51/A9	O	A9	I/O	P51/A9	I/O	P51
45	O	A10	I/O	P52/A10	O	A10	I/O	P52/A10	I/O	P52
46	O	A11	I/O	P53/A11	O	A11	I/O	P53/A11	I/O	P53
47	O	A12	I/O	P54/A12	O	A12	I/O	P54/A12	I/O	P54
48	O	A13	I/O	P55/A13	O	A13	I/O	P55/A13	I/O	P55
49	O	A14	I/O	P56/A14	O	A14	I/O	P56/A14	I/O	P56
50	O	A15	I/O	P57/A15	O	A15	I/O	P57/A15	I/O	P57
51	I/O	P60/ $\overline{\text{IRQ}}_2$	I/O	P60/ $\overline{\text{IRQ}}_2$	O	A16	I/O	P60/ $\overline{\text{IRQ}}_2$ /A16	I/O	P60/ $\overline{\text{IRQ}}_2$
52	I/O	P61/ $\overline{\text{PW}}_1$ / $\overline{\text{IRQ}}_3$	I/O	P61/ $\overline{\text{PW}}_1$ / $\overline{\text{IRQ}}_3$	O	A17	I/O	P61/ $\overline{\text{IRQ}}_3$ /A17	I/O	P61/ $\overline{\text{PW}}_1$ / $\overline{\text{IRQ}}_3$
53	I/O	P62/ $\overline{\text{PW}}_2$ / $\overline{\text{IRQ}}_4$	I/O	P62/ $\overline{\text{PW}}_2$ / $\overline{\text{IRQ}}_4$	O	A18	I/O	P62/ $\overline{\text{IRQ}}_4$ /A18	I/O	P62/ $\overline{\text{PW}}_2$ / $\overline{\text{IRQ}}_4$
54	I/O	P63/ $\overline{\text{PW}}_3$ / $\overline{\text{IRQ}}_5$	I/O	P63/ $\overline{\text{PW}}_3$ / $\overline{\text{IRQ}}_5$	O	A19	I/O	P63/ $\overline{\text{IRQ}}_5$ /A19	I/O	P63/ $\overline{\text{PW}}_3$ / $\overline{\text{IRQ}}_5$
55	—	VDD	—	VDD	—	VDD	—	VDD	—	VDD
56	I/O	P70/TMCI	I/O	P70/TMCI	I/O	P70/TMCI	I/O	P70/TMCI	I/O	P70/TMCI
57	I/O	P71/FTI1	I/O	P71/FTI1	I/O	P71/FTI1	I/O	P71/FTI1	I/O	P71/FTI1
58	I/O	P72/FTI2	I/O	P72/FTI2	I/O	P72/FTI2	I/O	P72/FTI2	I/O	P72/FTI2
59	I/O	P73/FTI3/TMRI	I/O	P73/FTI3/TMRI	I/O	P73/FTI3/TMRI	I/O	P73/FTI3/TMRI	I/O	P73/FTI3/TMRI
60	I/O	P74/FTOB1/FTCI1	I/O	P74/FTOB1/FTCI1	I/O	P74/FTOB1/FTCI1	I/O	P74/FTOB1/FTCI1	I/O	P74/FTOB1/FTCI1
61	I/O	P75/FTOB2/FTCI2	I/O	P75/FTOB2/FTCI2	I/O	P75/FTOB2/FTCI2	I/O	P75/FTOB2/FTCI2	I/O	P75/FTOB2/FTCI2
62	I/O	P76/FTOB3/FTCI3	I/O	P76/FTOB3/FTCI3	I/O	P76/FTOB3/FTCI3	I/O	P76/FTOB3/FTCI3	I/O	P76/FTOB3/FTCI3
63	I/O	P77/FTOA1	I/O	P77/FTOA1	I/O	P77/FTOA1	I/O	P77/FTOA1	I/O	P77/FTOA1
64	—	AGND	—	AGND	—	AGND	—	AGND	—	AGND
65	—	AGND	—	AGND	—	AGND	—	AGND	—	AGND
66	I	P80/AN0	I	P80/AN0	I	P80/AN0	I	P80/AN0	I	P80/AN0
67	I	P81/AN1	I	P81/AN1	I	P81/AN1	I	P81/AN1	I	P81/AN1
68	I	P82/AN2	I	P82/AN2	I	P82/AN2	I	P82/AN2	I	P82/AN2
69	I	P83/AN3	I	P83/AN3	I	P83/AN3	I	P83/AN3	I	P83/AN3
70	I	P84/AN4	I	P84/AN4	I	P84/AN4	I	P84/AN4	I	P84/AN4
71	I	P85/AN5	I	P85/AN5	I	P85/AN5	I	P85/AN5	I	P85/AN5
72	I	P86/AN6	I	P86/AN6	I	P86/AN6	I	P86/AN6	I	P86/AN6
73	I	P87/AN7	I	P87/AN7	I	P87/AN7	I	P87/AN7	I	P87/AN7
74	—	AVDD	—	AVDD	—	AVDD	—	AVDD	—	AVDD
75	I/O	P90/FTOA2	I/O	P90/FTOA2	I/O	P90/FTOA2	I/O	P90/FTOA2	I/O	P90/FTOA2
76	I/O	P91/FTOA3	I/O	P91/FTOA3	I/O	P91/FTOA3	I/O	P91/FTOA3	I/O	P91/FTOA3
77	I/O	P92/TXD2/ $\overline{\text{PW}}_1$	I/O	P92/TXD2/ $\overline{\text{PW}}_1$	I/O	P92/TXD2/ $\overline{\text{PW}}_1$	I/O	P92/TXD2/ $\overline{\text{PW}}_1$	I/O	P92/TXD2/ $\overline{\text{PW}}_1$
78	I/O	P93/RXD2/ $\overline{\text{PW}}_2$	I/O	P93/RXD2/ $\overline{\text{PW}}_2$	I/O	P93/RXD2/ $\overline{\text{PW}}_2$	I/O	P93/RXD2/ $\overline{\text{PW}}_2$	I/O	P93/RXD2/ $\overline{\text{PW}}_2$
79	I/O	P94/SCK2/ $\overline{\text{PW}}_3$	I/O	P94/SCK2/ $\overline{\text{PW}}_3$	I/O	P94/SCK2/ $\overline{\text{PW}}_3$	I/O	P94/SCK2/ $\overline{\text{PW}}_3$	I/O	P94/SCK2/ $\overline{\text{PW}}_3$
80	I/O	P95/TXD1	I/O	P95/TXD1	I/O	P95/TXD1	I/O	P95/TXD1	I/O	P95/TXD1
81	I/O	P96/RXD1	I/O	P96/RXD1	I/O	P96/RXD1	I/O	P96/RXD1	I/O	P96/RXD1
82	I/O	P97/SCK1	I/O	P97/SCK1	I/O	P97/SCK1	I/O	P97/SCK1	I/O	P97/SCK1
83	—	GND	—	GND	—	GND	—	GND	—	GND
84	I	EXTAL	I	EXTAL	I	EXTAL	I	EXTAL	I	EXTAL

MODE1			
3	P10/ $\emptyset$	D0	25
4	P11/E	D1	26
5	P12/ $\overline{\text{BACK}}$	D2	27
6	P13/ $\overline{\text{BREQ}}$	D3	28
7	P14/ $\overline{\text{WAIT}}$	D4	29
8	P15/ $\overline{\text{IRQ}}_0$	D5	30
9	P16/ $\overline{\text{IRQ}}_1/\overline{\text{ADTRG}}$	D6	31
10	P17/TMO	D7	32
51	P60/ $\overline{\text{IRQ}}_2$	A0	33
52	P61/ $\overline{\text{PW}}_1/\overline{\text{IRQ}}_3$	A1	34
53	P62/ $\overline{\text{PW}}_2/\overline{\text{IRQ}}_4$	A2	35
54	P63/ $\overline{\text{PW}}_3/\overline{\text{IRQ}}_5$	A3	36
		A4	37
56	P70/TMCI	A5	38
57	P71/FTI1	A6	39
58	P72/FTI2	A7	40
59	P73/FTI3/TMRI		
60	P74/FTOB1/FTCI1	A8	43
61	P75/FTOB2/FTCI2	A9	44
62	P76/FTOB3/FTCI3	A10	45
63	P77/FTOA1	A11	46
		A12	47
66	P80/AN0	A13	48
67	P81/AN1	A14	49
68	P82/AN2	A15	50
69	P83/AN3		
70	P84/AN4	P90/FTOA2	75
71	P85/AN5	P91/FTOA3	76
72	P86/AN6	P92/TXD2/PW1	77
73	P87/AN7	P93/RXD2/PW2	78
		P94/SCK2/PW3	79
17	MD0	P95/TXD1	80
18	MD1	P96/RXD1	81
19	MD2	P97/SCK1	82
20	STBY	R/W	12
21	RES	DS	13
22	NMI	RD	14
		WR	15
84	EXTAL	AS	11
1	XTAL		

MODE2			
3	P10/ $\emptyset$	D0	25
4	P11/E	D1	26
5	P12/ $\overline{\text{BACK}}$	D2	27
6	P13/ $\overline{\text{BREQ}}$	D3	28
7	P14/ $\overline{\text{WAIT}}$	D4	29
8	P15/ $\overline{\text{IRQ}}_0$	D5	30
9	P16/ $\overline{\text{IRQ}}_1/\overline{\text{ADTRG}}$	D6	31
10	P17/TMO	D7	32
51	P60/ $\overline{\text{IRQ}}_2$	A0	33
52	P61/ $\overline{\text{PW}}_1/\overline{\text{IRQ}}_3$	A1	34
53	P62/ $\overline{\text{PW}}_2/\overline{\text{IRQ}}_4$	A2	35
54	P63/ $\overline{\text{PW}}_3/\overline{\text{IRQ}}_5$	A3	36
		A4	37
56	P70/TMCI	A5	38
57	P71/FTI1	A6	39
58	P72/FTI2	A7	40
59	P73/FTI3/TMRI		
60	P74/FTOB1/FTCI1	P50/A8	43
61	P75/FTOB2/FTCI2	P51/A9	44
62	P76/FTOB3/FTCI3	P52/A10	45
63	P77/FTOA1	P53/A11	46
		P54/A12	47
66	P80/AN0	P55/A13	48
67	P81/AN1	P56/A14	49
68	P82/AN2	P57/A15	50
69	P83/AN3		
70	P84/AN4	P90/FTOA2	75
71	P85/AN5	P91/FTOA3	76
72	P86/AN6	P92/TXD2/PW1	77
73	P87/AN7	P93/RXD2/PW2	78
		P94/SCK2/PW3	79
17	MD0	P95/TXD1	80
18	MD1	P96/RXD1	81
19	MD2	P97/SCK1	82
20	STBY	R/W	12
21	RES	DS	13
22	NMI	RD	14
		WR	15
84	EXTAL	AS	11
1	XTAL		

MODE3

3	P10/ $\emptyset$	D0	25
4	P11/E	D1	26
5	P12/ $\overline{\text{BACK}}$	D2	27
6	P13/ $\overline{\text{BREQ}}$	D3	28
7	P14/ $\overline{\text{WAIT}}$	D4	29
8	P15/ $\overline{\text{IRQ}}_0$	D5	30
9	P16/ $\overline{\text{IRQ}}_1/\overline{\text{ADTRG}}$	D6	31
10	P17/TMO	D7	32
		A0	33
		A1	34
		A2	35
		A3	36
		A4	37
56	P70/TMCI	A5	38
57	P71/FTI1	A6	39
58	P72/FTI2	A7	40
59	P73/FTI3/TMRI		
60	P74/FTOB1/FTCI1	A8	43
61	P75/FTOB2/FTCI2	A9	44
62	P76/FTOB3/FTCI3	A10	45
63	P77/FTOA1	A11	46
		A12	47
66	P80/AN0	A13	48
67	P81/AN1	A14	49
68	P82/AN2	A15	50
69	P83/AN3	A16	51
70	P84/AN4	A17	52
71	P85/AN5	A18	53
72	P86/AN6	A19	54
73	P87/AN7		
		P90/FTOA2	75
17	MD0	P91/FTOA3	76
18	MD1	P92/TXD2/PW1	77
19	MD2	P93/RXD2/PW2	78
		P94/SCK2/PW3	79
20	STBY	P95/TXD1	80
21	RES	P96/RXD1	81
22	NMI	P97/SCK1	82
84	EXTAL	R/ $\overline{\text{W}}$	12
1	XTAL	DS	13
		RD	14
		WR	15
		AS	11

MODE4

3	P10/ $\emptyset$	D0	25
4	P11/E	D1	26
5	P12/ $\overline{\text{BACK}}$	D2	27
6	P13/ $\overline{\text{BREQ}}$	D3	28
7	P14/ $\overline{\text{WAIT}}$	D4	29
8	P15/ $\overline{\text{IRQ}}_0$	D5	30
9	P16/ $\overline{\text{IRQ}}_1/\overline{\text{ADTRG}}$	D6	31
10	P17/TMO	D7	32
51	P60/ $\overline{\text{IRQ}}_2/\text{A}_{16}$	A0	33
52	P61/ $\overline{\text{IRQ}}_3/\text{A}_{17}$	A1	34
53	P62/ $\overline{\text{IRQ}}_4/\text{A}_{18}$	A2	35
54	P63/ $\overline{\text{IRQ}}_5/\text{A}_{19}$	A3	36
		A4	37
56	P70/TMCI	A5	38
57	P71/FTI1	A6	39
58	P72/FTI2	A7	40
59	P73/FTI3/TMRI		
60	P74/FTOB1/FTCI1	P50/A8	43
61	P75/FTOB2/FTCI2	P51/A9	44
62	P76/FTOB3/FTCI3	P52/A10	45
63	P77/FTOA1	P53/A11	46
		P54/A12	47
66	P80/AN0	P55/A13	48
67	P81/AN1	P56/A14	49
68	P82/AN2	P57/A15	50
69	P83/AN3		
70	P84/AN4	P90/FTOA2	75
71	P85/AN5	P91/FTOA3	76
72	P86/AN6	P92/TXD2/PW1	77
73	P87/AN7	P93/RXD2/PW2	78
		P94/SCK2/PW3	79
17	MD0	P95/TXD1	80
18	MD1	P96/RXD1	81
19	MD2	P97/SCK1	82
20	STBY	R/ $\overline{\text{W}}$	12
21	RES	DS	13
22	NMI	RD	14
		WR	15
84	EXTAL	AS	11
1	XTAL		

MODE7		
3	P10/ $\overline{\text{O}}$	P30
4	P11/ $\overline{\text{E}}$	P31
5	P12	P32
6	P13	P33
7	P14	P34
8	P15/ $\overline{\text{IRQ}}_0$	P35
9	P16/ $\overline{\text{IRQ}}_1/\overline{\text{ADTRG}}$	P36
10	P17/TMO	P37
51	P60/ $\overline{\text{IRQ}}_2$	P40
52	P61/ $\overline{\text{PW}}_1/\overline{\text{IRQ}}_3$	P41
53	P62/ $\overline{\text{PW}}_2/\overline{\text{IRQ}}_4$	P42
54	P63/ $\overline{\text{PW}}_3/\overline{\text{IRQ}}_5$	P43
56	P70/TMCI	P44
57	P71/FTI ₁	P45
58	P72/FTI ₂	P46
59	P73/FTI ₃ /TMRI	P47
60	P74/FTOB ₁ /FTCI ₁	P50
61	P75/FTOB ₂ /FTCI ₂	P51
62	P76/FTOB ₃ /FTCI ₃	P52
63	P77/FTOA ₁	P53
66	P80/AN ₀	P54
67	P81/AN ₁	P55
68	P82/AN ₂	P56
69	P83/AN ₃	P57
70	P84/AN ₄	P90/FTOA ₂
71	P85/AN ₅	P91/FTOA ₃
72	P86/AN ₆	P92/TXD ₂ /PW ₁
73	P87/AN ₇	P93/RXD ₂ /PW ₂
17	MD ₀	P94/SCK ₂ /PW ₃
18	MD ₁	P95/TXD ₁
19	MD ₂	P96/RXD ₁
20	STBY	P97/SCK ₁
21	RES	P20
22	NMI	P21
84	EXTAL	P22
1	XTAL	P23
		P24

INPUT

$\overline{\text{ADTRG}}$	; EXTERNAL TRIGGER
AN0 - AN7	; ANALOG
$\overline{\text{BREQ}}$	; BUS RIGHT REQUEST
EXTAL	; CRYSTAL OSCILLATOR
FTI1 - FTI3	; FREE RUNNING TIMER INPUT
FTCI1 - FCTI3	; FREE RUNNING TIMER COUNTER
$\overline{\text{IRQ}}_0 - \overline{\text{IRQ}}_5$	; INTERRUPT REQUEST
MD0 - MD2	; MODE SET UP (*1)
NMI	; NON-MASKABLE INTERRUPT
P8 (0 - 7)	; PORT 8
RXD 1, RXD 2	; RECEIVE DATA (CH1, CH2)
STBY	; STANDBY
TMCI	; 8-BIT TIMER CLOCK
TMRI	; 8-BIT TIMER COUNTER RESET
$\overline{\text{WAIT}}$	; WAIT
XTAL	; CRYSTAL OSCILLATOR

OUTPUT

A0 - A19	; ADDRESS BUS
$\overline{\text{AS}}$	; ADDRESS STROBE
$\overline{\text{BACK}}$	; BUS RIGHT REQUEST
$\overline{\text{DS}}$	; DATA STROBE
E	; ENABLE CLOCK
FTOA1 - FTOA3	; FREE RUNNING TIMER OUTPUT
FTOB1 - FTOB3	; FREE RUNNING TIMER OUTPUT
PW1 - PW3	; PWM TIMER (CH1 - CH3)
$\overline{\text{RD}}$	; READ
$\overline{\text{R/W}}$	; READ/WRITE
TMO	; 8-BIT TIMER
TXD1, TXD2	; TRANSMISSION DATA (CH1, CH2)
$\overline{\text{WR}}$	; WRITE
$\emptyset$	; SYSTEM CLOCK

INPUT/OUTPUT

D0 - D7	; DATA BUS
P1 (0 - 7)	; PORT 1
P2 (0 - 4)	; PORT 2
P3 (0 - 7)	; PORT 3
P4 (0 - 7)	; PORT 4
P5 (0 - 7)	; PORT 5
P6 (0 - 3)	; PORT 6
P7 (0 - 7)	; PORT 7
P9 (0 - 7)	; PORT 9
$\overline{\text{RES}}$	; RESET
SCK1, SCK2	; SERIAL CLOCK (CH1, CH2)

(*1)

INPUTS			OPERATION MODE	CONTENTS
MD2	MD1	MD0		
0	0	1	MODE 1	EXTENSION MINIMUM (ROM DISABLE)
0	1	0	MODE 2	EXTENSION MINIMUM (ROM ENABLE)
0	1	1	MODE 3	EXTENSION MAXIMUM (ROM DISABLE)
1	0	0	MODE 4	EXTENSION MAXIMUM (ROM ENABLE)
1	1	1	MODE 7	SINGLE CHIP MODE

