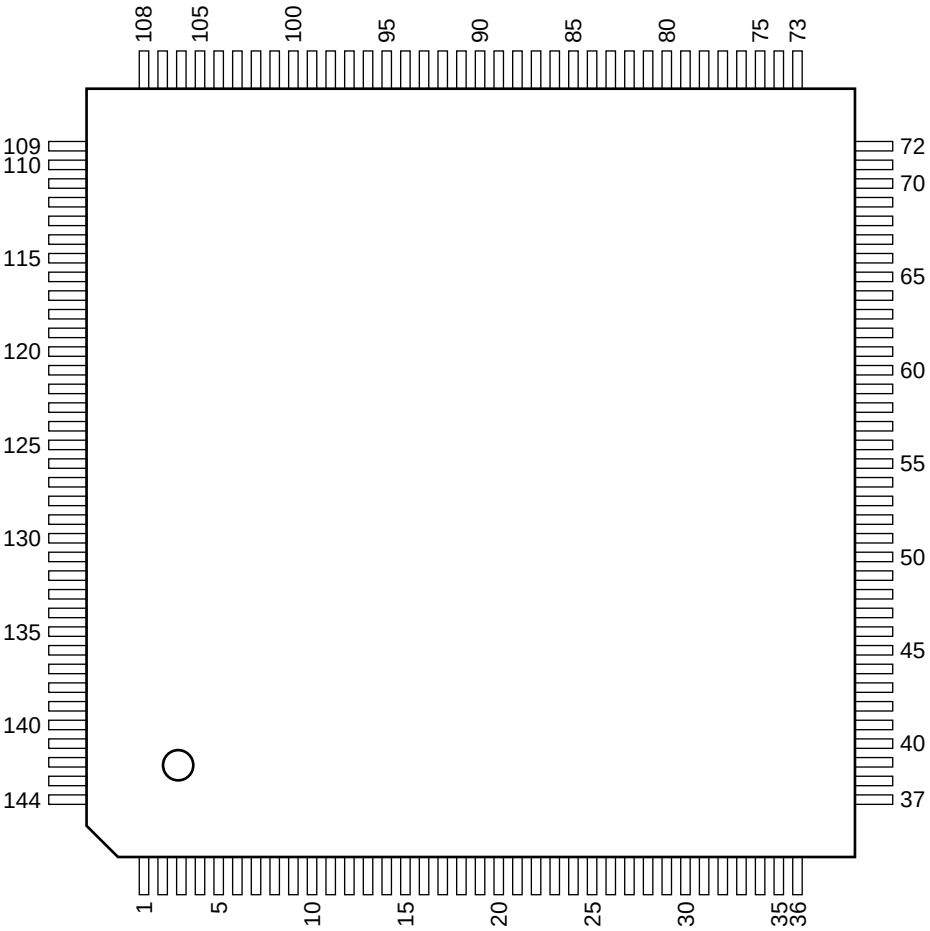
32-BIT MICROCOMPUTER

—TOP VIEW—



PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL
1	I/O	PA23/$\overline{\text{WRHH}}$	49	I/O	PA11/$\overline{\text{CS1}}$	97	I	MD2
2	I/O	PE14/TIOC4C/DACK0/$\overline{\text{AH}}$	50	I/O	PA10/$\overline{\text{CS0}}$	98	I	NMI
3	I/O	PA22/$\overline{\text{WRHL}}$	51	I/O	PA9/TCLKD/$\overline{\text{IRQ3}}$	99	—	V_{CC}
4	I/O	PA21/$\overline{\text{CASHH}}$	52	I/O	PA8/TCLKC/$\overline{\text{IRQ2}}$	100	I/O	PA16/$\overline{\text{AH}}$
5	I/O	PE15/TIOC4D/DACK1/$\overline{\text{IRQOUT}}$	53	I/O	PA7/TCLKB/$\overline{\text{CS3}}$	101	I/O	PA17/$\overline{\text{WAIT}}$
6	—	GND	54	I/O	PA6/TCLKA/$\overline{\text{CS2}}$	102	I	MD1
7	I/O	PC0/A0	55	—	GND	103	I	MD0
8	I/O	PC1/A1	56	I/O	PD29/D29/$\overline{\text{CS3}}$	104	—	$PLLV_{CC}$
9	I/O	PC2/A2	57	I/O	PD28/D28/$\overline{\text{CS2}}$	105	—	PLLCAP
10	I/O	PC3/A3	58	I/O	PD27/D27/DACK1	106	—	PLLGND
11	I/O	PC4/A4	59	I/O	PD26/D26/DACK0	107	I/O	PA15/CK
12	—	V_{CC}	60	I/O	PD25/D25/$\overline{\text{DREQ1}}$	108	I	$\overline{\text{RES}}$
13	I/O	PC5/A5	61	—	GND	109	I/O	PE0/TIOC0A/$\overline{\text{DREQ0}}$
14	—	GND	62	I/O	PD24/D24/$\overline{\text{DREQ0}}$	110	I/O	PE1/TIOC0B/DRAK0
15	I/O	PC6/A6	63	—	V_{CC}	111	I/O	PE2/TIOC0C/$\overline{\text{DREQ1}}$
16	I/O	PC7/A7	64	I/O	PD23/D23/$\overline{\text{IRQ7}}$	112	—	V_{CC}
17	I/O	PC8/A8	65	I/O	PD22/D22/$\overline{\text{IRQ6}}$	113	I/O	PE3/TIOC0D/DRAK1
18	I/O	PC9/A9	66	I/O	PD21/D21/$\overline{\text{IRQ5}}$	114	I/O	PE4/TIOC1A
19	I/O	PC10/A10	67	I/O	PD20/D20/$\overline{\text{IRQ4}}$	115	I/O	PE5/TIOC1B
20	I/O	PC11/A11	68	I/O	PD19/D19/$\overline{\text{IRQ3}}$	116	I/O	PE6/TIOC2A
21	I/O	PC12/A12	69	I/O	PD18/D18/$\overline{\text{IRQ2}}$	117	—	GND
22	I/O	PC13/A13	70	I/O	PD17/D17/$\overline{\text{IRQ1}}$	118	I	PF0/AN0
23	I/O	PC14/A14	71	—	GND	119	I	PF1/AN1
24	I/O	PC15/A15	72	I/O	PD16/D16/$\overline{\text{IRQ0}}$	120	I	PF2/AN2
25	I/O	PB0/A16	73	I/O	PD15/D15	121	I	PF3/AN3
26	—	V_{CC}	74	I/O	PD14/D14	122	I	PF4/AN4
27	I/O	PB1/A17	75	I/O	PD13/D13	123	I	PF5/AN5
28	—	GND	76	I/O	PD12/D12	124	—	AGND
29	I/O	PA20/$\overline{\text{CASHL}}$	77	—	V_{CC}	125	I	PF6/AN6
30	I/O	PA19/$\overline{\text{BACK}}$/DRAK1	78	I/O	PD11/D11	126	I	PF7/AN7
31	I/O	PB2/$\overline{\text{IRQ0}}$/$\overline{\text{POE0}}$/$\overline{\text{RAS}}$	79	—	GND	127	—	AV_{REF}
32	I/O	PB3/$\overline{\text{IRQ1}}$/$\overline{\text{POE1}}$/$\overline{\text{CASL}}$	80	I/O	PD10/D10	128	—	AV_{CC}
33	I/O	PA18/$\overline{\text{BREQ}}$/DRAK0	81	I/O	PD9/D9	129	—	GND
34	I/O	PB4/$\overline{\text{IRQ2}}$/$\overline{\text{POE2}}$/$\overline{\text{CASH}}$	82	I/O	PD8/D8	130	I/O	PA0/RXD0
35	—	GND	83	I/O	PD7/D7	131	I/O	PA1/TXD0
36	I/O	PB5/$\overline{\text{IRQ3}}$/$\overline{\text{POE3}}$/RDWR	84	I/O	PD6/D6	132	I/O	PA2/SCK0/$\overline{\text{DREQ0}}$/$\overline{\text{IRQ0}}$
37	I/O	PB6/$\overline{\text{IRQ4}}$/A18/$\overline{\text{BACK}}$	85	—	V_{CC}	133	I/O	PA3/RXD1
38	I/O	PB7/$\overline{\text{IRQ5}}$/A19/$\overline{\text{BREQ}}$	86	I/O	PD5/D5	134	I/O	PA4/TXD1
39	I/O	PB8/$\overline{\text{IRQ6}}$/A20/$\overline{\text{WAIT}}$	87	—	GND	135	—	V_{CC}
40	—	V_{CC}	88	I/O	PD4/D4	136	I/O	PA5/SCK1/$\overline{\text{DREQ1}}$/$\overline{\text{IRQ1}}$
41	I/O	PB9/$\overline{\text{IRQ7}}$/A21/$\overline{\text{ADTRG}}$	89	I/O	PD3/D3	137	I/O	PE7/TIOC2B
42	—	GND	90	I/O	PD2/D2	138	I/O	PE8/TIOC3A
43	I/O	PA14/$\overline{\text{RD}}$	91	I/O	PD1/D1	139	I/O	PE9/TIOC3B
44	O	$\overline{\text{WDTOVF}}$	92	I/O	PD0/D0	140	I/O	PE10/TIOC3C
45	I/O	PD31/D31/$\overline{\text{ADTRG}}$	93	—	GND	141	—	GND
46	I/O	PD30/D30/$\overline{\text{IRQOUT}}$	94	I	XTAL	142	I/O	PE11/TIOC3D
47	I/O	PA13/$\overline{\text{WRH}}$	95	I	MD3	143	I/O	PE12/TIOC4A
48	I/O	PA12/$\overline{\text{WRL}}$	96	I	EXTAL	144	I/O	PE13/TIOC4B/$\overline{\text{MRES}}$

INPUTS

$\overline{\text{ADTRG}}$	:	A/D CONVERTER TRIGGER
AN0 - AN7	:	ANALOG
$\overline{\text{BREQ}}$	:	BUS REQUEST
$\overline{\text{DREQ0}}$, $\overline{\text{DREQ1}}$	:	DMA TRANSFER REQUEST
EXTAL	:	CRYSTAL OSCILLATOR AND EXTERNAL CLOCK
FWP	:	FLASH MEMORY WRITE DISABLE
$\overline{\text{IRQ0}}$ - $\overline{\text{IRQ7}}$	:	INTERRUPT REQUEST
MD0 - MD3	:	MODE SELECT
$\overline{\text{MRES}}$	:	MANUAL RESET
NMI	:	NON-MASKABLE INTERRUPT
PF0 - PF7	:	PORT F
$\overline{\text{POE0}}$ - $\overline{\text{POE3}}$	:	PORT OUTPUT ENABLE
$\overline{\text{RES}}$	:	POWER ON RESET
RXD0, RXD1	:	RECEIVE DATA
TCLKA - TCLKD	:	MTU TIMER CLOCK
$\overline{\text{WAIT}}$	:	WAIT
XTAL	:	EXTERNAL CRYSTAL OSCILLATOR

OUTPUTS

A0 - A21	:	ADDRESS BUS
$\overline{\text{AH}}$	:	ADDRESS HOLD
$\overline{\text{BACK}}$	:	BUS REQUEST ACKNOWLEDGE
$\overline{\text{CASH}}$	:	HIGH COLUMN ADDRESS STROBE
$\overline{\text{CASHH}}$	:	HH COLUMN ADDRESS STROBE
$\overline{\text{CASHL}}$	:	HL COLUMN ADDRESS STROBE
$\overline{\text{CASL}}$	:	LOW COLUMN ADDRESS STROBE
CK	:	SYSTEM CLOCK
$\overline{\text{CS0}}$ - $\overline{\text{CS3}}$	:	CHIP SELECT
DACK0, DACK1	:	DMA TRANSFER STROBE
DRAK0, DRAK1	:	DREQ ACKNOWLEDGE
$\overline{\text{IRQOUT}}$	:	INTERRUPT REQUEST
$\overline{\text{RAS}}$	:	ROW ADDRESS STROBE
$\overline{\text{RD}}$	:	READ
RDWR	:	DRAM READ/WRITE
TXD0, TXD1	:	TRANSMIT DATA
$\overline{\text{WDTOVF}}$	:	WATCH-DOG TIMER OVERFLOW
$\overline{\text{WRH}}$	:	HIGH WRITE
$\overline{\text{WRHH}}$	:	HH WRITE
$\overline{\text{WRHL}}$	:	HL WRITE
$\overline{\text{WRL}}$	:	LOW WRITE

INPUTS/OUTPUTS

D0 - D31	:	DATA BUS
PA0 - PA23	:	PORT A
PB0 - PB9	:	PORT B
PC0 - PC15	:	PORT C
PD0 - PD31	:	PORT D
PE0 - PE15	:	PORT E
SCK0, SCK1	:	SERIAL CLOCK
TIOC0A - TIOC0D	:	MTU INPUT CAPTURE/OUTPUT COMPARE
TIOC1A, TIOC1B	:	MTU INPUT CAPTURE/OUTPUT COMPARE
TIOC2A, TIOC2B	:	MTU INPUT CAPTURE/OUTPUT COMPARE
TIOC3A - TIOC3D	:	MTU INPUT CAPTURE/OUTPUT COMPARE
TIOC4A - TIOC4D	:	MTU INPUT CAPTURE/OUTPUT COMPARE