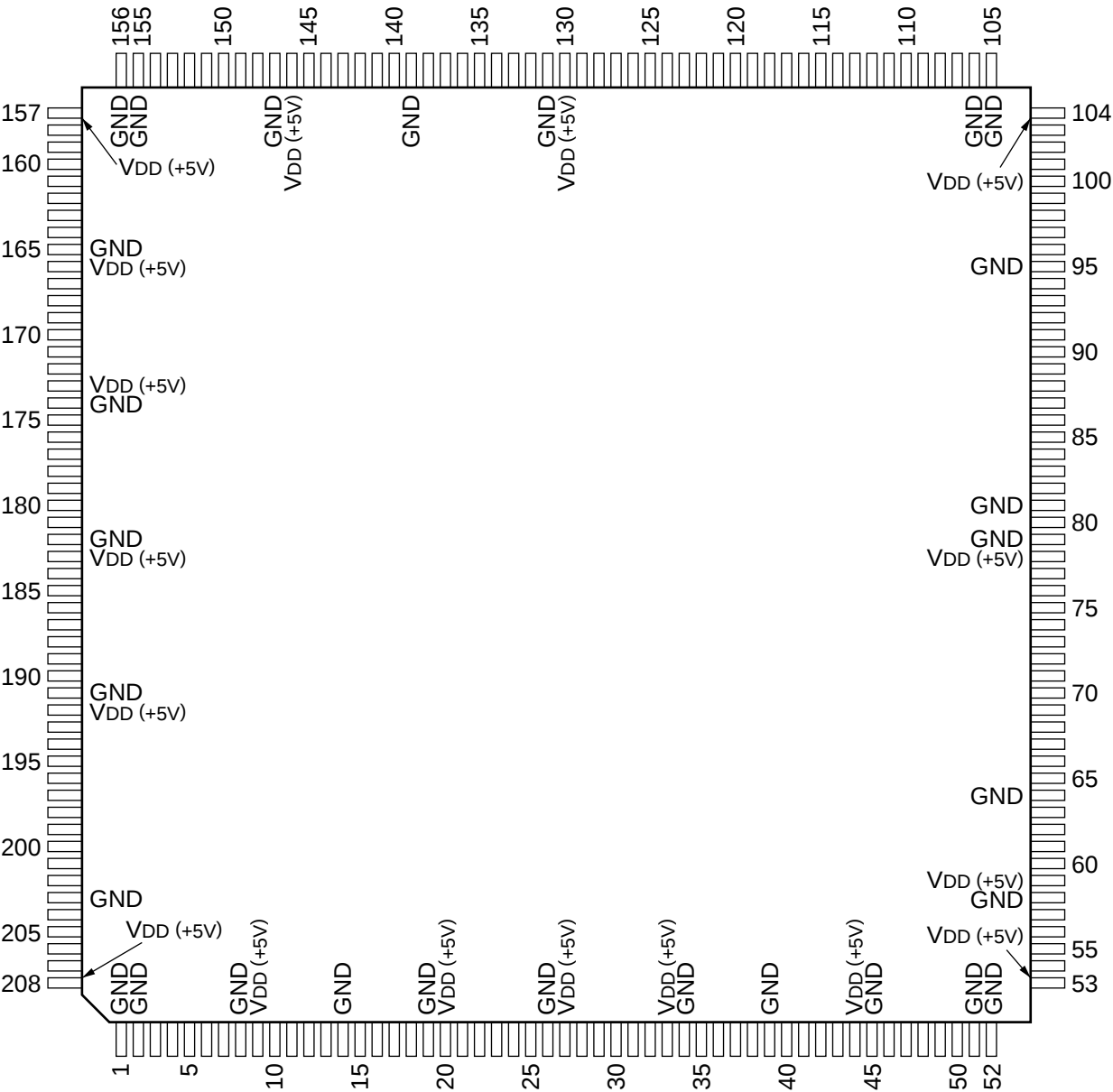

V-RAM CONTROLLER (PCI)
-TOP VIEW-



(V_{DD} = +5V)

PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL	PIN NO.	I/O	SIGNAL
1	—	GND	43	I/O	AD12	85	O	GENIO0/T0	127	O	$\overline{\text{SE0}}$	169	I/O	VD24
2	—	GND	44	—	V _{DD}	86	O	IOLDA	128	O	$\overline{\text{OE1}}$	170	I/O	VD23
3	I/O	AD29	45	—	GND	87	I/O	IO15	129	O	$\overline{\text{OE0}}$	171	I/O	VD22
4	I/O	AD28	46	I/O	AD11	88	I/O	IO14	130	—	V _{DD}	172	I/O	VD21
5	I/O	AD27	47	I/O	AD10	89	I/O	IO13	131	—	GND	173	—	V _{DD}
6	I/O	AD26	48	I/O	AD9	90	I/O	IO12	132	O	$\overline{\text{WE3}}$	174	—	GND
7	I/O	AD25	49	I/O	AD8	91	I/O	IO11	133	O	$\overline{\text{WE2}}$	175	I/O	VD20
8	—	GND	50	I	$\overline{\text{CBE0}}$	92	I/O	IO10	134	O	$\overline{\text{WE1}}$	176	I/O	VD19
9	—	V _{DD}	51	—	GND	93	I/O	IO9	135	O	$\overline{\text{WE0}}$	177	I/O	VD18
10	I/O	AD24	52	—	GND	94	I/O	IO8	136	O	CAS5	178	I/O	VD17
11	I	$\overline{\text{CBE3}}$	53	—	V _{DD}	95	—	GND	137	O	CAS4	179	I/O	VD16
12	I	IDSEL	54	I/O	AD7	96	I/O	IO7	138	O	$\overline{\text{CAS3}}$	180	I/O	VD15
13	I/O	AD23	55	I/O	AD6	97	I/O	IO6	139	—	GND	181	I/O	VD14
14	—	GND	56	I/O	AD5	98	I/O	IO5	140	O	CAS2	182	—	GND
15	I/O	AD22	57	I/O	AD4	99	I/O	IO4	141	O	CAS1	183	—	V _{DD}
16	I/O	AD21	58	—	GND	100	I/O	IO3	142	O	$\overline{\text{CAS0}}$	184	I/O	VD13
17	I/O	AD20	59	—	V _{DD}	101	I/O	IO2	143	O	RAS2	185	I/O	VD12
18	I/O	AD19	60	I/O	AD3	102	I/O	IO1	144	O	RAS1	186	I/O	VD11
19	—	GND	61	I/O	AD2	103	I/O	IO0	145	O	RAS0	187	I/O	VD10
20	—	V _{DD}	62	I/O	AD1	104	—	V _{DD}	146	—	V _{DD}	188	I/O	VD9
21	I/O	AD18	63	I/O	AD0	105	—	GND	147	—	GND	189	I/O	VD8
22	I/O	AD17	64	—	GND	106	—	GND	148	O	VA8	190	I/O	VD7
23	I/O	AD16	65	I	INTCAP	107	I	PXLCLK	149	O	VA7	191	—	GND
24	I	$\overline{\text{CBE2}}$	66	I	INTEN	108	I	CIN7	150	O	VA6	192	—	V _{DD}
25	I	$\overline{\text{FRAME}}$	67	I	TEST1	109	I	CIN6	151	O	VA5	193	I/O	VD6
26	—	GND	68	I	TEST0	110	I	CIN5	152	O	VA4	194	I/O	VD5
27	—	V _{DD}	69	O	HPOS0	111	I	CIN4	153	O	VA3	195	I/O	VD4
28	I	$\overline{\text{IRDY}}$	70	I/O	VACT/T3	112	I	CIN3	154	O	VA2	196	I/O	VD3
29	I/O	$\overline{\text{TRDY}}$	71	I/O	HACT/T2	113	I	CIN2	155	—	GND	197	I/O	VD2
30	I/O	DEVSEL	72	I	VBLK	114	I	CIN1	156	—	GND	198	I/O	VD1
31	I/O	$\overline{\text{STOP}}$	73	I	HBLK	115	I	CIN0	157	—	V _{DD}	199	I/O	VD0
32	I	$\overline{\text{LOCK}}$	74	I	COUNT UP	116	I	YIN7	158	O	VA1	200	O	$\overline{\text{INT}}$
33	—	V _{DD}	75	I	COUNT LD	117	I	YIN6	159	O	VA0	201	I	RST
34	—	GND	76	O	CS1	118	I	YIN5	160	I/O	VD31	202	I	CLK
35	I/O	$\overline{\text{PERR}}$	77	O	CS0	119	I	YIN4	161	I/O	VD30	203	—	GND
36	O	$\overline{\text{SERR}}$	78	—	V _{DD}	120	I	YIN3	162	I/O	VD29	204	I	$\overline{\text{GNT}}$
37	I/O	PAR	79	—	GND	121	I	YIN2	163	I/O	VD28	205	I	$\overline{\text{REQ}}$
38	I	$\overline{\text{CBE1}}$	80	O	IOCLK	122	I	YIN1	164	I/O	VD27	206	I/O	AD31
39	—	GND	81	—	GND	123	I	YIN0	165	—	GND	207	I/O	AD30
40	I/O	AD15	82	O	IORST	124	O	GENIO1/T1	166	—	V _{DD}	208	—	V _{DD}
41	I/O	AD14	83	O	IORD	125	O	$\overline{\text{SE2}}$	167	I/O	VD26			
42	I/O	AD13	84	O	IOWR	126	O	$\overline{\text{SE1}}$	168	I/O	VD25			

INPUT

$\overline{\text{CBE0}} - \overline{\text{CBE3}}$	; PCI BUS SIGNAL, C/BE 0-3
$\text{CIN0} - \text{CIN7}$	; CAPTURE DATA (CHROMA) 0-7
CLK	; PCI BUS SIGNAL, CLK
COUNT LD	; DISPLAY ADDRESS COUNTER LOAD
COUNT UP	; DISPLAY ADDRESS COUNTER UP
$\overline{\text{FRAME}}$	; PCI BUS SIGNAL, FRAME
$\overline{\text{GNT}}$	; PCI BUS SIGNAL, GNT
HBLK	; H BLANKING
IDSEL	; PCI BUS SIGNAL, IDSEL
INTCAP	; INTERRUPT CAPABILITY
INTEN	; INTERRUPT ENABLE
$\overline{\text{IRDY}}$	; PCI BUS SIGNAL, IRDY
$\overline{\text{LOCK}}$	; PCI BUS SIGNAL, LOCK
PXLCLK	; PIXEL CLOCK
$\overline{\text{REQ}}$	; PCI BUS SIGNAL, REQ
$\overline{\text{RST}}$	; PCI BUS SIGNAL, RST
$\text{TEST0}, \text{TEST1}$	; TEST 0, 1
VBLK	; V BLANKING
$\text{YIN0} - \text{YIN7}$	; CAPTURE DATA (LUMINANCE) 0-7

OUTPUT

$\overline{\text{CAS0}} - \overline{\text{CAS5}}$	; VRAM CAS 0-5
$\text{CS0}, \text{CS1}$	; EXTERNAL I/O CS 0, 1
$\text{GENIO0}/\text{T0}$	; GENERAL I/O 0/EXT. I/O SEQ. STATE 0
$\text{GENIO1}/\text{T1}$	; GENERAL I/O 1/EXT. I/O SEQ. STATE 1
HPOS0	; H POSITION
$\overline{\text{INT}}$	; PCI BUS SIGNAL, INT A
IOCLK	; EXTERNAL I/O CLOCK
IOLDA	; EXTERNAL I/O ADDRESS LOAD
IORD	; EXTERNAL I/O READ
IORST	; EXTERNAL I/O RESET
IOWR	; EXTERNAL I/O WRITE
$\overline{\text{OE0}}, \overline{\text{OE1}}$	; VRAM DT/OE 0, 1
$\overline{\text{RAS0}} - \overline{\text{RAS2}}$	; VRAM RAS 0-2
$\overline{\text{SE0}} - \overline{\text{SE2}}$	; VRAM SE 0-2
$\overline{\text{SERR}}$	; PCI BUS SIGNAL, SERR
$\text{VA0} - \text{VA8}$	; VRAM ADDRESS 0-8
$\overline{\text{WE0}} - \overline{\text{WE3}}$	; VRAM WE 0-3

INPUT/OUTPUT

$\text{AD0} - \text{AD31}$	; PCI BUS SIGNAL, AD 0-31
$\overline{\text{DEVSEL}}$	; PCI BUS SIGNAL, DEVSEL
$\text{HACT}/\text{T2}$	; H ACTIVE AREA/EXT. I/O SEQ. STATE2
$\text{IO0} - \text{IO15}$	; EXTERNAL I/O ADDRESS/DATA 0-15
$\overline{\text{PAR}}$	; PCI BUS SIGNAL, PAR
$\overline{\text{PERR}}$	; PCI BUS SIGNAL, PERR
$\overline{\text{STOP}}$	; PCI BUS SIGNAL, STOP
$\overline{\text{TRDY}}$	; PCI BUS SIGNAL, TRDY
$\text{VACT}/\text{T3}$	; V ACTIVE AREA/EXT. I/O SEQ. STATE3
$\text{VD0} - \text{VD31}$	; VRAM DATA 0-31

