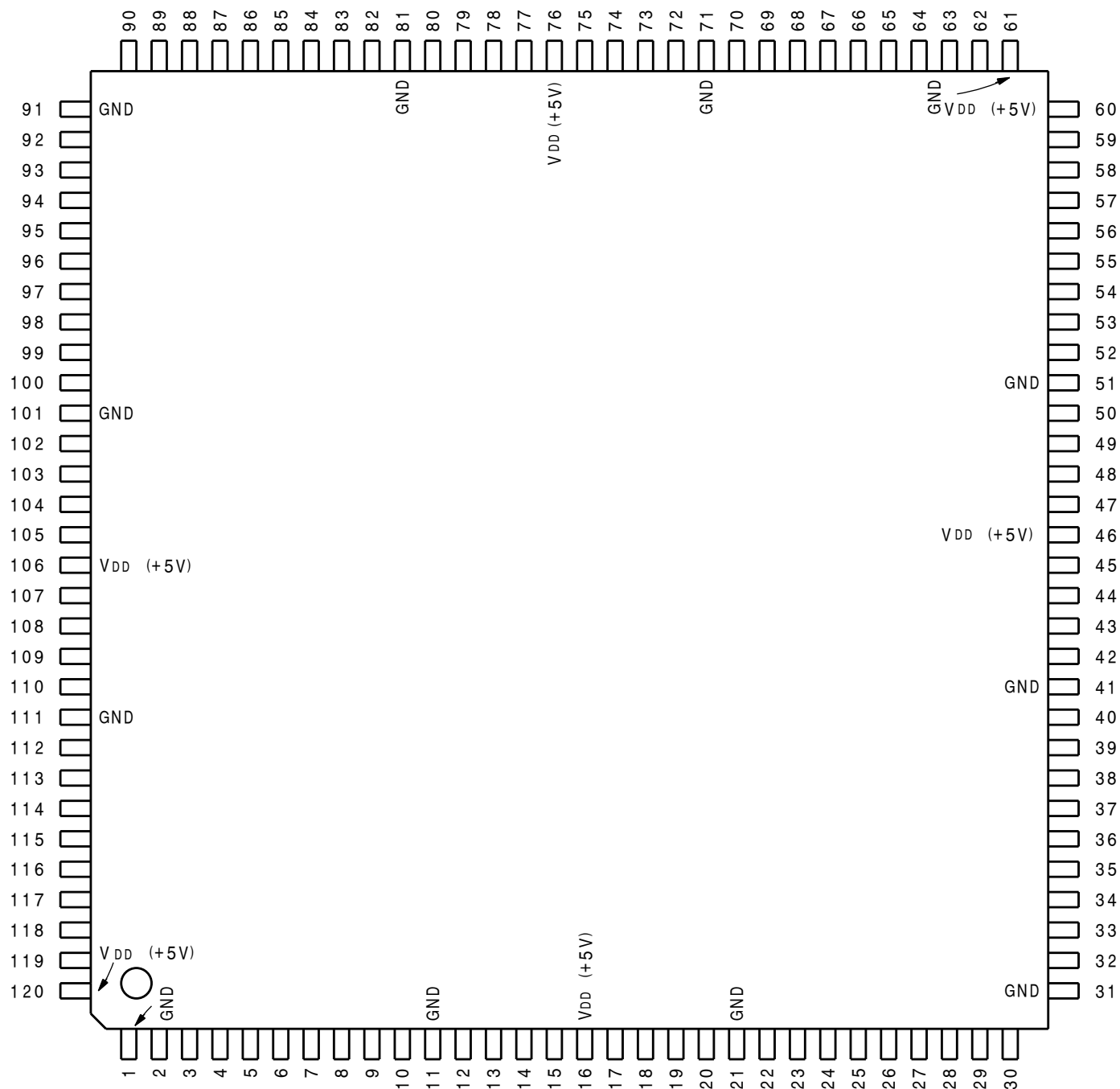

CXD8262Q(1/3)
IL08

C-MOS ADDRESS ARITHMETIC

-TOP VIEW-



(V_{DD} = +5V)

PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL
1	–	GND	31	–	GND	61	–	GND	91	–	GND
2	I	N4	32	I	T13	62	I	D11	92	O	R4
3	I	N5	33	I	T14	63	I	D12	93	O	R5
4	I	N6	34	I	T15	64	I	D13	94	O	R6
5	I	N7	35	I	ST	65	I	D14	95	O	R7
6	I	N8	36	I	MODE	66	I	D15	96	O	R8
7	I	N9	37	I	OVFL	67	O	Q0	97	O	R9
8	I	N10	38	I	TEST	68	O	Q1	98	O	R10
9	I	N11	39	I	CLR	69	O	Q2	99	O	R11
10	I	N12	40	I	WE	70	O	Q3	100	O	R12
11	–	GND	41	–	GND	71	–	GND	101	–	GND
12	I	N13	42	I	LDS	72	O	Q4	102	O	R13
13	I	N14	43	I	UDS	73	O	Q5	103	O	R14
14	I	N15	44	I	A1	74	O	Q6	104	O	R15
15	I	SN/N16	45	I	A2	75	O	Q7	105	O	ORR
16	–	V _{DD}	46	–	V _{DD}	76	–	V _{DD}	106	–	V _{DD}
17	I	T0	47	I	A3	77	O	Q8	107	I	IR0
18	I	T1	48	I	D0	78	O	Q9	108	I	IR1
19	I	T2	49	I	D1	79	O	Q10	109	I	S0
20	I	T3	50	I	D2	80	O	Q11	110	I	S1
21	–	GND	51	–	GND	81	–	GND	111	–	GND
22	I	T4	52	I	D3	82	O	Q12	112	I	CK
23	I	T5	53	I	D4	83	O	Q13	113	I	S2
24	I	T6	54	I	D5	84	O	Q14	114	I	S3
25	I	T7	55	I	D6	85	O	Q15	115	I	SM
26	I	T8	56	I	D7	86	O	ORQ	116	I	N0
27	I	T9	57	I	D8	87	O	R0	117	I	N1
28	I	T10	58	I	D9	88	O	R1	118	I	N2
29	I	T11	59	I	D10	89	O	R2	119	I	N3
30	I	T12	60	–	V _{DD}	90	O	R3	120	–	V _{DD}

116	N0	Q0	67	INPUT
117	N1	Q1	68	A1-A3 ; INTERNAL REGISTER ADDRESS
118	N2	Q2	69	CK ; CLOCK
119	N3	Q3	70	CLR ; INTERNAL REGISTER CLEAR
2	N4	Q4	72	D0-D15 ; INTERNAL REGISTER DATA
3	N5	Q5	73	IR0 ; ORQ ORR OUTPUT CONTROL AT PACE-PECTIVE MODE
4	N6	Q6	74	IR1 ; ORQ ORR OUTPUT CONTROL AT TURN OVER PAGE MODE
5	N7	Q7	75	LDS ; LOWER DATA STROBE
6	N8	Q8	77	MODE ; MODE SELECT
7	N9	Q9	78	(0:PACE-PECTIVE MODE, 1:TURN OVER PAGE MODE)
8	N10	Q10	79	N0-N15 ; N DATA PORT
9	N11	Q11	80	OVFL ; OVERFLOW
10	N12	Q12	82	S0-S3 ; SHIFT NUMERICAL PORT
12	N13	Q13	83	SM ; SHIFT MODE SELECT
13	N14	Q14	84	(0:RIGHT SHIFT MODE, 1:LEFT SHIFT MODE)
14	N15	Q15	85	SN/N16 ; PACE-PECTIVE MODE: N DATA CODE
17	T0	R0	87	TURN OVER PAGE MODE: N DATA (MSB)
18	T1	R1	88	ST ; PACE-PECTIVE MODE: T DATA CODE
19	T2	R2	89	TURN OVER PAGE MODE: DON'T CARE
20	T3	R3	90	T0-T15 ; T DATA PORT
22	T4	R4	92	TEST ; TEST TERMINAL
23	T5	R5	93	UDS ; UPPER DATA STROBE
24	T6	R6	94	WE ; WRITE ENABLE
25	T7	R7	95	OUTPUT
26	T8	R8	96	ORQ ; Q DATA CLIPPING SIGNAL
27	T9	R9	97	ORR ; R DATA CLIPPING SIGNAL
28	T10	R10	98	Q0-Q15 ; Q DATA PORT
29	T11	R11	99	R0-R15 ; R DATA PORT
30	T12	R12	100	
32	T13	R13	102	
33	T14	R14	103	
34	T15	R15	104	
48	D0	ORQ	86	
49	D1	ORR	105	
50	D2			
52	D3	WE	40	
53	D4	UDS	43	
54	D5	LDS	42	
55	D6			
56	D7	S0	109	
57	D8	S1	110	
58	D9	S2	113	
59	D10	S3	114	
62	D11	SM	115	
63	D12	SN/N16	15	
64	D13	ST	35	
65	D14	IR0	107	
66	D15	IR1	108	
44	A1	MODE	36	
45	A2	OVFL	37	
47	A3	TEST	38	
112		CLR	39	