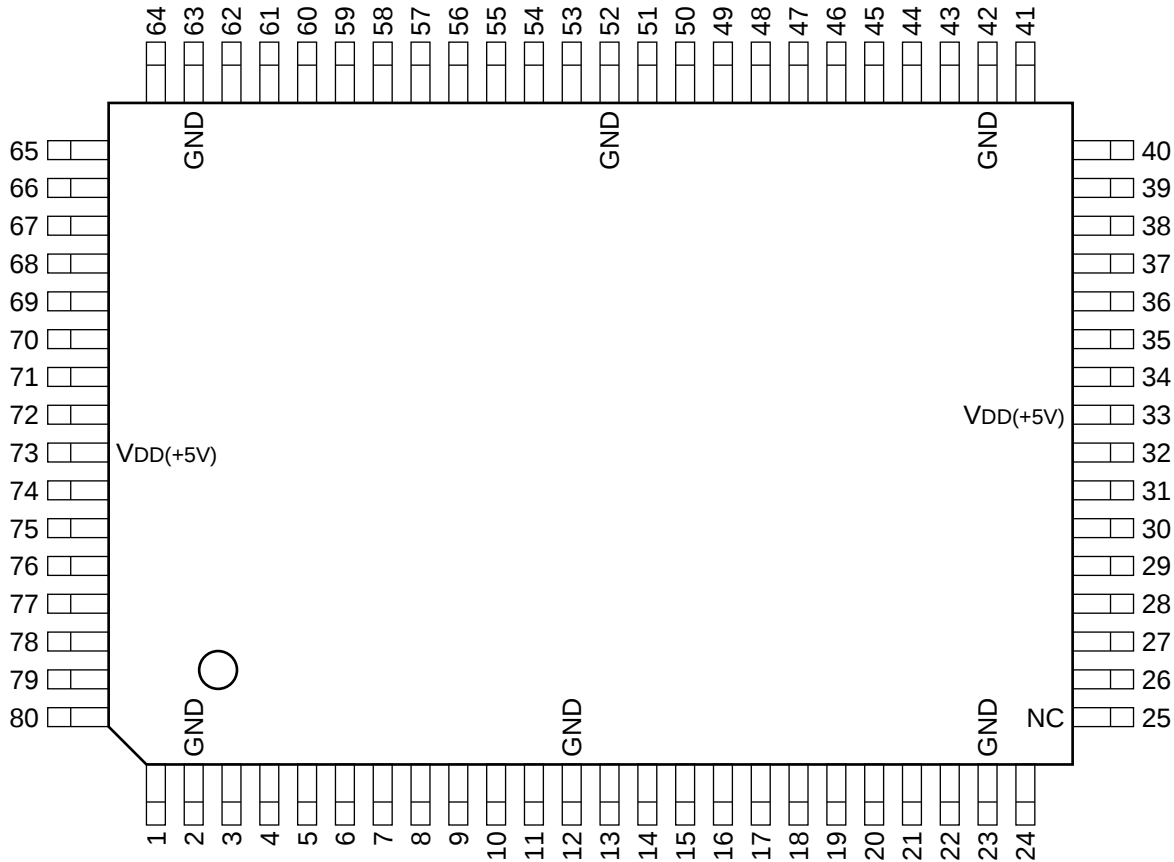

C-MOS GATE ARRAY

-TOP VIEW-



PIN NO.	I/O	SYMBOL	PIN NO.	I/O	SYMBOL	PIN NO.	I/O	SYMBOL	PIN NO.	I/O	SYMBOL
1	O	Q2	21	O	Q11	41	O	Q18	61	I	OE
2	—	GND	22	O	Q12	42	—	GND	62	I	CLK
3	O	Q3	23	—	GND	43	O	Q19	63	—	GND
4	O	Q4	24	I	CLR	44	O	Q20	64	O	E2
5	I	D4	25	—	NC	45	I	D20	65	O	E3
6	I	D5	26	O	Q13	46	I	D21	66	O	E4
7	I	D6	27	O	Q14	47	I	D22	67	I	C4
8	I	D7	28	O	Q15	48	I	D23	68	I	C5
9	O	Q5	29	I	D13	49	O	Q21	69	I	CE
10	O	Q6	30	I	D14	50	O	Q22	70	I	A0
11	O	Q7	31	I	D15	51	O	Q23	71	I	A1
12	—	GND	32	I	DS1	52	—	GND	72	I	WE
13	O	Q8	33	—	VDD(+5V)	53	I	MODE	73	—	VDD(+5V)
14	O	Q9	34	I	DS2	54	I	TEST	74	I	DS0
15	I	D8	35	I	D16	55	I	C0	75	I	D0
16	I	D9	36	I	D17	56	O	E0	76	I	D1
17	I	D10	37	I	D18	57	I	C1	77	I	D2
18	I	D11	38	I	D19	58	I	C2	78	I	D3
19	I	D12	39	O	Q16	59	O	E1	79	O	Q0
20	O	Q10	40	O	Q17	60	I	C3	80	O	Q1

70	A0	Q0	79
71	A1	Q1	80
		Q2	1
75	D0	Q3	3
76	D1	Q4	4
77	D2	Q5	9
78	D3	Q6	10
5	D4	Q7	11
6	D5	Q8	13
7	D6	Q9	14
8	D7	Q10	20
15	D8	Q11	21
16	D9	Q12	22
17	D10	Q13	26
18	D11	Q14	27
19	D12	Q15	28
29	D13	Q16	39
30	D14	Q17	40
31	D15	Q18	41
35	D16	Q19	43
36	D17	Q20	44
37	D18	Q21	49
38	D19	Q22	50
45	D20	Q23	51
46	D21		
47	D22	E0	56
48	D23	E1	59
		E2	64
74	DS0	E3	65
32	DS1	E4	66
34	DS2		
55	C0		
57	C1		
58	C2		
60	C3		
67	C4		
68	C5		
69	CE		
62	CLK		
24	CLR		
53	MODE		
61	OE		
54	TEST		
72	WE		

A0, 1	; ADDRESS
C0 - C5	; COMMAND
CE	; COMMAND ENABLE
CLK	; CLOCK
CLR	; CLEAR
D0 - D23	; DATA INPUT
DS0 - DS2	; DATA STROBE
E0 - E4	; EXPONENT OUTPUT
MODE	; OUTPUT MODE
OE	; OUTPUT ENABLE
Q0 - Q23	; DATA OUTPUT
TEST	; TEST PIN
WE	; WRITE ENABLE