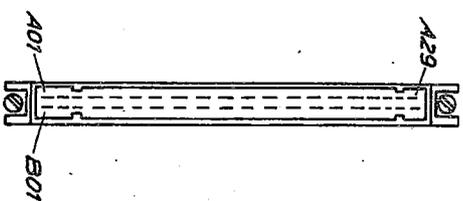
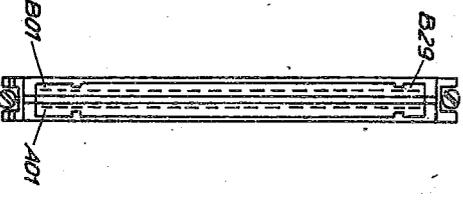
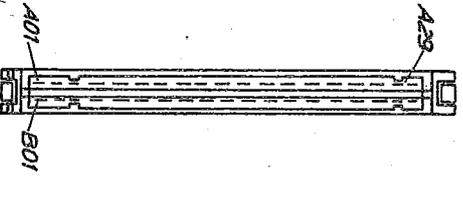
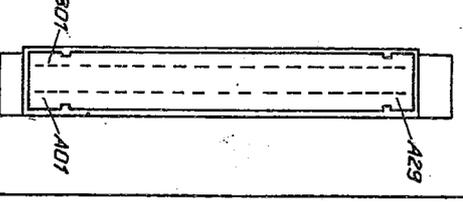
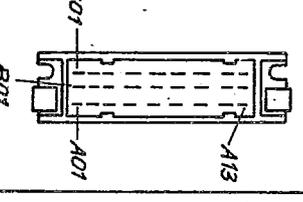
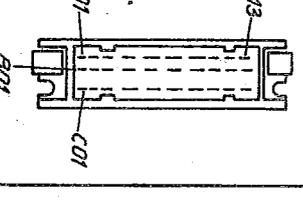
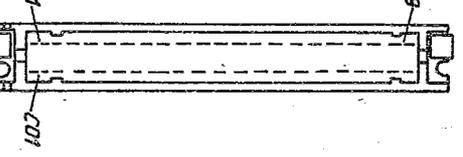
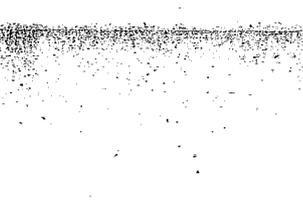


<p>BUL 5406 - 121 (03) TGL 37203</p> <p>VON SEK - X1 ON PEL - X6</p>	<p>BUL 5406 - 121 (02) TGL 37203</p> <p>VON SEK - X2 ON PEL - X7</p>	<p>BUL 5406 - 121 (05) TGL 37203</p> <p>VON ATS - X32 ON ASF - X2</p>
<p>BUL 5403 - 111 TGL 37203</p> <p>VON LKL - X3 ON ASF - X1</p>	<p>BUL 5303 - 101 TGL 37203</p> <p>Akku-Anschluss</p>	<p>BUL 5103 - 101 TGL 37203</p> <p>VON Akku-Anschluss ON SIM - X6</p>
<p>BUL 5102 - 101 TGL 37203</p> <p>VON SIM - X5 ON IFLS</p>		

Abb. 1.5.1.1/2

<p>51L 112 - 26 TGL 37912</p> <p>PEL - X2, X3</p>	<p>BUL 272 - 26 TGL 37912</p> <p>LKL - X1 MLE - X1 ATS - X3</p>	<p>VL 372 - 26 TGL 37912</p> <p>LKL - X1 MLE - X1 ATS - X3</p>
<p>BUL 204 - 6 TGL 29331/12</p> <p>STM-X2, X3, X4</p>	<p>BUL 203 - 25 EBS-GO 4006/01</p> <p>STM - X2</p>	<p>51L 328 - 3 TGL 29331/07</p> <p>UNT - X1</p>
<p>BUL 428 - 3 TGL 29331/07</p> <p>KDN - X1</p>		

Abb. 1.5.1.1/3

<p>SHL 512 - 58 TGL 29331/03</p> 	<p>BUL 232 - 58 TGL 29331/03</p> 	<p>BUL 202 - 58 TGL 29331/03</p> 
<p>SEL - X2 SHL 304 - 58 TGL 29331/03</p> 	<p>SEL - X1 SHL 302 - 39 TGL 29331/04</p> 	<p>SEL - X2 BUL 402 - 39 TGL 29331/04</p> 
<p>PIM - X1 BUL 404 - 58 TGL 29331/03</p> 	<p>PIM - X2 PIM - X2</p> 	<p>SIM - X1 SIM - X1</p> 

1.5.2. Steuer Elektronik

Die Steuer Elektronik SEL (35) des BDT K 8902 ist auf einer Leiterplatte mit den Abmessungen 230 mm x 245 mm angeordnet und als Mikrorechner auf der Basis Mikroprozessor UA 880 D realisiert. In Abbildung 1.5.2./1 sind das Blockschaltbild der Steuer Elektronik, die Verbindungen zu den übrigen Baugruppen des BDT und der mögliche Anschluß der Bedien- und Programmierereinheit BPE dargestellt. Alle in Klammern angegebenen Zahlen beziehen sich auf die Darstellungen in den Abbildungen 1.4.3./1 bis /18.

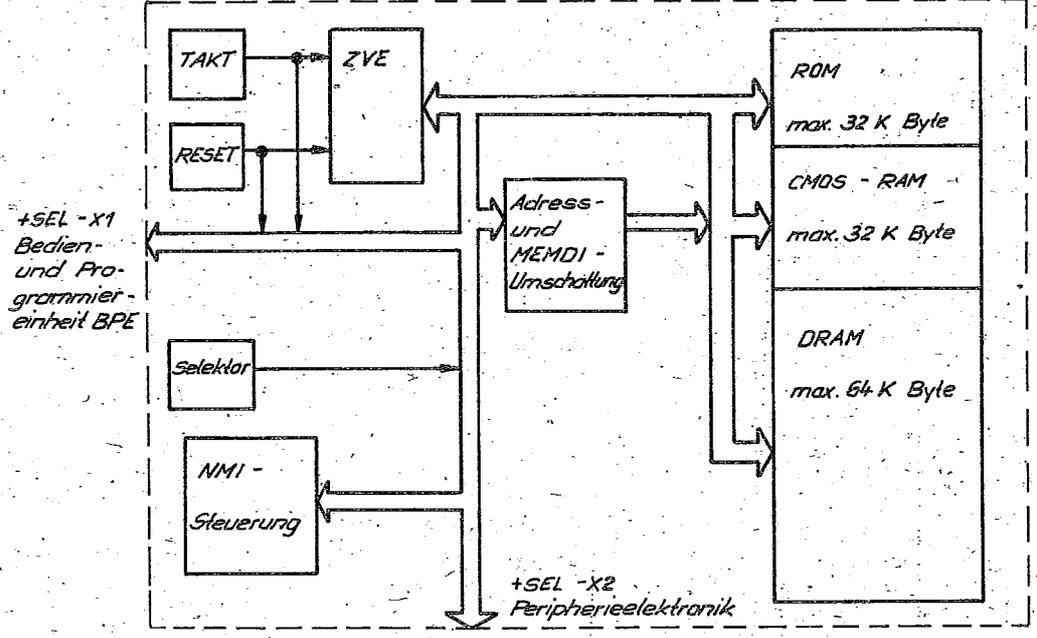


Abb. 1.5.2./1

In den folgenden Abschnitten werden einzelne Elemente der Steuerelektronik näher beschrieben.

1.5.2.1. Takt- und RESET-Erzeugung

Der für den Betrieb der ZVE benötigte Grundtakt mit der Frequenz von $f = 2,4576 \text{ MHz} \pm 0,1\%$ wird durch eine Schaltungsanordnung nach Abb. 1.5.2./2 erzeugt.

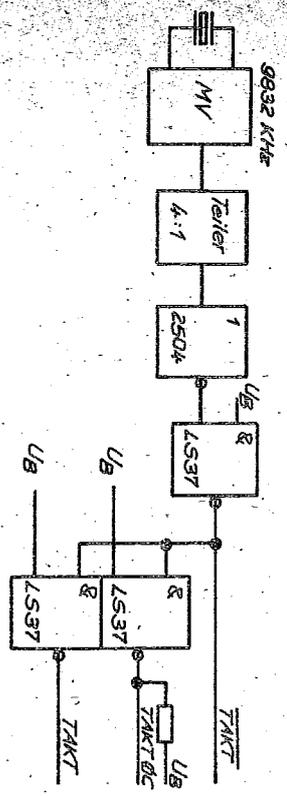


Abb. 1.5.2./2

Das Signal TACT/DC stellt den Takt für die ZVE mit dem notwendigen high-Pegel sicher und dient der Steuerung SEL-interner Zeitabläufe und wird der Peripherielektronik PEL (34) zur Verfügung gestellt. TACT dient als Synchronisationsignal bei der Arbeit mit der BPE. Das negierte Signal /TAKT wird für die Erzeugung des Taktes für die E/A-Schaltkreise der PEL zur Verfügung gestellt. Zum Start der ZVE und Rücksetzen der Peripherie wird beim Einschalten der 5 V-Spannung ein RESET-Signal gebildet. Dieses Signal wird ebenfalls durch das aktive Kontrollsignal /ÜBS = low der Stromversorgungseinheit STVG 3 bei Überschreiten der oberen Toleranzgrenze der 5 V-Spannung ausgelöst. Abb. 1.5.2./3 zeigt die Schaltung zur RESET-Erzeugung.

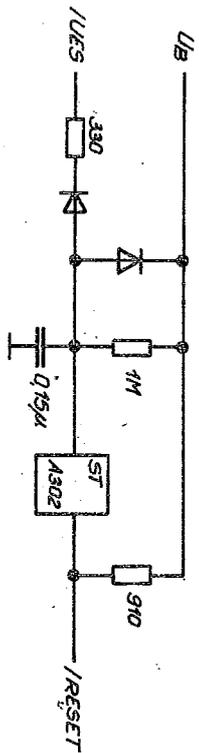


Abb. 1.5.2./3

1.5.2.2. Selektor

Über die E/A-Toradresse OECH kann die Bestückungsversion der Steuerlektronik eingelezen werden. Dabei ist die letzte Stelle der Gegenstandsnummer (vor der Prüfziffer) der SEL in den unteren vier Bit das über OECH eingelezenen Datenwortes binär verschlüsselt.

1.5.2.3. Speicheransteuerung

Auf der Steuerlektronik sind ein Festwertspeicherbereich und zwei Operativspeicherbereiche realisiert. Die Maximalvariante (SEL 2) realisiert eine Speicherkapazität von 128 K Byte. Der Festwertspeicherbereich besteht aus vier Steckplätzen, die entsprechend der Bestückung der Umrundungselektronik mit 4 K Byte EPROM-Schaltkreisen oder mit 8 K Byte EPROM-Schaltkreisen bestückt werden können. Der erste Operativspeicherbereich besteht aus maximal 32 K Byte CMOS-RAM (16 x U 6516), dessen Speicherinhalt bei Netzausfall mit Hilfe von Stützakkumulatoren mind. 300 h erhalten werden kann. Der zweite Operativspeicherbereich besteht aus 64 K Byte DRAM (8 x U 2164).

Entsprechend den Anwendungsfällen sind die verschiedenen Varianten der Steuerlektronik nur mit dem jeweils notwendigen Speicher ausgerüstet. Aus Abbildung 1.5.2./4 sind die Speicherkapazitäten der SEL-Varianten und deren Einsatz ersichtlich.

Variante	GNR	EPROM	CRAM	DRAM
SEL 1	1.45.518671.7	2 x 4 K Byte	32 K Byte	64 K Byte
SEL 2	1.45.518672.5	4 x 8 K Byte	32 K Byte	64 K Byte
SEL 3	1.45.518673.3	3 x 8 K Byte	16 K Byte	-
Einsatz				
SEL 1	BDS A 5320, Systeme mit Kopfstation			
SEL 2	DEM-Einsatz autonom (ohne Kopfstation)			
SEL 3	DIS A 6422, POK BDE, BDES 5222			

Abb. 1.5.2./4 SEL-Varianten

Der Speicher ist in zwei Seiten zu je 64 K Byte aufgeteilt. Die Auswahl der Seiten erfolgt mit den Signalen MEMDIO und MEMDII. MEMDIO und MEMDII sind antivalent und sperren im aktiven Zustand die Seiten 0 (MEMDIO=1) bzw. 1 (MEMDII=1). Jede Seite ist in vier Blöcke zu je 16 K Byte unterteilt. Abbildung 1.5.2./5 gibt eine Übersicht über die Speicheraufteilung.

Seite	Blockname	Adresse	Speichertyp
0	P1	0000-3FFF H	EPROM
0	P2	4000-7FFF H	EPROM
0	C1	8000-BFFF H	RAM (CMOS)
0	C2	C000-FFFF H	RAM (CMOS)
1	D1	0000-3FFF H	RAM (DRAM)
1	D2	4000-7FFF H	RAM (DRAM)
1	D3	8000-BFFF H	RAM (DRAM)
1	D4	C000-FFFF H	RAM (DRAM)

Abb. 1.5.2./5

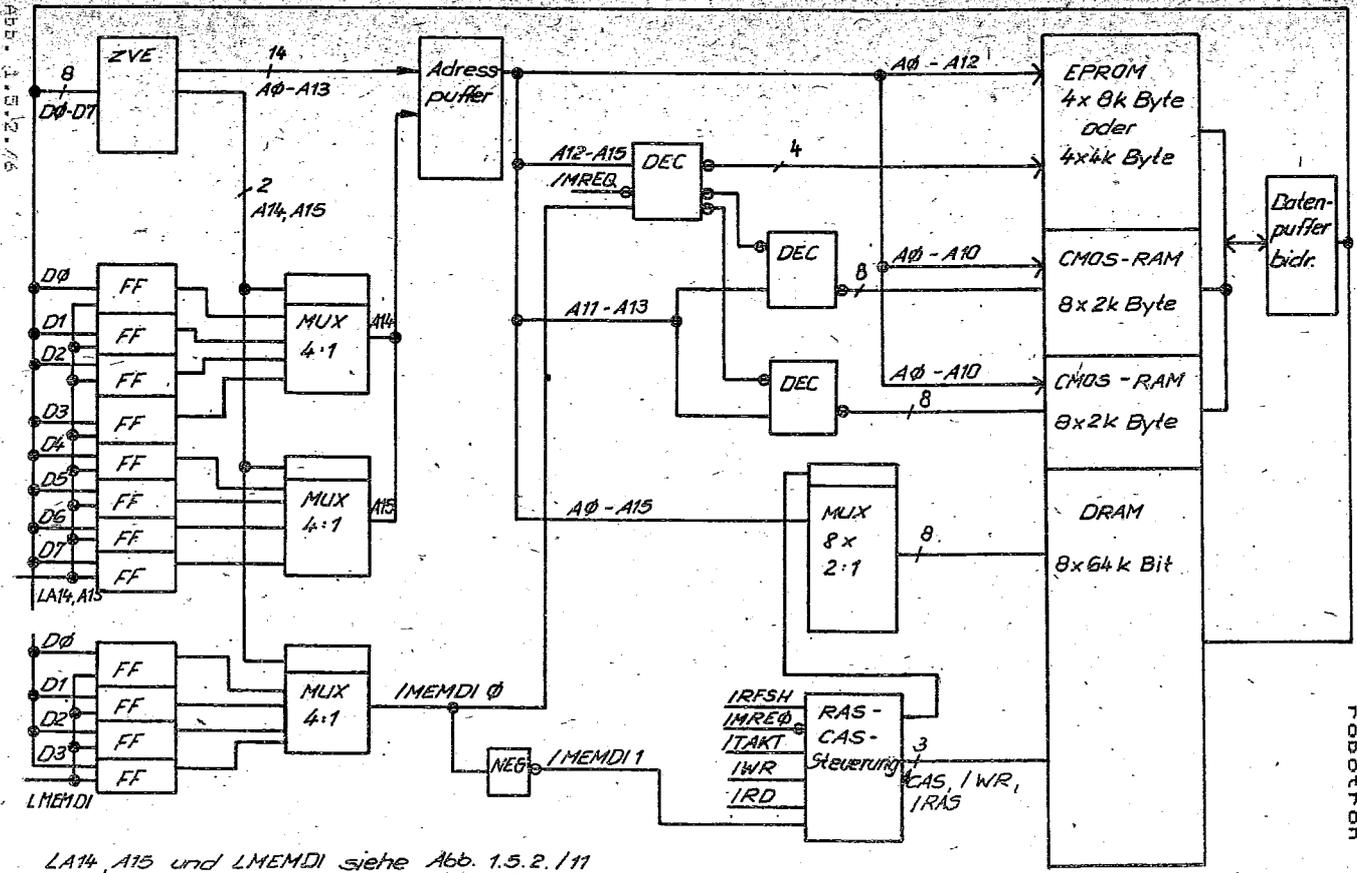
Nach dem Zuschalten der Betriebsspannung bzw. nach RESET ist durch die ZVE die Seite 0 mit den in Abb. 1.5.2./5 angegebenen Adressen erreichbar. Mit Hilfe der Adreß- und MEMDI-Umschaltung

kann der ZVE-Adreßbereich beliebig aus diesen Blöcken zusammen-
 gesetzt werden. Den prinzipiellen Aufbau dieser Umschaltung und
 die Ansteuerung der Speicher zeigt Abb. 1.5.2./6. Über die
 Toradresse 0F0H werden die acht Flip-Flop geladen, die entspre-
 chend den an der ZVE anliegenden Adressen A14 und A15, die für
 die Speicher gültigen Adressen A14 und A15 bestimmen. Dabei ist
 das über 0F0H auszugebende Datenwort folgendermaßen aufgebaut:

- Bit 0 (=) A14 (Speicherseite) im ZVE-Adr.-Bereich 0000-3FFF H
- Bit 1 (=) /A14 (Speicherseite) im ZVE-Adr.-Bereich 4000-7FFF H
- Bit 2 (=) A14 (Speicherseite) im ZVE-Adr.-Bereich 8000-BFFF H
- Bit 3 (=) /A14 (Speicherseite) im ZVE-Adr.-Bereich C000-FFFF H
- Bit 4 (=) A15 (Speicherseite) im ZVE-Adr.-Bereich 0000-3FFF H
- Bit 5 (=) /A15 (Speicherseite) im ZVE-Adr.-Bereich 4000-7FFF H
- Bit 6 (=) A15 (Speicherseite) im ZVE-Adr.-Bereich 8000-BFFF H
- Bit 7 (=) /A15 (Speicherseite) im ZVE-Adr.-Bereich C000-FFFF H

Die vier Flip-Flop zur Einstellung von /MEMDI0 und /MEMDI1 wer-
 den über die Toradresse FC H geladen. Dabei ist das auszugebende
 Datenwort folgendermaßen aufgebaut:

- Bit 0 (=) /MEMDI1 im ZVE-Adr.-Bereich 0000-3FFF H
- Bit 1 (=) /MEMDI1 im ZVE-Adr.-Bereich 4000-7FFF H
- Bit 2 (=) /MEMDI1 im ZVE-Adr.-Bereich 8000-BFFF H
- Bit 3 (=) /MEMDI1 im ZVE-Adr.-Bereich C000-FFFF H
- Bit 4 - 7 sind nicht belegt



LA14, A15 und LMEMDI siehe Abb. 1.5.2./11

robotron

Der aktuelle Zustand der Speichereinstellung kann über die Toradresse OECH eingelesen werden. Dabei haben die Bits des eingelesenen Datenwortes folgende Bedeutung:

- Bit 5 (\Rightarrow) /A14 (Speicherseite),
- Bit 6 (\Rightarrow) /A15 (Speicherseite)
- Bit 7 (\Rightarrow) /MEMDIO

Diese Information gilt für den ZVE-Adressbereich, der während des Input (/IORQ = low) durch A14 und A15 der ZVE bestimmt wird. Zum Einlesen der gesamten Speichereinstellung sind also genau vier Input-Befehle notwendig.

- Programmierung der 8 K Byte EPROM

Die 8 K Byte EPROM-Schaltkreise werden aus Gründen der Betriebssicherheit unter den klimatischen und mechanischen Einsatzverhältnissen der materiellen Produktion eingesetzt. Damit ergibt sich die Notwendigkeit, die eingetäteten Schaltkreise auch programmieren zu können. Abb. 1.5.2./7 zeigt die Anordnung zur EPROM-Ansteuerung. Alle für die Programmierung notwendigen Signale sind an X 1 (36) der SEL geführt. Die ENABLE-Auswahl erfolgt bei inaktiver ZVE über die Speicherkodierung. Die PGM-Eingänge der EPROM sind an X 1 geführt und über pull-up-Widerstände auf High-Potential gezogen. Die Programmierspannungseingänge sind über eine Diode mit der 5V-Versorgungsspannung verbunden, sodass die Programmierspannung nicht auf die 5V durchgreifen kann. Da die Bedien- und Programmierereinheit BPE K 8401 als Programmierspannung 24,5 V zur Verfügung stellt, wird diese Spannung über fünf Dioden auf etwa 21,5 V herabgesetzt.

ACHTUNG: Nur solche EPROM-Schaltkreise dürfen programmiert werden, deren Programmierspannung laut Datenblatt mit der der BPE übereinstimmt; andernfalls kommt es zur Zerstörung der EPROMs.

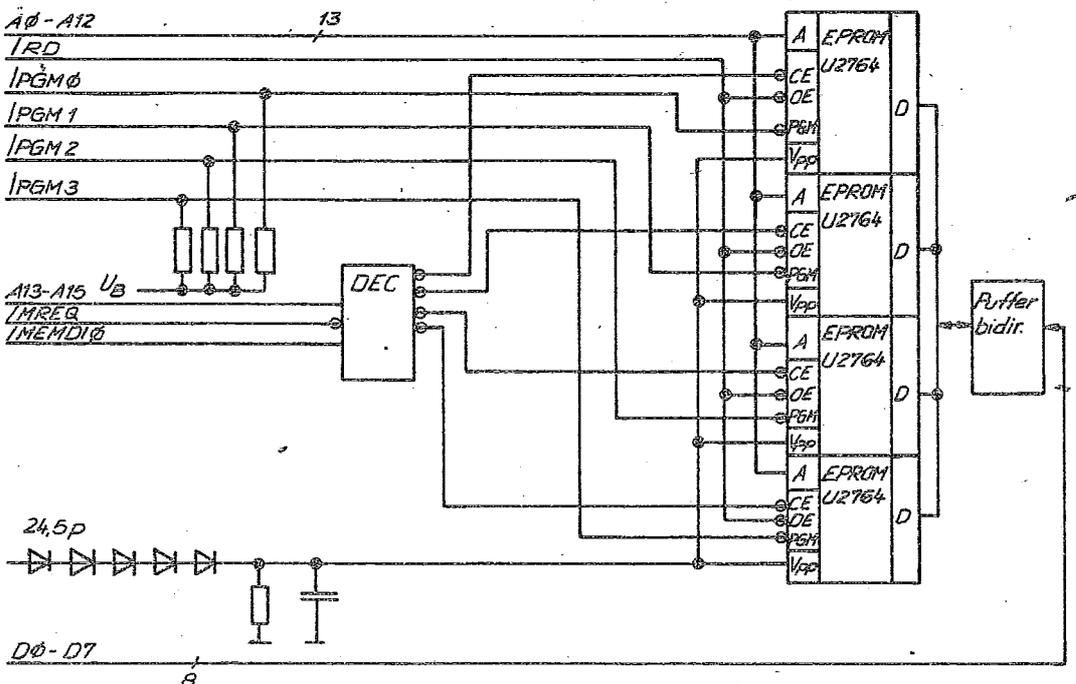


Abb. 1.5.2./7

In Abb. 1.5.2./8 sind die für den Betriebs- und Programmierfall notwendigen Ansteuermodi tabellarisch dargestellt. Die Ansteuerregime für die Programmierung der EPROM werden bei inaktiver SEL-ZVE durch die an X 1 anzuschließende Bedien- und Programmierereinheit BPE realisiert.

robotron

Der aktuelle Zustand der Speichereinstellung kann über die Toradresse OECH eingelesen werden. Dabei haben die Bits des eingelesenen Datenwortes folgende Bedeutung:

- Bit 5 (=) /A14 (Speicherseite)
- Bit 6 (=) /A15 (Speicherseite)
- Bit 7 (=) /MEMDIO

Diese Information gilt für den ZVE-Adressbereich, der während des Input (/IORQ = low) durch A14 und A15 der ZVE bestimmt wird. Zum Einlesen der gesamten Speichereinstellung sind also genau vier Input-Befehle notwendig.

- Programmierung der 8 K Byte EPROM

Die 8 K Byte EPROM-Schaltkreise werden aus Gründen der Betriebssicherheit unter den klimatischen und mechanischen Einsatzverhältnissen der materiellen Produktion eingelötet. Damit ergibt sich die Notwendigkeit, die eingelöteten Schaltkreise auch programmieren zu können. Abb. 1.5.2./7 zeigt die Anordnung zur EPROM-Ansteuerung. Alle für die Programmierung notwendigen Signale sind an X 1 (36) der SEL geführt. Die ENABLE-Auswahl erfolgt bei inaktiver ZVE über die Speicherdekodierung. Die PGM-Eingänge der EPROM sind an X 1 geführt und über pull-up-Widerstände auf High-Potential gezogen. Die Programmierspannungseingänge sind über eine Diode mit der 5V-Versorgungsspannung verbunden, so daß die Programmierspannung nicht auf die 5V durchgreifen kann. Da die Bedien- und Programmierereinheit BPE K 8401 als Programmierspannung 24,5 V zur Verfügung stellt, wird diese Spannung über fünf Dioden auf etwa 21,5 V herabgesetzt.

ACHTUNG: Nur solche EPROM-Schaltkreise dürfen programmiert werden, deren Programmierspannung laut Datenblatt mit der der BPE übereinstimmt; andernfalls kommt es zur Zerstörung der EPROMs.

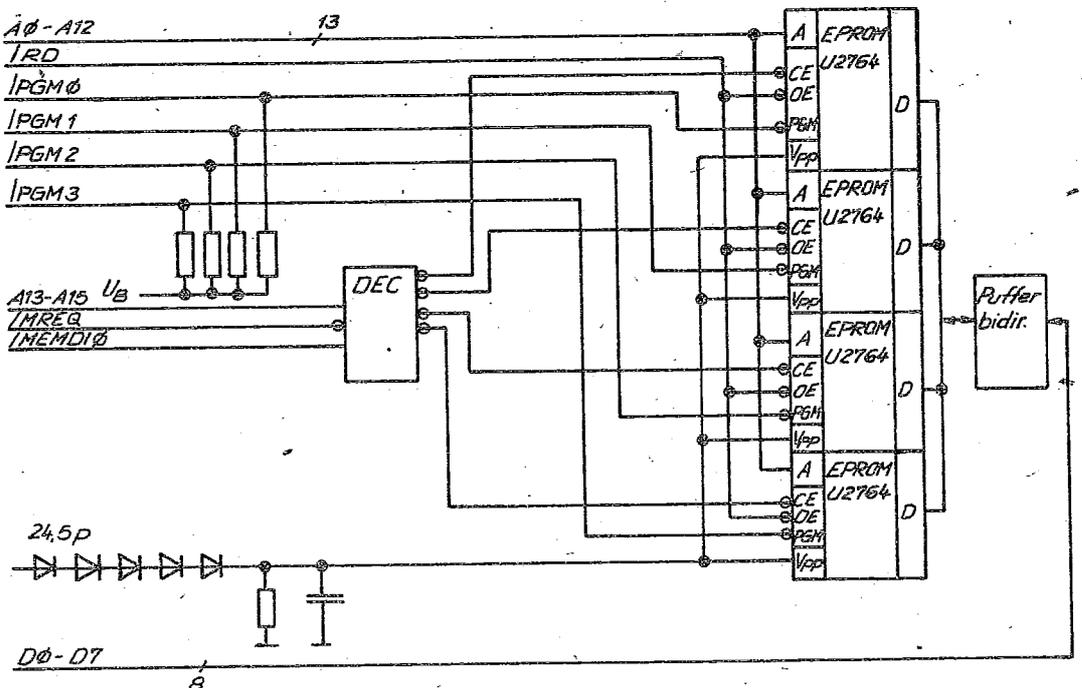


Abb. 1.5.2./7

In Abb. 1.5.2./8 sind die für den Betriebs- und Programmierfall notwendigen Ansteuermodi tabellarisch dargestellt. Die Ansteuerregime für die Programmierung der EPROM werden bei inaktiver SEL-ZVE durch die an X 1 anzuschließende Bedien- und Programmierereinheit BPE realisiert.

PIN	CE	OE	PGM	VPP	Daten
Modus	(20)	(22)	(27)	(01)	(9-11, 13-17)
Lesen	low	low	high	+ 5 V	D OUT
Inaktiv (Standby)	high	beliebig	beliebig	+ 5 V	hochohmig
Programmieren	low	beliebig	low	+ 21 V	D IN
Kontrolllesen	low	low	high	+ 21 V	D OUT
Inaktiv (Inhibit)	high	beliebig	beliebig	+ 21 V	hochohmig

Abb.1.5.2./8

- Programmierung der 4 K Byte EPROM

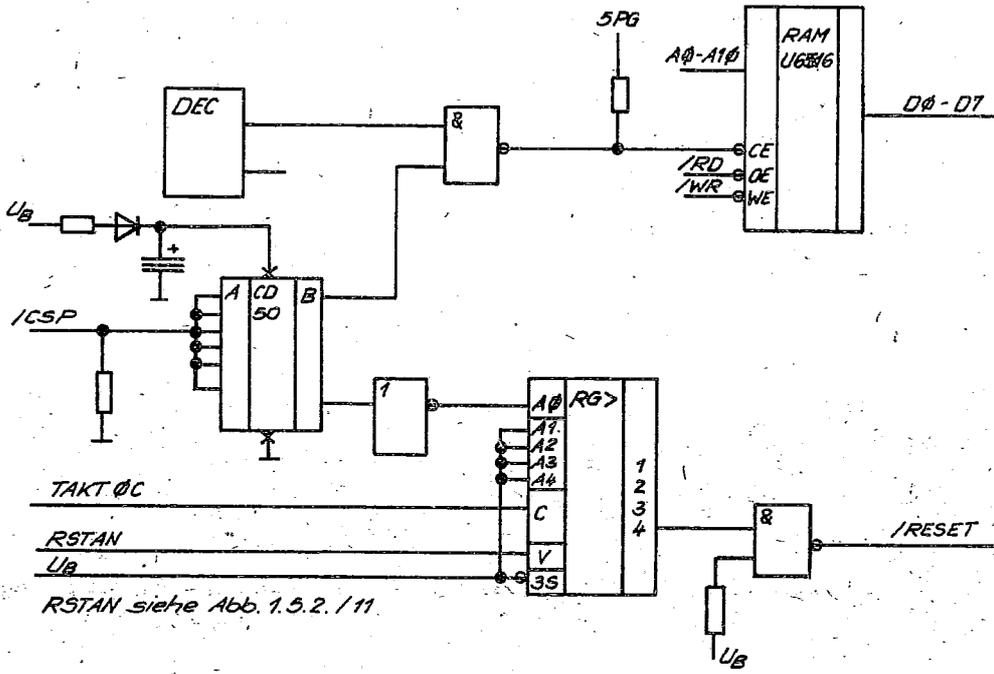
Die 4 K Byte EPROM sind auf IC-Fassungen gesteckt und werden mit handelsüblichen Programmiergeräten (z.B. BPE K 8401) programmiert

- Ansteuerung der CMOS-RAM

Abbildung 1.5.2./9 zeigt die Ansteuerung eines 2 K Byte CMOS-Bereiches. Um eine ungewollte Veränderung der in den RAM-Schaltkreisen eingespeicherten Informationen zu verhindern, wird die Betriebsspannung auf der PEL überwacht und bei Unterschreitung eines Grenzwertes das low-aktive Signal CRAM-Sperre (/CSP) aktiviert. Über einen Treiberschaltkreis (CMOS), dessen Betriebsspannung separat über einen Kondensator gepuffert wird, sperrt das Signal /CSP die Durchschaltung der ENABLE-Signale an den NAND-Gattern mit offenem Kollektor. Die Ausgänge der NAND-Gatter sind über pull-up-Widerstände an die gestützte Betriebsspannung der CMOS-RAM gezogen. Solange das Signal /CSP aktiv ist, wird das RESET-Signal der ZVE aktiviert.

Die Stromversorgungsseinheit STVG 3 beinhaltet eine Schwellwertbaustufe, die den Ladezustand des Netzkondensators überwacht. Bei Unterschreitung der minimal zulässigen Spannung

spricht diese Baustufe an und schaltet das Signal NAS auf high-potential. Zwischen dem Einschalten von NAS und dem Abschalten der Systemspannungen verbleibt eine Minimalzeit von $t = 10$ ms. Das Signal NAS schaltet auf der PEL das Signal NMIS auf high und bewirkt damit ein Setzen des NMI-Flip-Flop. Bei freigegebenem NMI-Freigabe-Flip-Flop kann somit über NMI der ZVE eine Rettungsroutine gestartet werden, die wichtige Daten im CMOS-RAM ablegt und durch Prüfsumme kontrollierbar sichert.



RSTAN siehe Abb. 1.5.2./11

WAIT-Generierung

Werden EPROM-Schaltkreise eingesetzt, die den Zeitbedingungen des M1-Zyklus nicht genügen, kann ein WAIT-Zyklus eingefügt werden. Die Entscheidung darüber wird bei der Bestückung der SEL getroffen, eine Veränderung durch den Anwender ist nicht notwendig und vorgesehen. Die schaltungstechnische Lösung der WAIT-Generierung zeigt Abb. 1.5.2./10

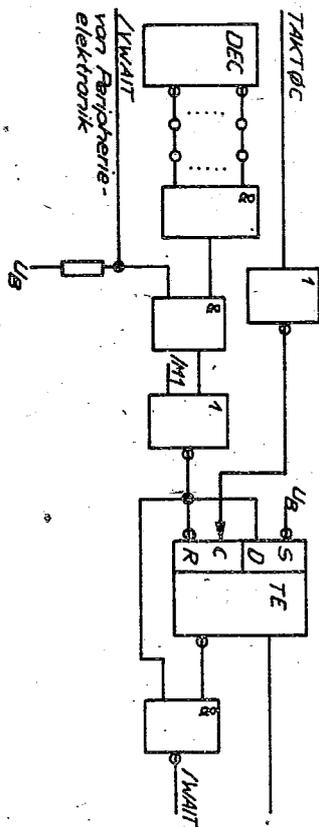


Abb. 1.5.2./10

1.5.2.4. SEL-interne Ein-/Ausgabefaktoren

Auf der Steuer Elektronik können über E/A-Befehle folgende Funktionen ausgeführt werden:

- aktivieren des RESET-Signales der ZVE über einen Zeitraum von vier Takten

Toradresse: OE0H Daten: beliebig

- setzen des NMI-Freigabe-Flip-Flop (NFFF), d. h., eine im NMI-Flip-Flop gespeicherte NMI-Anforderung hat Durchgriff auf den NMI-Eingang der ZVE

Toradresse: OE0H Daten: beliebig

robotron

- Löschen des NMI-Freigabe-Flip-Flop, d. h., das NMI-Flip-Flop hat keinen Durchgriff auf den NMI-Eingang der ZVE

Toradresse: 0E2H Daten: beliebig

- setzen des NMI-Flip-Flop (NFF), d. h., eine NMI-Anforderung wird gespeichert

Toradresse: 0E4H Daten: beliebig

- Löschen des NMI-Flip-Flop, d. h., eine eventuell gespeicherte NMI-Anforderung wird gelöscht

Toradresse: 0E6H Daten: beliebig

Abbildung 1.5.2./11 zeigt die Schaltung der internen E/A-Tore.

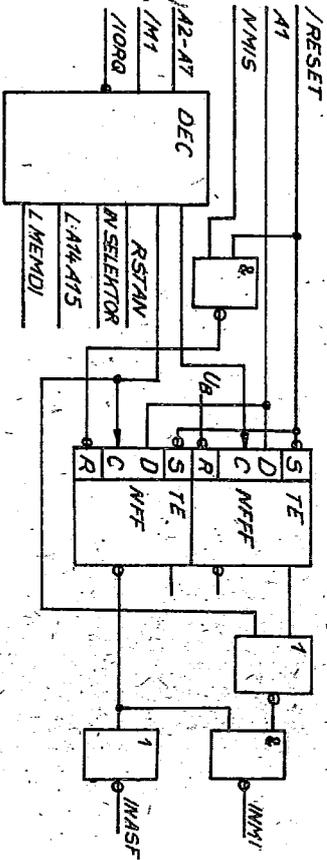


Abb. 1.5.2./11

robotron

1.5.2./5. Steckerbelegung

Die Verbindung der Steuer Elektronik mit der Bedien- und Programmier Einheit erfolgt über den Steckverbinder +SEL-X1 (36) und die Verbindung der Steuer Elektronik mit der Peripherieelektronik über +SEL-X2 (37).

- +SEL-X 1: Bedien- und Programmier Einheit (36)

Der Anschluß zur BPE ist als direkter 58-poliger Steckverbinder ausgeführt. Da ein BPE-Anschluß lediglich bei Reparaturen, zur Programmerprobung sowie zur EPROM-Programmierung (also relativ selten) notwendig ist, wurde aus ökonomischen Gründen auf eine Vergoldung verzichtet. Die Belegung des Steckverbinders ist aus Abb. 1.5.2./12 ersichtlich. Die Signale K 1, K 2, K 3 dienen der Erkennung verschiedener, anschließbarer Baugruppen durch die BPE. Die Steuer Elektronik besitzen folgende Kennungen:

SEL 1 : K1 = high K2 = low K3 = low

SEL 2 : K1 = high K2 = high K3 = low

SEL 3 : K1 = high K2 = high K3 = low

- +SEL-X 2: Anschluß für Peripherieelektronik (37)

Der Anschluß der Peripherieelektronik erfolgt über eine 58-polige Steckerleiste der Bauform 512-58 nach TEL 29331/03. Einige Signale dienen ausschließlich Prüfzwecken. Aus Abb. 1.5.2./13 ist die Belegung des Steckverbinders zu entnehmen.

Kontakt	A	B (L)
1	00	000
2	00	00
3	S P	VPP
4	DB 7	DB 6
5	DB 5	DB 4
6	DB 3	DB 2
7	DB 1	DB 0
8	/WR	/RD
9	/MREQ	/MEMDI
10	K2	K1/PGM3
11	AB 14	AB 15
12	AB 12	AB 13
13	AB 10	AB 11
14	AB 8	AB 9
15	S P	S P
16	AB 6	AB 7
17	AB 4	AB 5
18	AB 2	AB 3
19	AB 0	AB 1
20	/RESET	/BUSREQ
21	TAKT	/PGM 1
22	/PGM 0	/PGM 2
23	/NMI	/ NT
24	/WAIT	/IORQ
25	/RFSH	K3
26	/MI	/HALT
27	/BAD	/MEMDIO1
28	00	00
29	00	00

Abb. 1.5.2./12

Kontakt	A	B
1	00	00
2	unbelegt	unbelegt
3	unbelegt	unbelegt
4	DB 7	DB 6
5	DB 5	DB 4
6	DB 3	DB 2
7	DB 1	DB 0
8	unbelegt	unbelegt
9	unbelegt	/CSPG
10	/RD	unbelegt
11	unbelegt	SPB
12	unbelegt	unbelegt
13	unbelegt	unbelegt
14	unbelegt	unbelegt
15	SP	SP
16	AB 6	AB 7
17	AB 4	AB 5
18	AB 2	AB 3
19	AB 0	AB 1
20	/RESET	CSPG2
21	/CSP	/MEMD11
22	TAKTOP	/MEMDIO
23	/IEP	/INT
24	/WAIT	/IORQ
25	NMIS	/UES
26	/MI	unbelegt
27	/NMISPF	/TAKT
28	/TAKTOC	/NASF
29	unbelegt	/SPF

Abb. 1.5.2./15

1.5.2.6. Verzeichnis der Lötbrücken

In der nachfolgenden Tabelle werden alle auf der SEL möglichen Lötbrücken hinsichtlich ihrer Funktion und Verwendung beschrieben.

Brücke	Bedeutung	SEL 1	SEL 2	SEL 3
W1: 1	AB14 (ZVE) an X1:AB14	X	X	X
W1: 2	AB14 (Speicher) an X1:AB14	-	-	-
W1: 3	AB15 (ZVE) an X1:AB15	X	X	X
W1: 4	AB15 (Speicher) an X1:AB15	-	-	-
W1: 5	/WR an D5:02 (CRAM-Bestück.)	-	-	-
W1: 6	/PGM1 an D5:02 (EPROM-Bestück.)	-	X	-
W1: 7	SP an D5:02 (EPROM-Bestück.)	-	X	-
W1: 8	SPG an D5:02 (CRAM-Bestück.)	-	-	-
W1: 9	VPP an D5:03 (EPROM-Bestück.)	-	X	X
W1:10	/PGM2 an D5:03 (EPROM-Bestück.)	-	X	X
W1:11	/WR an D5:03 (CRAM-Bestück.)	-	-	-
W1:12	SP ⁹ an D5:03 (EPROM-Bestück.)	X	X	X
W1:13	SPG an D5:03 (CRAM-Bestück.)	-	-	-
W1:14	/MEMDI = /MEMDIO (kein DRAM)	-	-	X
W1:15	VPP an D5:04 (EPROM-Bestück.)	-	X	X
W1:16	/PGM3 an D5:04 (EPROM-Bestück.)	-	X	X
W1:17	/WR an D5:04 (CRAM-Bestück.)	-	-	-
W1:18	SP an D5:04 (EPROM-Bestück.)	-	X	X
W1:19	SPG an D5:04 (CRAM-Bestück.)	-	-	-
W1:20	AB11 an D4:05 (EPROM-Bestück.)	-	-	-
W1:21	/WR an D6:04 (CRAM-Bestück.)	X	X	X
W1:22	SP an D4:05 (EPROM-Bestück.)	-	-	-
W1:23	SPG an D6:04 (CRAM-Bestück.)	X	X	X
W1:24	AB11 an D4:06 (EPROM-Bestück.)	-	-	-
W1:25	/WR an D6:05 (CRAM-Bestück.)	X	X	-

Brücke	Bedeutung	SEL 1	SEL 2	SEL 3
W1:26	SP an D4:06 (EPROM-Bestück.)	-	-	-
W1:27	SPG an D6:05 (CRAM-Bestück.)	X	X	X
W1:28	/CE D6:05 an /CE D6:07 (EPROM)	-	-	-
W1:29	SP an pull-up-R des /CE D6:07	-	-	-
W1:30	SPG an pull-up-R des /CE D6:07	X	X	-
W1:31	/CE D6:04 an /CE D6:06 (EPROM)	-	-	-
W1:32	Selektorbit 0 = 1 (an Masse)	X	-	X
W1:33	Selektorbit 0 = 0 (an SP)	-	X	-
W1:34	Selektorbit 1 = 1 (an Masse)	-	X	X
W1:35	Selektorbit 1 = 0 (an SP)	X	-	-
W1:36	Selektorbit 2 = 1 (an Masse)	-	-	-
W1:37	Selektorbit 2 = 0 (an SP)	X	X	X
W1:38	Selektorbit 3 = 1 (an Masse)	-	-	-
W1:39	Selektorbit 3 = 0 (an SP)	X	X	X
W1:40	SPG an D6:06 (CRAM-Bestück.)	X	X	X
W1:41	SPG an D6:07 (CRAM-Bestück.)	X	X	-
W1:42	SPG an pull-up-R des /CE D6:06	X	X	X
W1:43	SP an pull-up-R des /CE D6:06	-	-	-
W1:44	SPG an D6:08 (CRAM-Bestück.)	X	X	X
W1:45	SPG an D6:09 (CRAM-Bestück.)	X	X	X
W1:46	SPG an D6:10 (CRAM-Bestück.)	X	X	X
W1:47	SPG an D6:11 (CRAM-Bestück.)	X	X	X
W1:48	SPG an D6:12 (CRAM-Bestück.)	X	X	X
W1:49	SPG an D6:13 (CRAM-Bestück.)	X	X	X
W1:50	SPG an D6:14 (CRAM-Bestück.)	X	X	-
W1:51	SPG an D6:15 (CRAM-Bestück.)	X	X	-
W1:52	SPG an D6:16 (CRAM-Bestück.)	X	X	-
W1:53	SPG an D6:17 (CRAM-Bestück.)	X	X	-
W1:54	SPG an D6:18 (CRAM-Bestück.)	X	X	-
W1:55	SPG an D6:19 (CRAM-Bestück.)	X	X	-

Brücke	Bedeutung	SEL 1	SEL 2	SEL 3
W1:56	/WAIT für D4:03 oder D5:03	x	x	x
W1:57	/WAIT für D4:02 oder D5:02	-	x	-
W1:58	/WAIT für D4:01 oder D5:01	x	x	x
W1:59	/WAIT für D4:04 oder D5:04	-	x	x
W1:60	/CE an D4:03 oder D5:03	x	x	x
W1:61	/CE an D4:02 oder D5:02	-	x	-
W1:62	/CE an D4:04 oder D5:04	-	x	x
W1:63	Dec.ROM-Bereich in 8 K Schritten	-	x	x
W1:64	Dec.ROM-Bereich in 4 K Schritten	x	-	-
W1:65	/MEMDIO1 gültig für 4000-7FFF H	x	x	x
W1:66	/MEMDIO1 gültig für 0000-7FFF H	-	-	-
W1:67	NMI-Sperre unwirksam	-	-	-
W1:68	NMI-Sperre wirksam	x	x	x
W1:69	Int. Resetausgabe unwirksam	-	-	-
W1:70	Verb. Taktgen. mit Takttreiber	x	x	x
W1:71	Verb. /Taktgen. mit Takttreiber	x	x	x
W1:72	RESET bei /CSP aktiv	x	x	x
W1:73	kein RESET bei /CSP aktiv	-	-	-
W1:74	Verb. Taktgenerator mit ZVE	x	x	x
W1:75	VPP an D5:02 (EPROM-Bestück.)	-	x	-
W1:76	K2 = 0 (an Masse)	x	-	-

1.5.3. Folienflachstatur

1.5.3.1. Konstruktiver Aufbau

Funktionselemente der Folientastatur sind die Leiterplatte mit darauf angebrachten Leiterbahnen und Schaltpunkten sowie die Schaltfolie mit Kontaktflächen, die den Schaltpunkten auf der Leiterplatte gegenüberliegen.

Leiterplatte und Schaltfolie sind elektrisch durch eine Isolierfolie getrennt, die im Bereich der Schaltpunkte und der Kontaktflächen Aussparungen hat. Den nach außen gerichteten Abschluß der Folientastatur bildet die transparente Frontfolie als Berührungsfäche mit an der Innenseite durch Siebdruck aufgebrachtem Farbdruck. Die 32 Tastenelemente sind in einem Feld mit 4 x 8 Tasten angeordnet (3).

1.5.3.2. Elektrische Anordnung

Die Tastenelemente der Folientastatur wirken als Schließer und sind matrixförmig in 7 Spalten und 5 Zeilen angeordnet. Dabei ist die elektrische Anordnung nicht identisch mit der mechanischen. Drei Elemente der Matrix sind nicht belegt.

Die Belegung der Matrixelemente mit den entsprechenden Tasten ist aus Abb.1.5.3./1 ersichtlich.

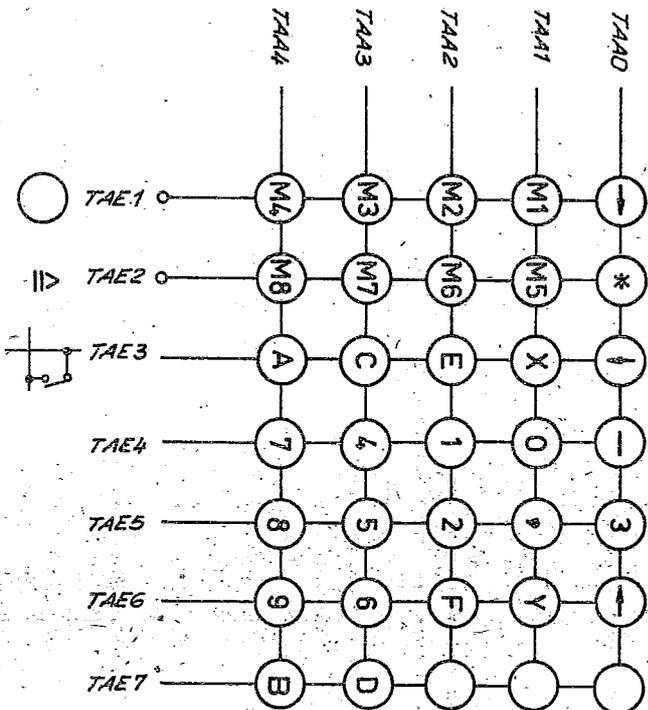


Abb. 1.5.3./1

1.5.4. Anzeiger-Tastatur-Steuerung

1.5.4.1. Konstruktiver Aufbau

Alle Elemente der Anzeiger-Tastatursteuerung (ATS) sind auf einer starren, durchkontaktierten Leiterplatte mit den Abmessungen 210 mm x 130 mm angeordnet (57). Die optischen Anzeigeelemente sind von der Bestückungsseite aus sichtbar. Der Anschluß an die Steuerlektronik erfolgt über eine 26polige Bandleitung (25 cm Länge) mit angeklebtem Steckverbinderbuchse (59). Die Tastatur wird an die ATS durch einen speziellen Klemmsteckverbinder über einen flexiblen Anschlußangeschlossen (60). Dem Anschluß an die Stromversorgungsbaugruppe STVG 3 dient eine 4-adrige Leitung mit einer Stach-Buchsenleiste (58).

1.5.4.2. Funktionsbeschreibung

a) Funktionsprinzip

Der für die Erzeugung der alphanumerischen Zeichen benötigte Zeichengenerator befindet sich in einem Speicherbereich der Steuerlektronik. Mit seiner Hilfe wird von der CPU, entsprechend des anzuzeigenden Textes, des beabsichtigten Zustandes der LED und der akustischen Signaleinrichtung, eine Datenfolge erzeugt, die über ein PID-Tor, an das der Anzeigeteil der ATS angeschlossen ist, ausgegeben wird. Ein Teil der Daten wird in den RAM der ATS eingespeichert, der andere Teil dient der Steuerung dieses Vorganges. Nach Abschluß des Einspeicherns wird durch ein entsprechendes Steuerwort und ein Uminitialisieren des o.g. PID-Tores die ATS auf "Anzeige" geschaltet (Abb. 1.5.4./1).

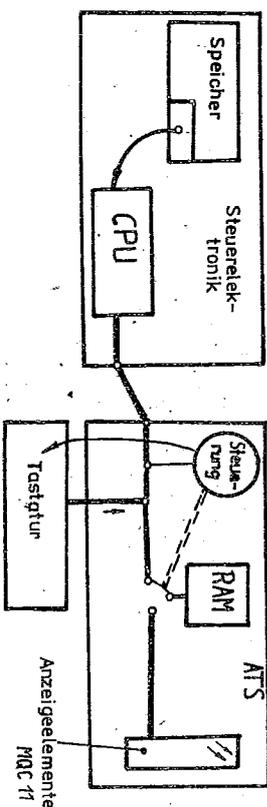


Abb. 1.5.4./1

Von jetzt an organisiert die ATS selbständig das zyklische Auslesen der Information aus ihrem RAM, das Aufbereiten der Zeichen, deren Anzeige und die Abfrage der Tastatur. Die Steuerlektronik wird während dieser Zeit durch die ATS und die Tastatur nicht belastet. Erst wenn eine Veränderung des anzuzeigenden Textes oder des Zustandes mindestens einer LED vorgenommen werden soll, ist der RAM der ATS erneut zu laden. Die Ansteuerung der akustischen Signaleinrichtung erfolgt über einen Ausgang des PID.

b) Funktionskomplexe

- Das Anzeigelement MOC 11

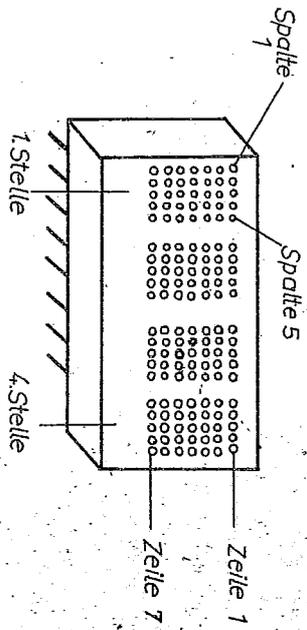


Abb. 1.5.4./2

Das Bauelement MOC 11 ermöglicht das Anzeigen von 4 Stellen einer alphanumerischen Information (Abb. 1.5.4./2). Der prinzipielle elektrische Aufbau ist in Abb. 1.5.4./3 dargestellt. Die 35 LED jeder Stelle sind matrixförmig angeordnet. Die gemeinsamen Zeilenleitungen Z1 ... Z7 sind direkt als Bauelementanschluss vorhanden. Die Spaltenleitungen sind mit je einer Konstantstromquelle und vorgeschaltet getaktetem Speicherrelais (FF) versehen.

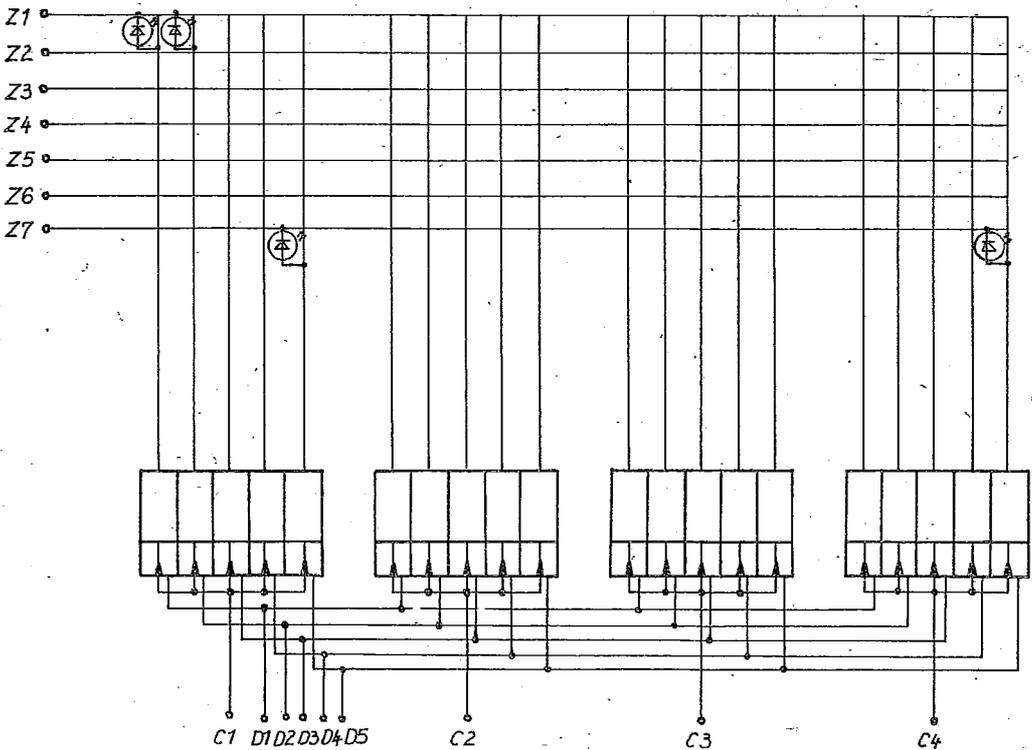


Abb. 1.5.4./3

Die Gesamtheit der Speicher-elemente einer Stelle wird im weiteren als Zeilenregister bezeichnet.

Die Datenleitungen der gleichwertigen Spalten jeder Stelle sind im Bauelement parallel geschaltet und als Anschlüsse herausgeführt (D1...D5). Die fünf Takteingänge jeder Stelle sind miteinander verbunden und als Bauelementanschluß zugänglich. Eine Anzeige mit der MOC 11 ist nur zeilenweise im Zeitmultiplexverfahren möglich.

Eine Zeile der anzuzeigenden Information wird jeweils in die Zeilenregister aller vorhandenen Anzeigeelemente mit dem entsprechenden Takt übertragen. Anschließend wird die entsprechende Zeilenleitung durch elektronische Schalter (Transistor) an die positive Betriebsspannung geschaltet. Das führt zu einem Leuchten dieser Zeile.

Nach einer Zeit, die so lang sein muß, daß die Zeile genügend hell erscheint, aber auch so kurz, um beim aufeinanderfolgenden Betrieb aller sieben Zeilen kein Flimmern auftreten zu lassen, werden die Informationen für die nächste Zeile in das Zeilenregister geladen und die Zeilenleitung anschließend zur Betriebsspannung durchgeschaltet. Dieser Vorgang läuft für alle Zeilen und wird ständig wiederholt.

- Steuerung der alphanumerischen Anzeige

Das Blockschaltbild der ATS ist in Abb. 1.5.4./4 dargestellt. Die Ansteuerung der vier MOC 11 (einzeilige Anzeige) bzw. acht MOC 11 (zweizeilige Anzeige) Anzeigeelemente erfolgt durch eine Schaltungsanordnung, die im wesentlichen aus einem Taktgenerator, den Zählern Z1/Z2, RAM und einem Mono-FF besteht. In den folgenden Betrachtungen wird davon ausgegangen, daß im RAM die anzuzeigende Information geladen ist. Die Zähler Z1 und Z2 erzeugen die Adressen für den RAM, in dem die anzuzeigenden Informationen gespeichert sind. Sie werden vom Taktgenerator angesteuert (Abb. 1.5.4./5 Impulsverlauf "1"). Der Zähler 1 erzeugt die binäre Zeileninformation (Impulsverlauf "15", "16", "17"), d.h. er legt über den 1 aus 8-Dekoder fest, welche der Zeilen Z1...Z7 gerade angesteuert wird (Impulsdiagramm "18", "19", "20").

Die binäre Zeileninformation wird vom RAM gleichzeitig zur Erzeugung der höchstwertigen drei Adreßbits genutzt. Der Zähler 2

erzeugt die niederen Adreßbits für den RAM (Impulsverlauf "2", "3", "4", "5", "6") und gibt über einen (einzeilige Anzeige) bzw. zwei (zweizeilige Anzeige) 1 aus 16 Dekoder den Weg für den vom Grundtakt abgeleiteten Einschreibtakt "9" für das entsprechende Zeilenregister frei. Mit diesem Impuls wird die Information eines RAM-Speicherplatzes in das Zeilenregister der entsprechenden Anzeigestelle eingetragen. Da im verwendeten RAM-Schaltkreis unter einer Adresse nur 4 Bit abgespeichert werden können, in die Zeilenregister der VDC 10 aber gleichzeitig 5 Bit eingeschrieben werden müssen, macht es sich erforderlich, zur Abspeicherung der Information für ein Zeilenregister zwei RAM-Speicherplätze zu belegen. Dabei sind auf dem niederwertigen Speicherplatz 1 Bit und auf dem höherwertigen Platz 4 Bit abgelegt. Das benötigte Bit des niederwertigen Speicherplatzes wird in einem D-FF zwischengespeichert und gemeinsam mit den aus dem höherwertigen Speicherplatz gelesenen 4 Bit in das entsprechende Zeilenregister eingetragen. Die Unterscheidung dieser beiden Speicherplätze geschieht durch die RAM-Adresse A0.

Nach dem Einschreiben der Information in ein Zeilenregister wird über das Mono-FF (D1) der Taktgenerator für eine Zeit, die der Leuchtzeit einer Zeile entspricht, angehalten.

Bei den bisherigen Betrachtungen wurde davon ausgegangen, daß das anzuzeigende Bild in den Speicher der ATS eingetragen ist. Soll das anzuzeigende Bild geändert bzw. erstmalig eingegeben werden, muß der gesamte Inhalt des RAM der ATS geladen werden. Dazu ist es notwendig, die Daten, die auf den Speicher gegeben werden sollen, durch die Steuerelektronik entsprechend aufzubereiten. Die dabei entstehende Ausgabefolge wird in Abschnitt "Betriebsweise" erläutert.

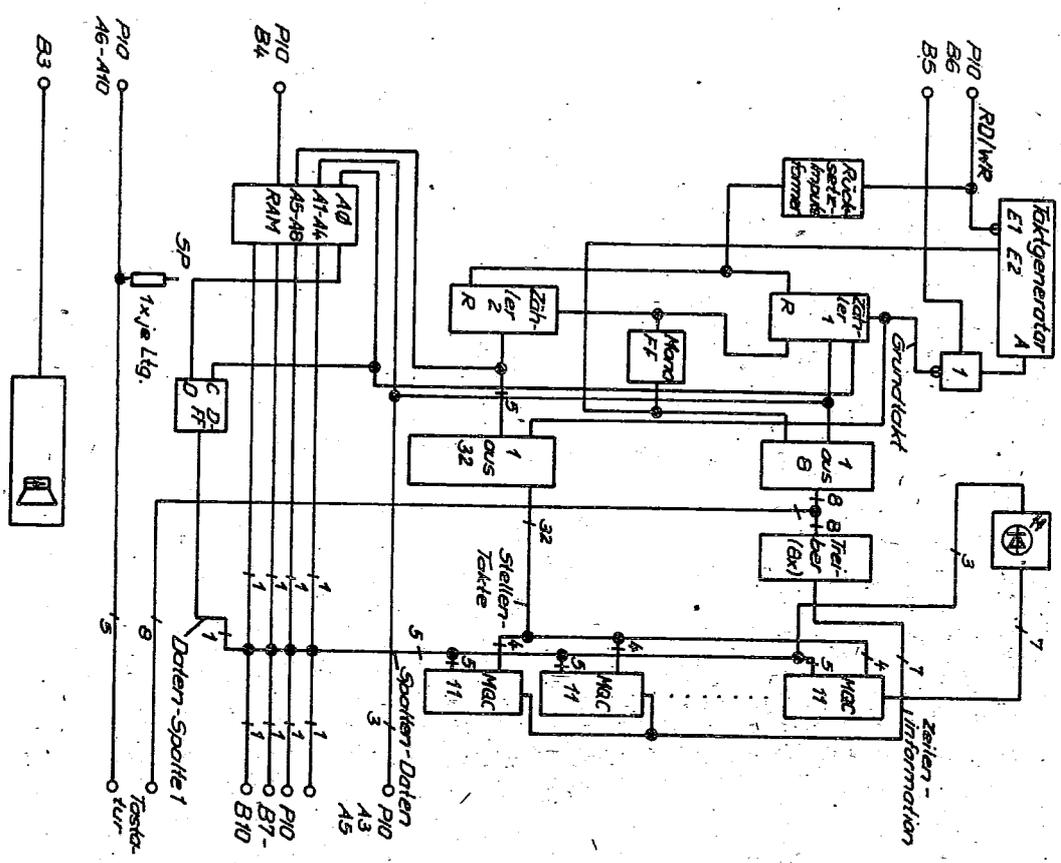


Abb. 1.5.4./4

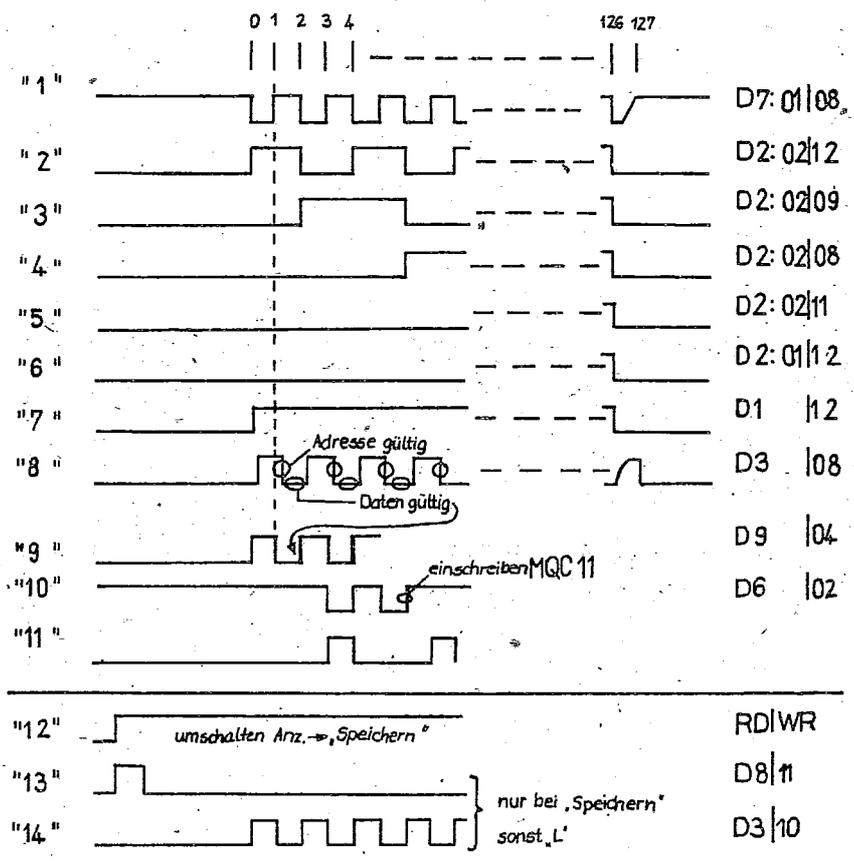


Abb. 1.5.4./5

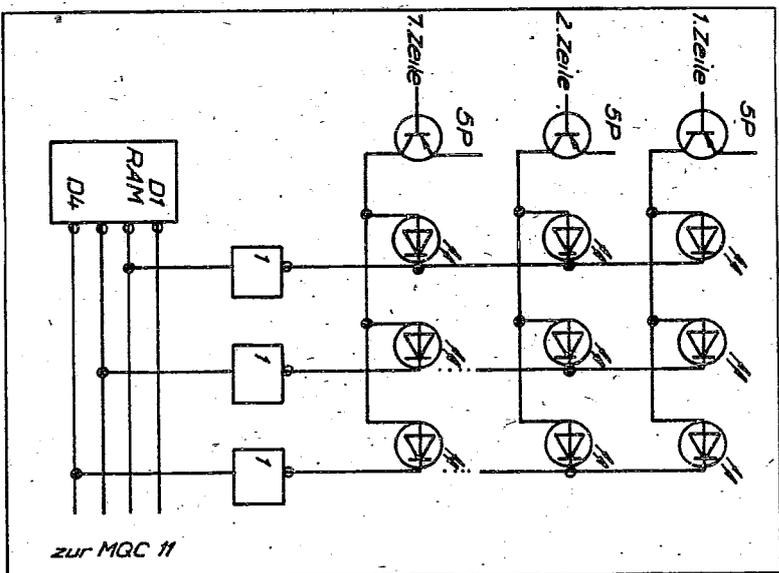
Zum Laden des RAM wird das Signal RD/WR von L auf H geschaltet. Von der dabei entstehenden Flanke wird über eine Impulsformerschaltung ein Rücksetzimpuls für die Zähler Z1 und Z2 gebildet. Gleichzeitig wird der Taktgenerator der ATS gesperrt. Die Takt-erzeugung für die Zähler Z1 und Z2 übernimmt nun das Programm der Steuer Elektronik über die PIO-Leitung TAKT. Synchron mit diesem Signal wird die Information in den RAM eingeschrieben. Sind die Daten des gesamten Anzeigebildes in den RAM eingeschrieben, wird das Signal RD/WR von H auf L geschaltet. Der Taktgenerator läuft wieder an.

- Ansteuerung der Lichtemitterdioden

Auf der ATS befinden sich neben den alphanumerischen Anzeigeelementen 18 (einzeilige Anzeige) bzw. 10 (zwei-zeilige Anzeige) Lichtemitterdioden (LED), die zu einer Matrix von 3 x 6 bzw. 2 x 5 Elementen zusammengeschaltet sind.

Die Ansteuerung erfolgt spaltenweise zeitmultiplex, d.h. in 6 (einzeilige Anzeige) bzw. 5 (zwei-zeilige Anzeige) Zeitintervallen werden jeweils 3 bzw. 2 Leuchtdioden angesteuert. Dies wird durch gleichzeitige Nutzung von Schaltungselementen, die zur Ansteuerung der MQC 11 verwendet werden, realisiert. Dazu wird die Tatsache ausgenutzt, daß während der Leuchtphasen der alphanumerischen Anzeige der Inhalt eines Speicherplatzes des RAM am Ausgang des selbigen anliegt. Dabei handelt es sich um die Information für die erste Stelle der nachfolgenden Zeile, und zwar um das 4. Bit-Wort, von dem für die alphanumerische Anzeige nur ein Bit benötigt wird. Die restlichen 3-Bit dieser 7 Speicherplätze enthalten jeweils die Daten, die zur Ansteuerung der LED benötigt werden.

Die LED-Matrix ist zwischen dem Zeilenschalter der alphanumerischen Anzeige und die dem Speicher nachgeschalteten Open-Kollektor-Stufen geschaltet (s. Abb. 1.5.4./6), so daß mit dem Leuchten einer Zeile der alphanumerischen Anzeige jeweils drei (einzeilige Anzeige) bzw. zwei (zwei-zeilige Anzeige) LED durchgeschaltet werden. Sie leuchten je nach Speicherinhalt des RAM.



zur MQC 11

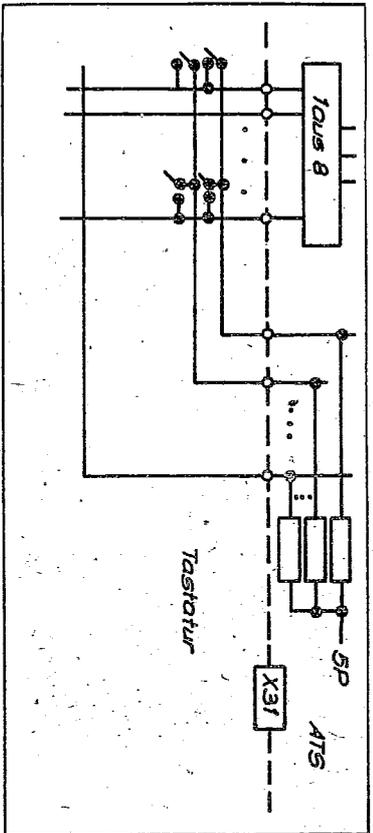


Abb. 1.5.4./7

- Tastatursteuerung

Der Anschluß einer Tastaturmatrix ist in Abb. 1.5.4./7 dargestellt. Der 1 aus 8-Dekoder wird synchron zur Zeilensteuerung der alphanumerischen Anzeige angesteuert. Seine Ausgänge geben ein L-Potential auf die zu aktivierende Zeilenleitung der Tastaturmatrix. Die nicht aktiven Ausgänge sind auf H.

Ist keine Taste gedrückt, führen die PIO-Leitungen TAA0 bis TAA4 H-Potential.

Beim Drücken einer Taste wird im Moment der Abfrage der entsprechenden Zeilenleitung die der Taste entsprechende Spaltenleitung TAA auf L-Potential gezogen.

Aus den Informationen Z1 - Z3, die binär verschlüsselt die gerade aktivierte Zeile enthalten und dem Potential an den TAA-Leitungen, kann durch die Steuer Elektronik die gerade gedrückte Taste ermittelt werden.

c) Betriebsweise

Die Zuordnung der Signalbezeichnungen auf der ATS zu den Bezeichnungen der Signale an den PIO-Toren und den dazugehörigen Steckerbelegungen am X31 ist aus Abb. 1.5.4./8 ersichtlich.

Steckanschluß	PIO-Signal	Baugruppensignal
X3 : B 3	A7	Hupe
X3 : B 4	A6	Bild
X3 : B 5	A5	Takt
X3 : B 6	A4	RD/WR
X3 : B 7	A3	Daten D4
X3 : B 8	A2	Daten D3
X3 : B 9	A1	Daten D2
X3 : B 10	A0	Daten D1
X3 : A 3	B7	Zeile Z1
X3 : A 4	B6	Zeile Z2
X3 : A 5	B5	Zeile Z3
X3 : A 6	B4	Spalte TAA4
X3 : A 7	B3	Spalte TAA3
X3 : A 8	B2	Spalte TAA2
X3 : A 9	B1	Spalte TAA1
X3 : A 10	B0	Spalte TAA0

Abb. 1.5.4./8

Die einzelnen Signale haben folgende Funktionen:

PIO-Tor A: Anzeigesteuerung

- 4 parallele Datenleitungen D1...D4

Über diese Leitungen erfolgt die Datenübertragung zur Anzeige beim Ladevorgang. Wird die Anzeige auf Anzeigebetrieb umgeschaltet, liegen auf diesen Leitungen baugruppeninterne Signale an, sodas die Quelle hochohmig (tri-state) oder als Empfangsleitung zu schalten ist.

- Steuerleitung RD/WR

Mit dieser Leitung erfolgt die Umschaltung der Anzeige von Laden auf Anzeigefunktion.

RD/WR = 1: Laden der Anzeige

RD/WR = 0: Anzeigefunktion

Taktleitung Takt

Beim Laden der Anzeige erfolgt die Informationsübernahme auf den Leitungen D1...D4 mit der L-H-Flanke dieses Signals. Bei RD/RW = 0 (Anzeige) ist der Takt auf L zu schalten.

Steuerleitung Bild

Die Anzeigeeinheit kann zwei Zeilen Text speichern. Die Auswahl, welche der beiden Zeilen geladen bzw. angezeigt wird, erfolgt durch diese Steuerleitung.

Steuerleitung Hupe

Dieses Signal steuert den auf der Anzeige enthaltenen piezoelektrischen Schwinger. Dieser kann zur Erzeugung eines Tastenklieckes oder eines Alarmsignals verwendet werden.

Hupe = 0: Schwinger aus

Hupe = 1: Schwinger ein

Der Schwinger ist solange aktiv, wie das Signal Hupe = 1 ist. Bei einem kurzen Impuls ertönt das Signal etwa 50 ms.

PIO-Tor B: Taster signale

Zeilen signale Z1...Z3

An diesen Leitungen liegt binär kodiert die Information über die gerade aktivierte Zeile der Anzeige an. Die Tastaturabfrage erfolgt automatisch durch die Anzeigesteuerung.

Spaltensignale TAA0...TAA4

Jeder Tastaturspalte ist eine Leitung TAA0...TAA4 zugeordnet. Wird eine Taste gedrückt, führt die entsprechende Spalte bei entsprechendem Zeilen signal O-Potential.

Die softwaremäßige Bedienung der ATS ist nach folgendem Modus vorzunehmen:

Laden der Anzeige

RD/RW = 1: Anzeige verlischt

Anlegen der Information nach Abb. 1.5.4./10.

Es ist jeweils der gesamte Anzeigeinhalt zu laden. Das Laden erfolgt zeilenweise. Beginn 1. Zeile der ersten Stelle (Anordnung und Bezeichnung der Leuchtpunkte für eine Zeile s. Abb. 1.5.4./9).

Vor der Ausgabe der ersten gültigen Information sind 32 Ausgaben mit wechselweisem Umschalten der Taktleitung von 0 auf 1, wobei mit 0 zu beginnen ist, zu realisieren.

Dabei ist das Signal RD/RW auf L zu halten. Die Pegel der anderen Signalleitungen sind gleichgültig.

Im ersten Schritt erfolgt die Ausgabe des Inhaltes von 1 A a, im zweiten Schritt von 1 A b bis 1 A e.

Es folgt die erste Zeile der zweiten Stelle in gleicher Art: 2 A a, folgend 2 A b bis 2 A e.

Soll ein Punkt leuchten, so ist die Information 0 zu laden, bei L leuchtet der entsprechende Punkt nicht.

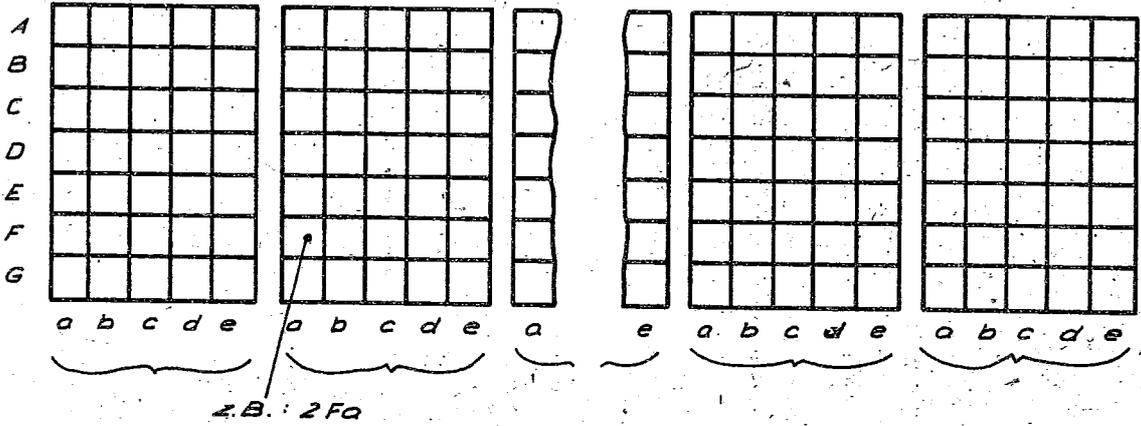
Mit der ersten Ausgabe für jede Zeile erfolgt die Ausgabe der Ansteuerinformation für 3 (einzeilige Anzeige) bzw. 2 (zweizeilige Anzeige) LED.

Umschalten auf Anzeigefunktion

Die Quellen der Leitungen D1 bis D4 sind hochohmig (tri-state) oder als Eingänge zu schalten.

Somit leuchtet die Anzeige mit dem geladenen Inhalt.

Bei beiden Betriebsarten ist ein Ansteuern der Schallquelle möglich.



	Hupe	Bild	Takt	RD/WR	D 4	D 3	D 2	D 1
1. Zeile	Y	Y	0	0	LED	LED	X	1 A a
	Y	Y	L	0	X	X	X	1 A a
1. Stelle	Y	Y	0	0	1 A b	1 A c	1 A d	1 A e
	Y	Y	L	0	1 A b	1 A c	1 A d	1 A e
1. Zeile	Y	Y	0	0	X	X	X	2 A a
	Y	Y	L	0	X	X	X	2 A a
2. Stelle	Y	Y	0	0	2 A b	2 A c	2 A d	2 A e
	Y	Y	L	0	2 A b	2 A c	2 A d	2 A e
2. Zeile	Y	Y	0	0	LED	LED	X	2 B a
	Y	Y	L	0	X	X	X	2 B a
2. Stelle	Y	Y	0	0	2 B b	2 B c	2 B d	2 B e
	Y	Y	L	0	2 B b	2 B c	2 B d	2 B e
7. (letzte) Zeile	Y	Y	0	0	X	X	X	32 G a
	Y	Y	L	0	X	X	X	32 G a
32. (letzte) Stelle	Y	Y	0	0	32 G b	32 G c	32 G d	32 G e
	Y	Y	L	0	32 G b	32 G c	32 G d	32 G e

Abb. 1.5.4./10

x = Wert ohne Bedeutung
 y = Wert entspr. Zustand
 (Hupe ein bzw. aus, Bild 1 bzw. Bild 2)

1.5.4.3. Tastatur-/Anzeige-Treiberprogramme

a) Tastatur-Treiberprogramm

Die Tastatureingabe ist interruptgesteuert, d.h. bei Tastendruck übernimmt ein Interruptbehandlungsprogramm die Ermittlung der gedrückten Taste und übergibt den ISO-Kode dieser Taste im Feld TCOOD. Um auch akustisch die Tastatureingabe zu bestätigen, wird die Hupe für etwa 25 ms eingeschaltet. Erst nach Loslassen der gedrückten Taste kann der Tastaturtreiber einen erneuten Tastendruck bearbeiten.

b) Anzeige-Treiberprogramm

Kernstück des Anzeige-Treibers sind die UP Bild 1 und Bild 2 zur Anzeige der im Zeichenpuffer ZP zu übergebenden 16 bzw. 32 ISO-Zeichen.

Es können gleichzeitig zwei Anzeigebilder gespeichert werden, von denen eines angezeigt wird. Die Anzeige des anderen Bildes geschieht dann durch Bildwechsel (UP BILDW).

Ein Bild bleibt solange gespeichert, bis es durch ein neues überschrieben wird.

Bei Neueingabe und -anzeige eines Bildes werden gleichzeitig die LED neu angezeigt, wobei jeder LED ein Bit in LED1 bzw. LED2 zugeordnet ist, das der Anwender bedarfsweise setzen kann.

Dem Anwender stehen zum Hupe-Einschalten bzw. Hupe-Ausschalten die UP HUPEE bzw. HUPEA zur Verfügung.

Mit dem UP TALED ist die separate Anzeige der LED möglich, ohne daß sich dabei die Anzeige des Zeichenpuffers ZP ändert. Solange das Anwenderprogramm unter EBS-Kontrolle läuft, erfolgt der An-sprung aller Gerätetreiber nicht direkt, sondern über Rufo.

1.5.5. Stromversorgung

Die Stromversorgungsbaugruppe STVG 3, des BDT K 8302 (Abb. 1.4.5./6 und 7) stellt die Betriebsspannungen für die Steuer Elektronik, die Peripherielektronik sowie für das parallele und serielle Interface an den Steckverbindern +SEK X1 (S1), +SEK X2 (S2) sowie dem Verteilerfeld ASF (S3) bereit. Es gelten folgende Anschlußbedingungen:

Netzspannung 220 V/240 V + 10 % (47 ... 63 Hz)

- 15 %

Folgende Ausgangsdaten werden garantiert:

Spannungsname	Nominalwert/Toleranz	Belastbarkeit	
		min.	max.
5 P	+ 5 V ± 5 %	1,0 A	6,3 A
12 P	+ 12 V ± 0,1 V		0,2 A
12 N	- 12 V ± 0,1 V		0,1 A
12 PM	+ 12 V + 1,5 V - 1,0 V	0,25 A	0,6 A

Die Stromversorgung hat folgende gerätespezifischen Besonderheiten:

- Die Stützzeit bei Netzausfall für Netzspannungen an der unteren Netzspannungsgrenze (Zeit vom Anlegen des Netzausfallsignals NAS bis Unterschreiten der unteren Toleranzgröße einer Spannung beträgt ≥ 10 ms)
- Im Fehlerfall wird der max. Wert der Ausgangsspannung 5 P und 12 PM durch Tastverhältnissreduzierung auf etwa 140 % begrenzt.
- Im Fehlerfall wird der maximale Wert der Ausgangsspannung 5 P auf ≤ 7 V begrenzt.

- Die Systemspannung 5 P wird zusätzlich auf Überspannung überwacht und bei 5 P 2,5,40 V wird das Signal /UES abgeben.
- Alle Ausgangsspannungen sind kurzschlußfest.

Die Stromversorgungsbaugruppe STVG 3 ist ein primär getakteter Sperrwandler für vier Ausgangsspannungen. Abb. 1.5.5./1 zeigt den prinzipiellen Aufbau der STVG 3. Die Netzwechselspannung gelangt über das Filter (39) an die Gleichrichterbrücke (40). Die gleichgerichtete Netzwechselspannung wird auf die Ladeelkos (38) - Abb. 1.4.3./4 - geschaltet, an denen die Rohgleichspannung von etwa 300 V zur Verfügung steht. Die Rohgleichspannung wird über den hochsperrenden Schalttransistor (43) an die Primärwicklung des Leistungstransformators (42) geschaltet. Das SOAR-Glied (eine Kombination aus Diode, Widerstand und Kondensator) schützt den Schalttransistor (43) vor eventuellen ersten und zweiten Durchbrüchen. Die Ansteuerung des Schalttransistors erfolgt von der integrierten Schaltteilansteuerung (48) über die Treiberschaltung und den Treibertransformator (44) in der Leitphase des Schalttransistors als Flußwandler, in der Sperrphase als Sperrwandler. Die Magnetisierungsenergie des Treibertrafos erzeugt also die erforderlichen Sperrebedingungen für den Schalttransistor.

Da es sich um einen Sperrwandler handelt, nimmt der Leistungstransformator (42) in der Leitphase des Schalttransistors die gesamte Energie auf. Die Sekundärwicklungen mit den zugehörigen sekundären Gleichrichterdioden (55) sind dabei stromlos. In der Sperrphase des Schalttransistors gibt der Leistungstrafos seine Magnetisierungsenergie an die Sekundärkreise, die durch die Sekundärwicklungen des Leistungstrafos, die zugehörigen Gleichrichterdioden (55) und die Gättungselkos (54 und 54) gebildet werden, ab. Kombinationen aus Mikroinduktivitäten und Elkos vermindern die Ausgangswelligkeit der Spannungen. Nach Zuschalten der Netzspannung wird die integrierte Schaltteilansteuerung B 260 durch die Anlaufschaltung versorgt. Das von ihr erzeugte Rechtecksignal läßt den Wandler über die Treiber, den Schalttransistor und den Leistungstrafos anschwängen. Nach Erreichen der Nominalwerte der Ausgangsspannungen übernimmt eine Hilfswicklung des Leistungstrafos, die primärseitig angeordnet ist, die Versorgung der integrierten Schaltteilansteuerung

sowie der Treiber. Die primäre Schutzschaltung wird durch einen Strommeßwiderstand im Emitterzweig des Schalttransistors und die Auswertung der Spannung der Hilfswicklung des Leistungstrafos gebildet. Beide Maßnahmen wirken über Spannungsteiler auf die integrierte Schaltteilansteuerung, durch die mit Hilfe von Tastverhältnisminimierung der Wandler geschützt wird. Die Ausgangsspannung 5 P wird über einen Spannungsteiler, eine Verstärkerstufe und den Optokoppler (49) zur Potentialtrennung auf die integrierte Schaltteilansteuerung zurückgeführt und bildet das Regelsignal.

Durch Feinregler werden die Ausgangsspannungen 12 P und 12 N gewonnen. Alle Ausgangsspannungen sind kurzschlußfest und besitzen den Status Sicherheitskleinspannung. Das Signal "Netzausfall" NAS wird bei Unterschreiten einer definierten Spannung am Ladeelko durch Ausfall der Netzspannung oder einer oder mehrerer Halbwellen durch den Schaltungssteil "Signalgenerierung" erzeugt. Ist NAS "High", liegt Netzausfall vor. Ebenso erzeugt dieser Schaltungssteil das Signal /UES, das durch "Low" ein Überschreiten der Systemspannung 5 P signalisiert.

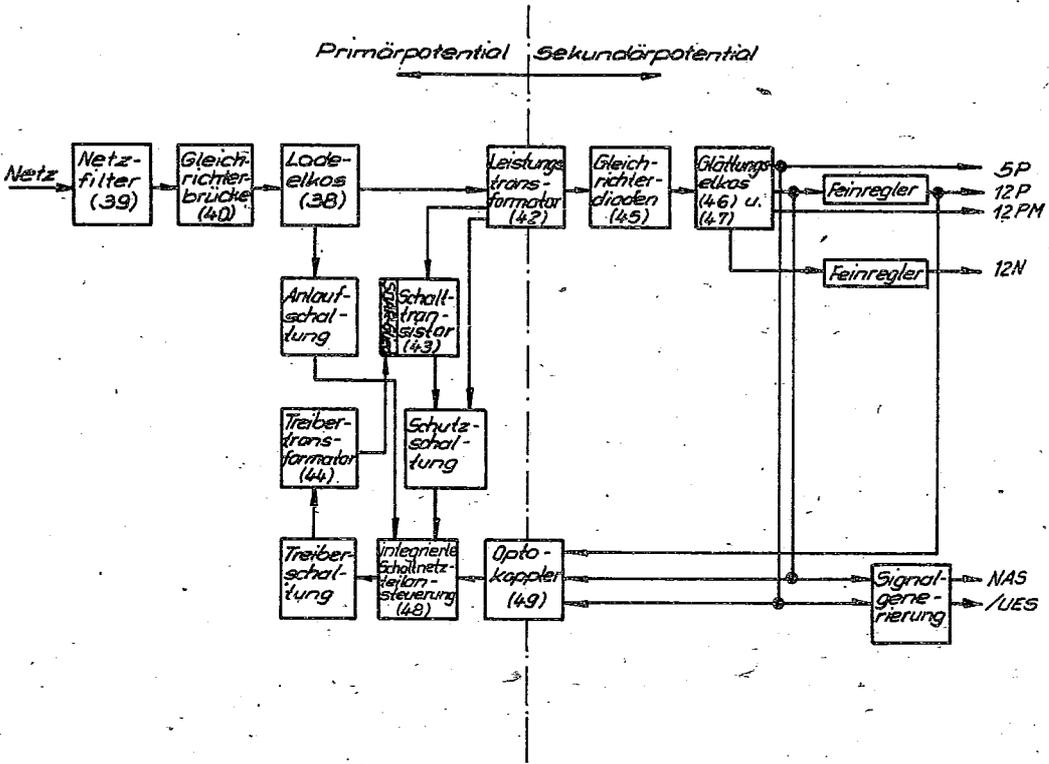


Abb. 1.5.5./1

1.5.6. Peripherielektronik

1.5.6.1. Kurzbeschreibung

Die Peripherielektronik PEL (34) des BDT. K 8902 besteht aus einer durchkontaktierten bestückten 2-Ebenen-Leiterplatte mit den Abmessungen 225 mm x 230 mm. Die PEL umfaßt folgende Hauptbestandteile:

- Peripherieschaltkreise SIO1 und 2, CTC1 und 2, PIO1 bis 4
- Stromquellen für IFSS-Interfaces,
- Logik zur Bildung der Signale /CSP (Speichersperre für CMOS-RAM) und BAF (Batterieausfallsignal),
- Ladeschaltung für die NC-Akkus,
- Steckerleisten zum Anschluß der Anzeige-/Tastatur-Steuerung (19), des Lesers (20), von SIM (21) und PIM (22),
- Buchsenleiste zum Anschluß der Steuerlektronik (17),
- Kontaktstifte zum Anschluß der Betriebsspannungen (23,24).

In Abb. 1.5.6./1 sind das Blockschaltbild der Peripherielektronik sowie die Verbindungen zu den übrigen Baugruppen dargestellt.

1.5.6.2. Peripherie Schaltkreise

Die vollständig bestückte Peripherielektronik enthält zwei CTC- (116, 117), zwei SID- (27, 28) und vier PIO-Schaltkreise (29, 113, 114, 115) und besitzt weiterhin ein Eingabeter für die Signale BAF, /NASF und das Selektorbyte.

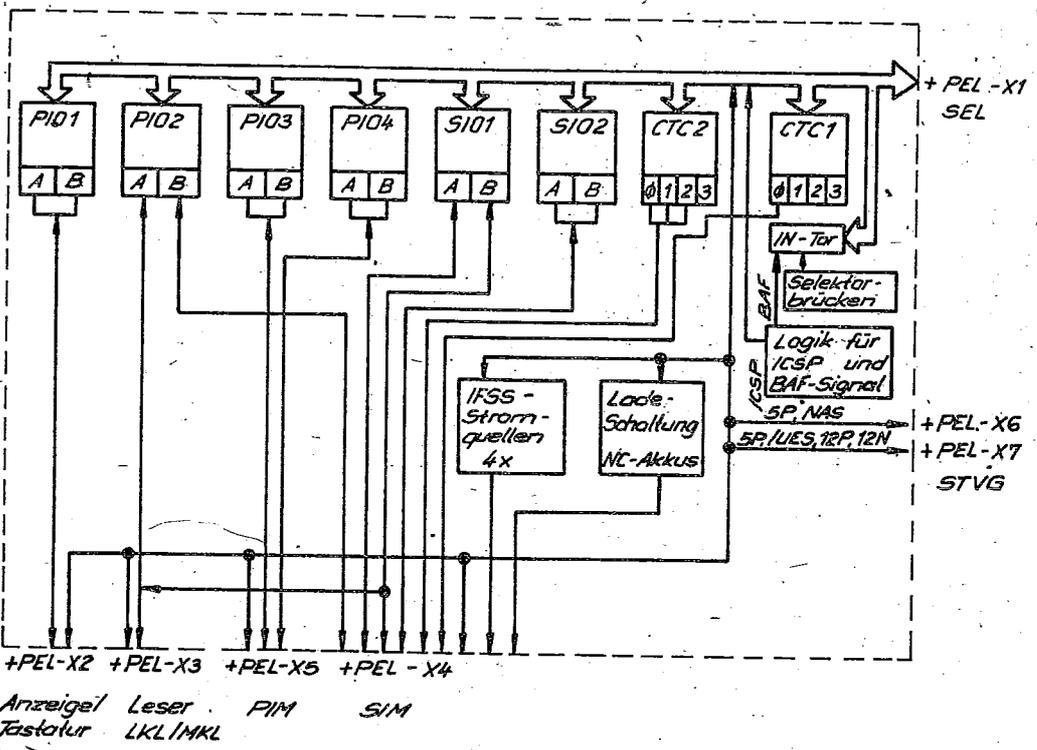


Abb. 1.5.5./1

Die Peripherieschaltkreise der PEL haben in der Standardausführung des BDT K 8902 folgende Aufgaben:

CTC1 (116): Steuerung von Zeitabläufen mittels Interrupts

- Zeitüberwachung (Time-Out)
- Bereitstellung regelmäßiger Interrupts für das Betriebssystem des BDT (System-Uhr)

Der Ausgang des Kanals 1 ist auf den Steckverbinder +PEL-X4 (21) geführt und kann somit auch zur Taktversorgung eines SIO-Kanals verwendet werden.

SIO1 (27): Beide Kanäle sind auf den Steckverbinder +PEL-X4 (21) geführt.

Kanal A ist für die Ansteuerung des entsprechenden seriellen Interfaces auf dem SIM vorgesehen (IFLS-Z oder V.24 mit Steuerleitungen). Kanal B wird zur Dateneingabe vom Magnetkartenleser benutzt. Ist kein Magnetkartenleser angeschlossen, kann dieser Kanal zur Ansteuerung für das entsprechende serielle Interface (IFSS) auf dem SIM verwendet werden, wobei sowohl die Sende- als auch die Empfangsdaten durch die Treiberschaltkreise 75450 getrieben werden.

PIO1 (29): Beide Kanäle sind auf den Steckverbinder +PEL-X2 (19) geführt und dienen zur Ansteuerung der Anzeige-/Tastatur-Baugruppe.

PIO2 (113): Kanal A ist auf den Steckverbinder +PEL-X3 (20) geführt und dient dem Anschluß der Leserbaugruppe (Lochkartenleser, Magnetkartenleser, Lochkartenleser). Beim Anschluß eines Magnetkartenlesers wird dieser Kanal zur Erkennung des Kartendurchzugs genutzt, die Informationsübernahme erfolgt durch den SIO1 Kanal B. Kanal B ist auf den Steckverbinder +PEL-X4 (21) geführt und dient zum Einlesen der auf dem SIM eingestellten BDT-Adresse.

PIO3/PIO4 (114, 115): Die Kanäle beider PIO's sind auf den Steckverbinder +PEL-X5 (22) geführt und dienen dem Anschluß eines PIM.

SI02 (28) : Beide Kanäle sind auf den Steckverbinder +PEL-X4 (21) geführt und werden für die Ansteuerung der entsprechenden seriellen Interfaces auf dem SIM verwendet (Kanal A: V.24 ohne Steuerleitungen, Kanal B: IFSS), wobei sowohl die Sender- als auch die Empfangsdaten des Kanals B durch die Treiberschaltkreise 75450 getrieben werden.

CTC2 (117): Alle Kanäle sind auf den Steckverbinder +PEL-X4 (21) geführt und werden für die Bereitstellung der SIO-Sender- und Empfangstakte verwendet.

Ein Adreßdecoder stellt die Selektionssignale für die peripheren Schaltkreise bereit, wobei sich folgende Adressen ergeben:

für SIO/PIO	für CTC	PIO1	PIO2	PIO3	PIO4	SI01	SI02	CTC1	CTC2
Kan. A Daten	Kanal 0	08H	0CH	10H	14H	04H	18H	00H	1CH
Kan. B Daten	Kanal 1	09H	0DH	11H	15H	06H	1AH	01H	1DH
Kan. A Steuer	Kanal 2	0AH	0EH	12H	16H	05H	19H	02H	1EH
Kan. B Steuer	Kanal 3	0BH	0FH	13H	17H	07H	1BH	03H	1FH

Das Eingabator wird bei den Adressen 40H...5FH angewählt.

1.5.6.3. Prioritätskette

Die Prioritätskette der Schaltkreise ist analog der Adreßreihenfolge verschaltet. Zur schnelleren Durchschaltung der Prioritätskette dient die Zusatzbeschaltung entsprechend Abb. 1.5.6./2.

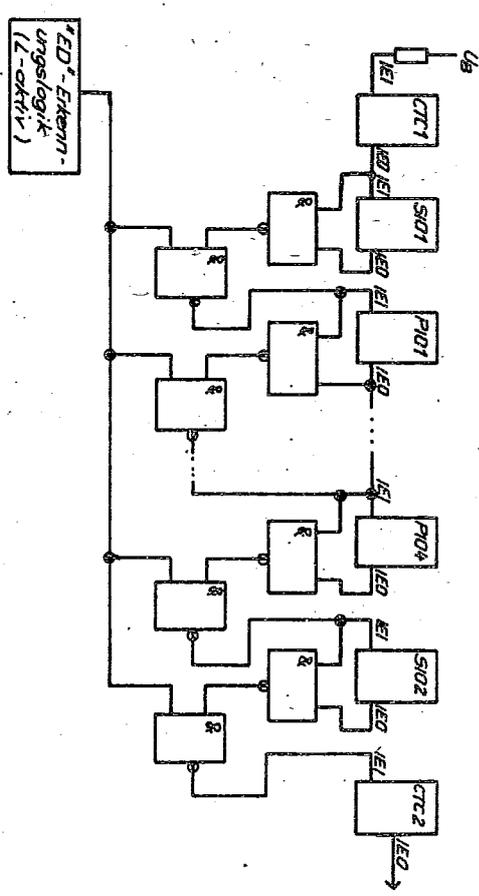


Abb. 1.5.6./2

Die "ED"-Erkennungslogik sichert im Zusammenwirken mit der übrigen Zusatzbeschaltung, daß die niederpriorisierten Schaltkreise am Ende der Prioritätskette einen RETI-Befehl auf dem Datenbus identifizieren können. Es besteht die Möglichkeit, den SIO2 (28) prioritätsmäßig hinter dem SIO1 (27) einzuordnen. Zu diesem Zweck ist eine Änderung der Brücken auf der PEL erforderlich (siehe 1.5.6.4.2).

1.5.6.4. PEL-Bestückungsvarianten

1.5.6.4.1. Schaltkreisbestückung

Bei Manuskriptabschluss existieren drei Bestückungsvarianten der PEL: