

Anschlußsteuerung AHL K 6003.20

427,-

Betriebsdokumentation

1. Auflage
Karl-Marx-Stadt, 1985

Inhaltsverzeichnis

	Seite
I. Technische Daten	1
1. Aufbau	1
2. Anschlüsse für periphere Geräte	1
II. Funktionsbeschreibung	2
1. Allgemeines	2
2. Adreßdecodierung	3
3. Technischer Aufbau	3
3.1. Daten- und Steuerbustreiber	3
3.2. RDY-Bildung	3
3.3. DIEN-Bildung	3
3.4. Ablauf der Prioritätenkette	4
3.5. Datenaustausch	4
4. Takt-Daten-Trennung	6
4.1. Allgemeines	6
4.2. Taktierung	6
4.3. Taktausblendung	7
4.4. Anfangssynchronisation	7
4.5. Funktionsablauf	8
4.6. Peripherieschnittstelle	9
5. Steckerbelegung	10
III. Kurzzeichenübersicht	11
Serviceschaltpläne	

I. Technische Daten

1. Aufbau

Aufbau:	Steckeinheit 215 mm x 170 mm BUS K 1520
Steckverbinder:	Steckerleiste 58polig indirekt 2x Steckerleiste 5polig indirekt 2x
Einsatzklasse:	0 °C ... + 50 °C
Stromversorgung:	5 P = + 5 V \pm 5 %; 1,5 A 12 P = + 12 V \pm 5 %; <0,15 A
Signalpegel:	TTL-kompatibel
Betriebsart:	Dauerbetrieb
Ausgangsleitungen:	8 Adreßleitungen AB0 ... AB7 8 Datenleitungen DBO ... DB8 7 Steuerleitungen $\overline{M1}$; \overline{RD} ; \overline{TEP} ; \overline{IORQ} ; \overline{RESET} ; \overline{TAKT} ; \overline{IODI} 1 Steuerleitung \overline{INT} 1 Steuerleitung \overline{RDY} 2 Steuerleitungen \overline{IEI} ; \overline{IEO} für Prioritätenkette

2. Anschlüsse für periphere Geräte

Eingabekanäle:	2 parallel
Anschluß Gerätetyp:	HLE K 6503.20 2x
Übertragungsentfernung:	<100 m

II. Funktionsbeschreibung

1. Allgemeines

Die Anschlußsteuerung AHL K 6003.20 dient der Handleseeinheit K 6503.20 zur Kopplung an das BUS-Interface K 1520. Ihre Aufgabe besteht darin, die ankommenden und abgehenden Daten und Signale anzupassen sowie deren gegenseitigen Austausch entsprechend den Anforderungen vorzunehmen.

An die AHL können bis zu 2 Handler K 6503.20 angeschlossen werden. Der Anschluß je Handler erfolgt über ein 5adriges Kabel mit abgerüstetem 10poligen (5 Stifte) Steckverbinder. Die Anschlußsteuerung besteht aus folgenden Komplexen:

- Adreßdecoder
- Daten- und Steuerbustreiber
- RDY-Bildung und Richtungssteuerung
- SIO für Datenaustausch
- Stromquelle zur Bildung der Lesequittung und Steuerung des Datentransportes HLE → AHL
- Takt-Daten-Trennung
- Steuerung der Takt-Daten-Trennung

Alle angeschlossenen Handler (max. 2) werden simultan bedient. Vom Datenträger kann nur Spur 2 gelesen werden.

2. Adreßdecodierung

Die Adreßdecodierung, bestehend aus den beiden Schaltkreisen A3.1 und A3.2, ist über die Festbrücke Br1.1 und die Wickelbrücke Br1.2 frei programmierbar. Sie erfolgt über die Adreßleitungen AB2 bis AB7. Für die Grundvariante (Br1.2 von A07 → B08) ist die Adreßbelegung 9C bis 9F (SIOS 2526) festgelegt.

In dieser Variante besteht außerdem die Möglichkeit noch einen SLE-Adapter K 6001 anzuschließen. Die dafür benötigte Adreßbelegung liegt von 90 bis 9B.

Soll anstatt der SLE noch ein 3. und 4. Handler angeschlossen werden, ist ein zweiter Adapter K 6003.20 zu verwenden. Mit der Wickelbrücke Br1.2 ist die Verbindung A01 → B08 herzustellen. Sie arbeiten dann auf der Adreßdecodierung 98 bis 9B (Gerät 3 und Gerät 4 - geplante Erweiterung).

A7	A6	A5	A4	A3	A2	A1	A0	SIO1	SIO2	G1	G2	G3	G4	C/D	TOR	OUT/INP
1	0	0	1	1	1	0	0	X		X				D	A	9C
1	0	0	1	1	1	0	1	X		X				C	A	9D
1	0	0	1	1	1	1	0	X			X			D	B	9E
1	0	0	1	1	1	1	1	X			X			C	B	9F
1	0	0	1	1	0	0	0		X			X		D	A	98
1	0	0	1	1	0	0	1		X			X		C	A	99
1	0	0	1	1	0	1	0		X				X	D	B	9A
1	0	0	1	1	0	1	1		X				X	C	B	9B

Die Wickelbrücke Br1.2 von A02 → B08 bzw. A03 → B08 sind für eine spätere Erweiterung vorgesehen.

3. Technischer Aufbau

3.1. Daten- und Steuerbustreiber

Um die Lastbedingungen des K 1520-BUS einzuhalten, sind die Steuerleitungen über den Treiber A2 geführt. Die Datenbusleitungen DB0 ... DB7 verlaufen über die DB-Treiber A1.1/A1.2. Beide Treiber sind bidirektional beschaltet und dienen dem Datenaustausch zwischen CPU und SIO.

Mit dem Signal $\overline{\text{DIEN}}$ wird die Datenflußrichtung in diesen BUS-Treibern folgendermaßen festgelegt:

$$\begin{aligned} \hat{=} \overline{\text{DIEN}} = "0" & \quad \text{DI} \longrightarrow \text{DB} \quad \text{SIO} \longrightarrow \text{CPU} \\ \hat{=} \overline{\text{DIEN}} = "1" & \quad \text{DB} \longrightarrow \text{DO} \quad \text{CPU} \longrightarrow \text{SIO} \end{aligned}$$

3.2. RDY-Bildung (Abb. 1)

Das Bereitschaftssignal RDY wird über die Baustufen A12/03; A12/06; A12/08 bzw. A11/10; A11/06; A12/08 am Ausgang A12/11 gebildet. Es wird an den Ausgang X1C25 gegeben und dient als Steuersignal für den Betriebssystem-PIO auf der ZRE.

Das Signal RDY setzt sich aus folgenden Signalverknüpfungen zusammen:

$$\text{RDY} \hat{=} \overline{\text{M1}} \cdot \overline{\text{IEI}} \cdot \overline{\text{IEO}} \cdot \overline{\text{IORQ}} \cdot \text{CE} \cdot \overline{\text{IORQ}}$$

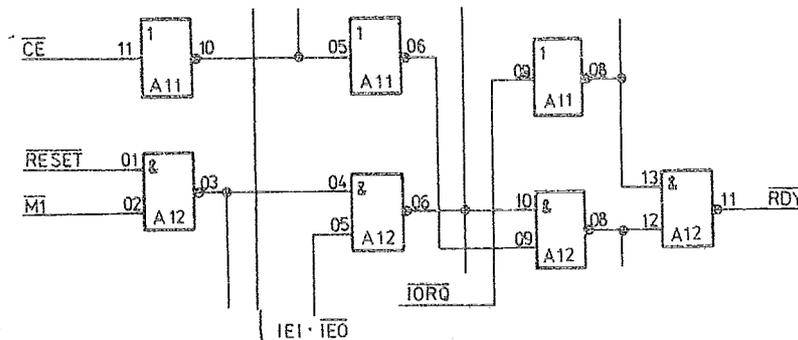


Abb. 1

3.3. DIEN-Bildung (Abb. 2)

Mit dem Signal DIEN erfolgt die richtungsmäßige Steuerung der beiden Datenbustreiber A1.1 und A1.2. Es wird über die Baustufen A11.12; A5.10/08; A 5.10/06 bzw. A12.3/03; A12/06; A5.10/06 am Ausgang A6.3/06 gebildet und über das NOR A11/04 an die beiden DIEN-Eingänge der DB-Treiber geführt. Zur Steuerung werden die Potentialzustände "0" und "1" verwendet. Das Signal DIEN setzt sich aus folgenden Signalverknüpfungen zusammen:

$$\text{DIEN} \hat{=} \overline{\text{M1}} \cdot \overline{\text{IEI}} \cdot \overline{\text{IEO}} \cdot \overline{\text{IORQ}} \cdot \text{RD} \cdot \text{CE} \cdot \overline{\text{IORQ}}$$

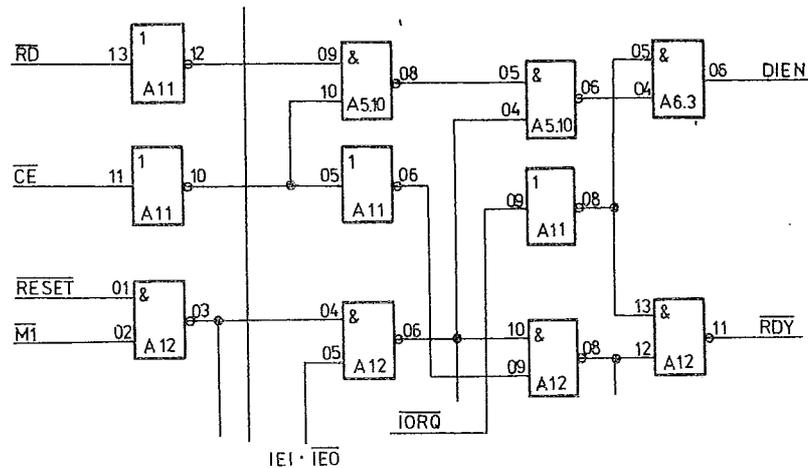


Abb. 2

3.4. Ablauf der Prioritätenkette

Mit dem Signal \overline{IEI} bzw. $\overline{IEP} = 0$ wird über das NAND A5.10/03 \overline{IEI} mit "1" gebildet. Der SIO-Eingang 06 steht auf 1. Ist der SIO A9 über die CE-Adressenauswahl nicht aktiviert, liegt der Ausgang 07 am SIO (IEO) auf "1" \rightarrow Inverter A11/02 \rightarrow Ausgang X1/A10 (\overline{IEO}) auf "0". Die Prioritätenkette ist in diesem Fall geschlossen. Bei aktiviertem SIO ($CE = 0$) und ausgelöstem INT wird am SIO-Ausgang 07 IEO mit "0" und nach dem Inverter A11/12 \rightarrow Ausgang X1/A10 \overline{IEO} mit "1" gebildet. Die Prioritätenkette ist für andere periphere Geräte unterbrochen.

3.5. Datenaustausch (Abb. 3 und 4)

Der Datenaustausch erfolgt durch den SIO A9. Er arbeitet in bisynchroner Betriebsart und besitzt 2 getrennte Kanäle (Kanal A und B). Jeder Handleseeinheit ist davon 1 Kanal zugeordnet, d. h., daß maximal pro Adapter 2 Handleseeinheiten ansteuerbar sind. Mit dem Mikrobefehl "Leseaufforderung" wird über SIO-Ausgang RTSA/RTSB "0" an die Basis des Transistors V4.1 bzw. V4.2 gelegt. Die Basissteuerspannung des jeweils angesteuerten Transistors wird nach unten gezogen. Sie öffnet den Transistor V4.1 bzw. V4.2 und schaltet die 12 P Betriebsspannung an die Ausgänge X5A1/X6A1 durch. Die an den Ausgängen ankommende Betriebsspannung wird zum Eingang X1.3 der LP LV (HLE) geführt. Der Leseverstärker wird zugeschaltet und zeigt über die aufleuchtende LED-Anzeige Betriebsbereitschaft zur Datenübergabe an. Nach dem Empfang der ersten zwei programmierten 8 Bit-Zeichen aus der Takt-Daten-Trennung A6.2/06 bzw. A6.1/06 entsprechend der Codierung

0000 0000 0001 1010 Startzeichen ISO 4 Bit-Code

beginnt der Vergleich im SIO (Register 6/7).

Dazu werden die Nullbits am Anfang der Magnetkarte in Verbindung mit dem Startzeichen verwendet.

Ist der Vergleich des Startzeichens im SIO fehlerfrei (1. Byte Bit 4 und 5 "1"), wird mit der Übertragung der wahren Lesetakte und -daten begonnen. Alle Daten werden in Gruppen zu je 5 Bit (4 Bit und Paritätsbit) in das Empfangsschieberegister des SIO übernommen (Eingang RxD). Gesteuert wird dieses über ein Schreibregister im SIO, welches auf 5 Bit/Zeichen programmiert ist und mit den Lesetakten über die Eingänge RxC ausgewählt wird.

Nach jedem 5. Bit/Zeichen-Durchgang erfolgt eine INT-Meldung (INT Mod 3), wodurch eine parallele Datenübertragung von SIO zur ZRE ausgelöst wird.

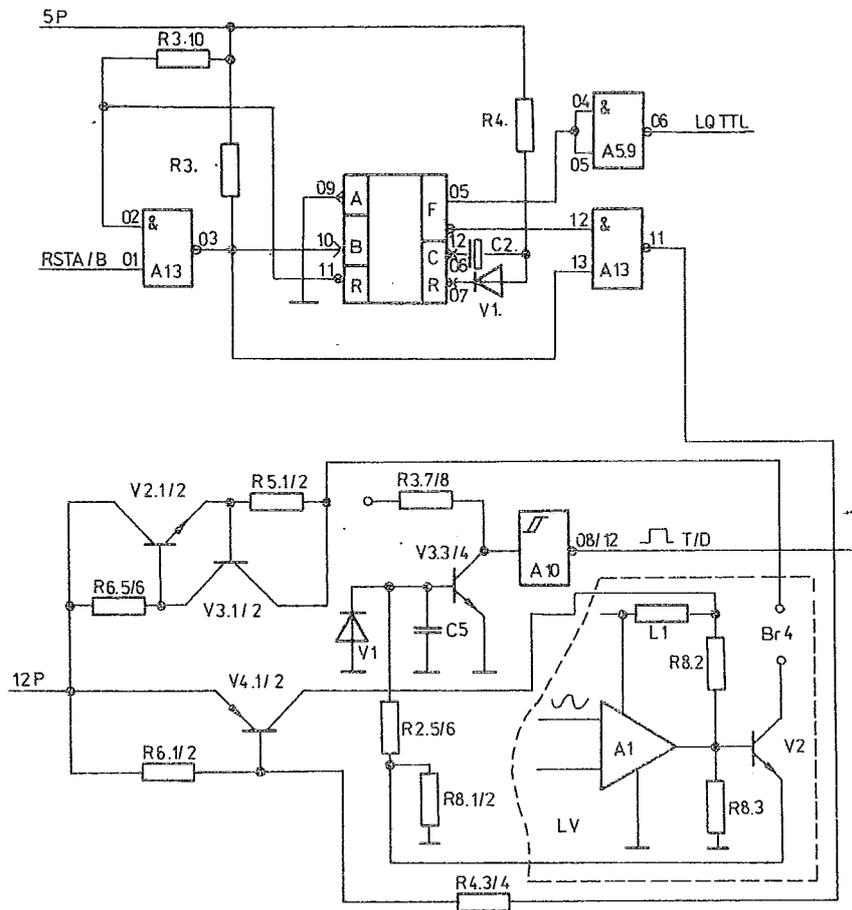


Abb. 3

Ist eine fehlerfreie Datenübertragung (Paritätsprüfung/LRC-Prüfung) erfolgt, wird am SIO Ausgang RTSA/RTSB ein 0-1-0-Nadelimpuls gebildet. Mit diesem wird der UV A8.3 für 1,0 s angekippt.

Der Ausgang am NAND A13/08 bzw. A13/11 wird für diesen Zeitraum "1". Die Basissteuerspannung am Transistor V4.1 bzw. V4.2 wird angehoben und schaltet die Betriebsspannung (BSP) 12 P zum Leseverstärker (Adapterausgang X5A1 bzw. X6A1) ab. Mit Abschalten der BSP verlischt ebenfalls die LED-Anzeige und interpretiert dies als "keine Lesefehler erkannt" (LQ - Lesequittung - Datenübertragung in Ordnung).

Ist die Datenübertragung fehlerhaft, wird kein RTSA-Impuls gebildet. Es wird im SIO mit der Bedeutung "keine Karte gelesen" interpretiert. Die Magnetkarte kann erneut eingelesen werden.

Die Anzahl der Lesewiederholungen ist im Makroprogramm festgelegt.

Ist die Anzahl der programmierten Lesewiederholungen überschritten, leuchtet im Terminal die rote Fehlerlampe auf.

Auf diesem Adapter ist die Peripherieschnittstelle 2x gleich aufgebaut (Anschluß 2 HLE parallel).

An den Ausgängen X5/B4 steht außerdem das Signal LQ TTL-kompatibel zur Verfügung.

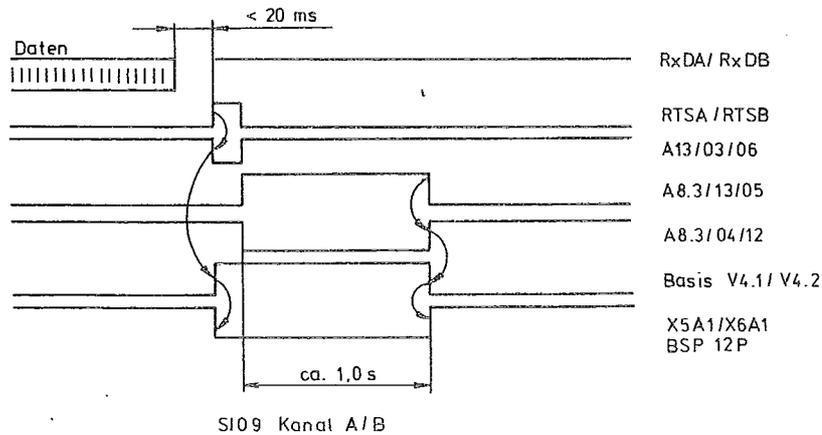


Abb. 4

4. Takt-Daten-Trennung

4.1. Allgemeines (Abb. 5)

Der Leseverstärker der HLE K 6503.20 liefert das Takt-Datengemisch im Frequenzverhältnis 1:10. Die Aufgabe der Takt-Daten-Trennung besteht darin, aus dem am Eingang X5/B2 bzw. X6/B2 ankommenden Takt-Datengemisch bis zum Baustufenausgang A7.7/09 bzw. A7.7/05 die Datenimpulse so auszufiltern, daß sie als getrennte Daten-Takt-Impulse im SIO weiterverarbeitet werden können. Für diesen Funktionsablauf ist der dazu erforderliche Synchronimpuls am A6.1/11 - A6.2/11 bei wechselnder Kartengeschwindigkeit zu bilden. Die Schaltung ist so aufgebaut, daß jeweils die Zeit zwischen den aufeinanderfolgenden Taktbits gemessen und für das folgende Taktbit als Erwartungszeit benutzt wird.

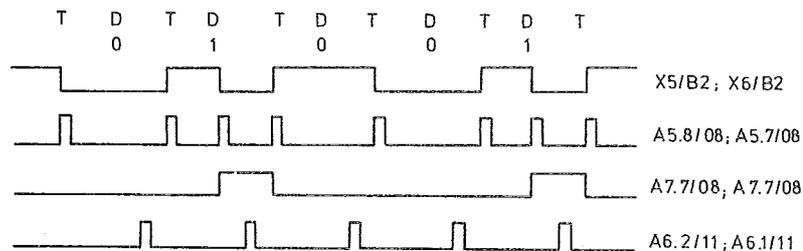


Abb. 5

4.2. Taktierung

Als Arbeitstakt wird der Betriebssystemtakt C mit einer Frequenz von ca. 2,4 MHz verwendet. Er wird in den beiden RS FF's A7.9/05/09 geviertelt. Am Ausgang A7.9/09 steht der für den Funktionsablauf erforderliche Arbeitstakt im Verhältnis 1:1 mit einer Frequenz von 600 kHz zur Verfügung.

Mit dieser Taktfolge erfolgt die Steuerung der Takt-Daten-Trennung.

4.3. Taktausblendung (Abb. 6)

Die beiden D-FF's A7.8 sind als asynchroner 4 Bit-Zähler geschaltet. Er wird dazu benötigt, daß mit Hilfe der anschließenden Gatter A5.9/11 und A6.3/08 am A6.3/11 jeder vierte Impuls ausgeblendet wird. Die so entstehende Taktfolge dient zur zeitgemäßen Festlegung des Lesebereiches.

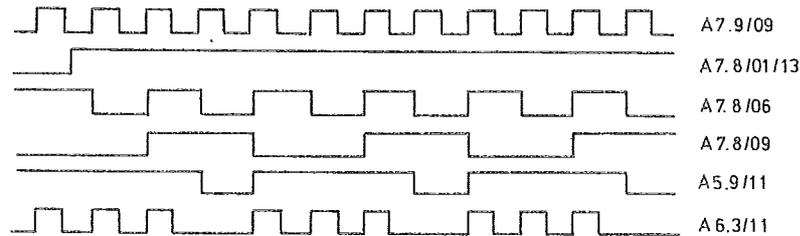


Abb. 6

4.4. Anfangssynchronisation

Für die Anfangssynchronisation stehen ca. 20 Null-Takt-Datenbits (Leseimpulse) zur Verfügung. Um Störungen durch die Kartenkante zu unterdrücken, werden die ersten Leseimpulse entsprechend Abb. 7 durch einen 4 Bit-Zähler A7.4/A7.6 bzw. A7.1/A7.3 unterdrückt.

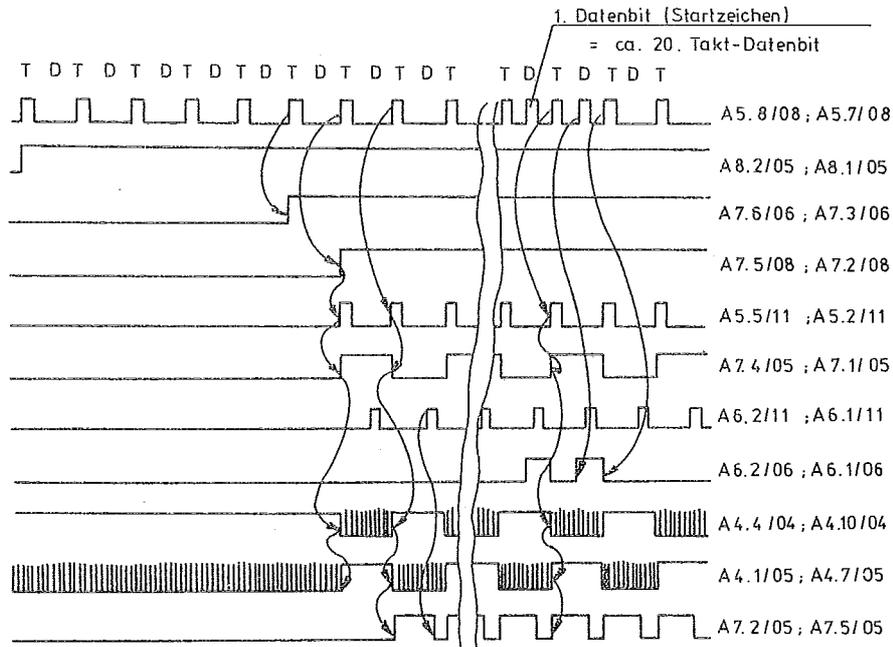


Abb. 7

Mit dem ersten, über den Steckeranschluß X5B2 → NAND A5.8/08 bzw. über den Steckeranschluß X6B2 → NAND A5.7/08 ankommenden Leseimpuls wird der nachtriggerbare UV A8.2/05 (SIO KANAL A) oder der UV A8.1/05 (SIO KANAL B) angeklickt und in Arbeitsstellung geschaltet (Ausgänge 05 = 1). Zur Beibehaltung des statischen "1"-Zustandes an den Ausgängen 05 sind während der gesamten Lesephase die UV's so beschaltet, daß die Haltezeit größer ist, als der

von der Karte gelesene Taktbitabstand.

Mit der "1" an den UV-Ausgängen 05 werden ebenfalls die Daten-FF's der Taktbitzähler (A7.4/A7.6 oder A7.1/A7.3) freigegeben. Die nachfolgenden 4 Leseimpulse schalten diese Zähler durch. Am Ausgang der Zähler D-FF's A7.6/06 bzw. A7.3/06 entsteht eine 0-1-Schaltflanke, welche über das AND A6.1/08 das NAND A5.2/11 oder über das AND A6.2/08 das NAND A5.5/11 freigibt.

Der nächste ankommende Leseimpuls löst am UV A8.2/04 bzw. A8.1/04 eine 1-0-Schaltflanke aus, die über das NAND A5.5/11 bzw. A5.2/11 das FF A7.5/08 oder A7.2/08 auf "1" kippt und über A6.2/11 bzw. A6.1/11 die Taktbitleitung zum SIO-Kanal RxCB/RxCA freigibt.

Der Ausgang A7.2/08 bzw. A7.5/08 bleibt ab diesem Zeitpunkt über A6.1/08; A6.2/08 fest auf "1".

4.5. Funktionsablauf

In diesem Abschnitt wird sich nur auf das Anschlußgerät 1 ($\hat{=}$ Kanal A) bezogen. Beide Anschlußkanäle (A und B) sind schaltungsmäßig gleich aufgebaut!

Die Impulsfolge aus dem Leseverstärker (HLE) wird über den Eingang X5B2 an den Transistor V3.3 gegeben. Dieser öffnet mit jeder positiven Schaltflanke und gibt einen Nadelimpuls zur Bildung eines TTL-gerechten Signals an den Trigger A10 ab.

Über das Exklusiv-ODER A5.8/11 und der Schalteilekombination R2.1 - C6.4 wird die Impulsfolge entsprechend Abb. 7 so aufbereitet, daß bei jedem Flußwechsel ein positiver Impuls am NAND A5.8/08 erzeugt wird. Mit Anlegen des BS-Taktes am A7.9/03 liegen am Ausgang des FF's A7.9/09 Taktimpulse mit einer Frequenz von 600 kHz an. Über die Baustufen A6.3/08, A6.3/11 und A5.4/03/11 werden sie an die Takteingänge der Zähler-Dreiergruppen A4.7/A4.8/A4.9 oder A4.10/A4.11/A4.12 geführt (abhängig vom Stand des FF's A7.4/06).

Während der ersten 5 Lesetakte ist, bedingt durch die Stellung des Zähler-FF's A7.6/06 = 0, die Zählergruppenschaltung über FF A7.4/05 - /06 gesperrt.

Die eingestellte Zählergruppe arbeitet fortlaufend (Abb. 7). Bedingt durch die Stellung des FF's A7.6/06 wird über den R-Eingang 01 am D-FF A7.5, Ausgang 05 auf "0" geschaltet. Mit dieser "0" wird die Sperre des Umschalt-UV's A8.2/04 über den Eingang A aufgehoben. Von diesem Zeitpunkt an kann jeder an dem NAND A5.8/08 ankommende Lesetakimpuls auf den UV wirken. Die ersten 5 Lesetakte werden jedoch durch das NAND A5.5/11 abgeblockt (Eingang 12 noch "0").

Ab 6. Takt ist Eingang A5.5/12 = 1; das FF A7.4 kann über Eingang 13 triggernd geschaltet werden (Umschaltfreigabe der Zähler-Dreiergruppen).

Die Hauptaufgabe des UV's A8.2/04 besteht darin, die Lesetakte in eine definierte Länge von 1,5 μ s ... 3 μ s zu bringen.

Nach Ablauf der Anfangssynchronisation (Ausblenden der ersten 6 Lesetakte) beginnen die Zählergruppen A4.7/A4.8/A4.9 und A4.10/A4.11/A4.12 im Wechsel zu arbeiten; z.B. A4.7/A4.8/A4.9 zählt vorwärts und A4.10/A4.11/A4.12 zählt rückwärts. Dieser Ablauf wiederholt sich solange, bis vom SIO die "Ende"-Marke erkannt wird (RTSA-Bildung siehe Abb. 4).

Mit jedem über A5.8/08 ankommenden Lesetak gibt der UV A8.2/04 einen Impuls ab, der über A5.5/11 das FF A7.4/05 aus jeder Lage triggernd schaltet.

Außerdem wird mit der 0-1-Vorderflanke über das NAND A5.6/11 der Ausgang A7.5/05 auf "1" geschaltet. Als Schalteingang dient S-Eingang am FF A7.5/04.

Ist z. B. die Zählergruppe A4.7/A4.8/A4.9 auf Vorwärtszählen (T1) und die Zählergruppe A4.10/A4.11/A4.12 auf Rückwärtszählen (T2) geschaltet, werden beide Zählergruppen mit Takten 600 kHz in Gruppen vorwärts 3 und rückwärts 4 in ihrer Arbeitsrichtung hochgezählt (siehe Abb. 7).

Mit dem nächsten Lesetak erfolgt über UV A8.2/04 eine Schaltflanke, die das FF A4.7/05-06 kippt und über die Baustufen A5.5/03 . A5.5/06/08 . A5.6/06/08 die rückwärtszählende Zählerbaugruppe stoppt, wobei sie auf "0" zurückgesetzt wird. Außerdem wird die gleiche Zähler-

gruppe über die Torschaltung A5.4/03/11 für das Vorwärtszählen freigegeben. Die vorher vorwärtszählende Zählergruppe wird ohne auf "0" zurückzusetzen gestoppt und über das Tor A5.4/06/08 auf Rückwärtszählen umgeschaltet.

Der bis dahin erreichte Zählerstand repräsentiert dann den Abstand dieser aufeinanderfolgenden Taktbits und wird als Erwartungszeit für den nächsten Taktbitabstand benutzt.

Aus dem Impulsbild 7 ist zu erkennen, daß beim Vorwärtszählen nur 3/4 der Impulse eingezählt werden, so daß beim anschließenden, von Taktbit ausgelösten Rückwärtszählen, bei 75% des Taktbitabstandes an A4.9/13 oder A4.12/13 ein negativer Übertragungsimpuls erscheint. Dieser Übertragungsimpuls wird in den Baustufen A5.6/03 und A6.2/11 geodert. Die am Ausgang A6.2/11 erscheinende 0-1-Schaltflanke kippt das FF A7.5/05 auf "0" und gibt den UV A8.2/04 für einen neuen Leseimpuls frei.

Dieser Vorgang läuft durch FF A7.4/05-06 gesteuert wechselseitig in den Zähler-Dreiergruppen ab.

Die ebenfalls am Ausgang A6.2/11 erscheinende 0-1-Schaltflanke wird als Taktbit entnommen und zur Weiterverarbeitung an den Eingang RxCA des SIO geführt. Die zulässige Abweichung von aufeinanderfolgenden Taktbits (Lesegeschwindigkeitsschwankungen) ist durch Vergleich der Impulsfolgen A6.2/11 und A6.2/06 (siehe Abb. 7) erkennbar.

Folgt dem Lesetaktbit ein Datenbit mit "1" wird A7.7/09 auf "1" gekippt. Zu diesem Zeitpunkt ist Ausgang A7.5/05 "1" und sperrt den UV A8.2/04 für ein nachfolgendes Datenbit. Erst mit einem Taktbit wird die Sperre des UV aufgehoben. Die am Ausgang A7.7/09 entstehende Schaltflanke wird über das AND A6.2/06 als Datenbit entnommen und zur Weiterverarbeitung an den Eingang RxDA des SIO geführt. Mit dem nächsten Lesetaktbit erfolgt das Rückschalten des Daten-FF's A7.7/09. Ein Ankippen des Daten-FF's A7.7/09 ist nur möglich, wenn dem Lesetaktbit ein Datenbit mit "1" folgt!

4.6. Peripherieschnittstelle

Die zwei parallelen Schnittstellen zur Peripherie besitzen je einen 10poligen Steckverbinder (X5 und X6). An jedem sind 5 Kontakte belegt.

	B	A
05	-	0 V
04	LQ TTL	-
03	-	UESS (DATK)
02	Lesedaten (DATE)	-
01	-	12 P

5. Steckerbelegung

AHL-X1			AHL-X2		
n	An	Cn	n	An	Cn
1	00	00	1	5 P	5 P
2	00	00	2		
3			3		
4	DB7	DB6	4		
5	DB5	DB4	5		
6	DB3	DB2	6		
7	DB1	DB0	7		\overline{TEP}
8		\overline{RD}	8		
9			9		
10	\overline{IEO}	\overline{IEI}	10		
11			11		
12			12		P
13			13		
14			14		P
15			15		
16	AB6	AB7	16		
17	AB4	AB5	17		
18	AB2	AB3	18		P
19	AB0	AB1	19		P
20	\overline{RESET}	\overline{BUSRQ}	20		
21			21		
22	\overline{IODI}		22		
23		\overline{INT}	23		
24		\overline{IORQ}	24		
25		\overline{RDY}	25		
26	$\overline{M1}$		26	$\overline{IEO1}$	$\overline{IEI1}$
27	$\overline{BA0}$	$\overline{BA1}$	27		
28	12 P	12 P	28	00	00
29	5 P	5 P	29	00	00

nr	A	B	
1	12 P	-	
2	-	\overline{DATEN} (DATE)	AHL-X5
3	Übertrager-Spannungs-Stromschleife (DATK)	-	AHL-X6
4	-	-	
5	$\overline{00}$	-	

III. Kurzzeichenübersicht

AHL	- Anschlußsteuerung Handleser
AB0 ... AB7	- Steuerbus
C	- Takt BS
BS	- Betriessystem
BSP	- Betriebsspannung
CE	- SIO-Freigabe
DB0 ... DB7	- Datenbus
DT1 ... DT2	- Daten-Taktleitung
DATE	- Daten Emitter
DATK	- Daten Kathode
DIEN	- Steuerung Datenflußrichtung
IEI	- Unterbrechungsgenehmigung Eingabe
IEO	- Unterbrechungsgenehmigung Ausgabe
IEP	- Unterbrechungsgenehmigung Parallel
INT	- Unterbrechung
IODI	- Eingabe-Ausgabe abschalten
LQ TTL	- Quittungssignal TTL
M1	- Maschinenzyklus
RESET	- Rücksetzen
RD	- Leseaufforderung
RDY	- Bereitschaft
RTSA/RTSB	- Sendeanforderung Kanal A/B
RxDA/RxDB	- Lesedateneingang Kanal A/B
RxCA/RxCB	- Lesetakteingang Kanal A/B
SYN	- Synchronisation
UBSS	- Übertrager-Spannungs-Stromschleife

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
DDR · 9010 Karl-Marx-Stadt
Annaberger Straße 93
PSF 129

Exporteur:
Robotron -- Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
DDR · 1140 Berlin
Allee der Kosmonauten 24
PSF 11
Kv 2851/85 V 7 1 2312 N 3